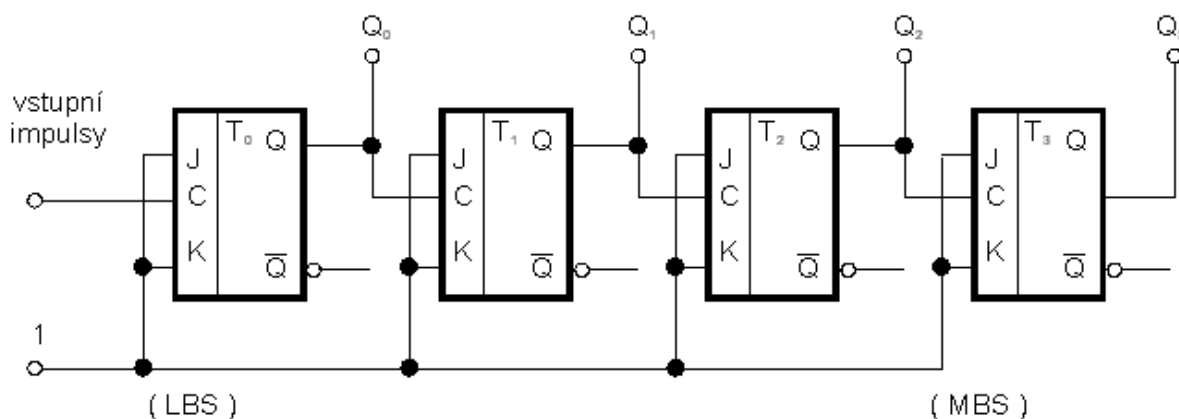


## 16 Čítače

Kombinaci klopných obvodů schopnou čítat počet vstupních impulsů a vyjádřit jejich počet pomocí buď binárního nebo jiného kódu, nazýváme čítače.

### Asynchronní čítač vpřed

Asynchronní čítač vpřed je znázorněn na obr. 16.31.



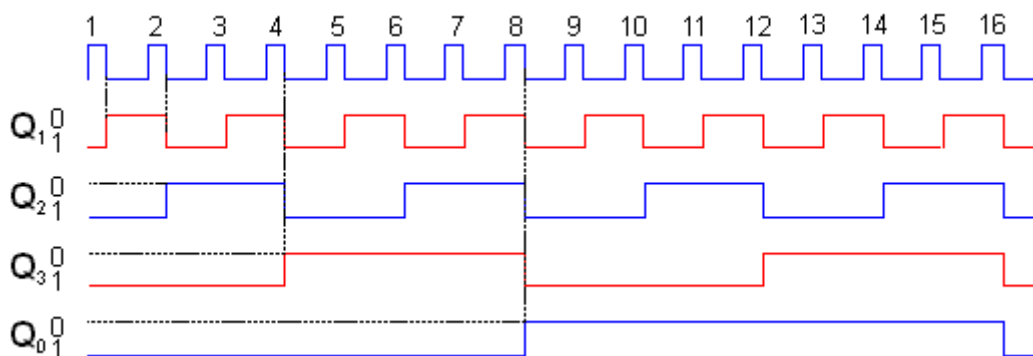
obr. 16.31

Sestává se z řetězce (v našem případě čtyř) klopných obvodů T. Klopné obvody byly vytvořeny pomocí obvodu J-K připojením obou vstupů na logickou 1. Jednotlivé klopné obvody mění stav výstupu při každé úběžné hraně na svém hodinovém vstupu. Překlápění obvodů se tedy řídí v podstatě dvěma pravidly:

1. Výstup  $Q_0$  obvodu  $T_1$  mění svůj stav při každé úběžné hraně vstupních impulsů,
2. Všechny ostatní výstupy mění svůj stav právě když předcházející klopný obvod mění stav výstupu  $Q$  z 1 do 0.

Aplikací těchto pravidel dostáváme tvar signálu na výstupech  $Q_0 - Q_3$  tak, jak je uvádí obr. 16.32 a tabulka 16.6. Vidíme, že stav výstupů  $Q_0 - Q_3$  je přesně binární reprezentace čísla, udávajícího pořadí vstupního hodinového impulsu.

Takovýto řetězec klopných obvodů čítá tedy v binární soustavě. Pro názorné zobrazení příslušného čísla je však třeba užít dekodéru, tj. logické sítě s 16 výstupy tak, aby při každé kombinaci jednotlivých bitů byl na logické úrovni 1 právě jeden z výstupů.



obr. 16.32

číslo výstupního impulsu	výstupy klopných obvodů			
	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

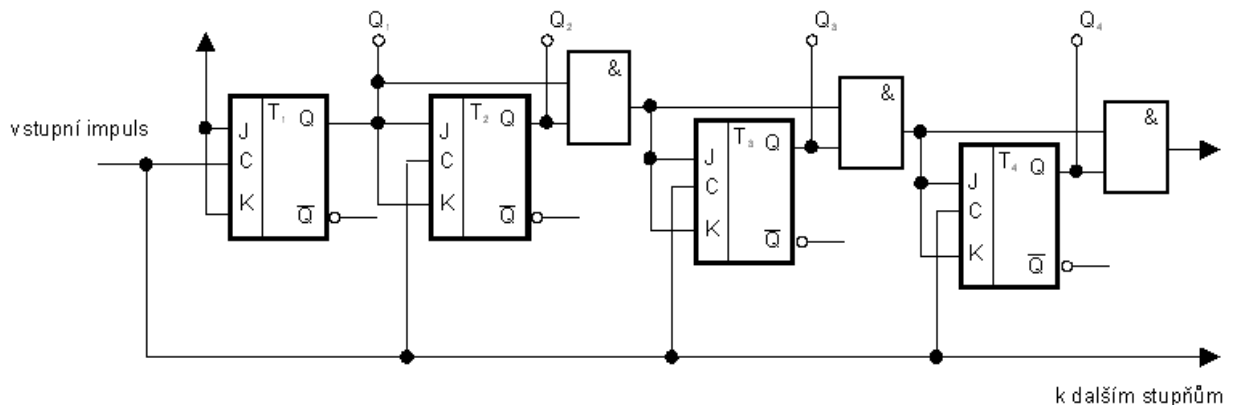
tabulka 16.6

### Synchronní čítače

Z rozboru funkce asynchronních čítačů je zřejmé, že změna stavu z 1 do 0 předcházejícího obvodu teprve působí změnu stavu následujícího obvodu. V případě, že všechny obvody jsou

na logické úrovni 1, vybudují postupně jeden druhý a doba potřebná k tomu, aby celý čítač vykonal odezvu na vstupní impuls, může být srovnatelná s dobou mezi jednotlivými impulsy. To je nebezpečné zvláště tehdy, je-li řada obvodů dlouhá, neboť dokud celý řetězec nedosáhne ustáleného stavu, nelze jeho výstupy synchronně (v jednom okamžiku) odečíst a zařízení tak ztrácí smysl.

Aby se doba odezvy čítače na vstupní impuls snížila, byla opět poněkud modifikována topologie zapojení čítače tak, aby na klopné obvody byl přiveden vstupní impuls synchronně. V tom případě je však třeba zabezpečit, aby měnily stav jen ty klopné obvody, u kterých je to požadováno. Zde se plně využívá funkce obvodu typu T. Pomocí řídicí logiky se ze stavu výstupů předcházejících obvodů určuje logická úroveň vstupu T a tedy skutečnost, zda klopný obvod změní nebo nezmění stav při aplikaci následného hodinového impulsu. Čítač se tak v době mezi impulsy “připravuje” na zpracování následného hodinového impulsu. Příklad binárního synchronního čítače je na obr. 16.33. Použitím tohoto zapojení lze zhruba zdvojnásobit pracovní frekvenci čítače ve srovnání s asynchronním. Využitím asynchronních vstupů klopných obvodů lze před započítáním nastavit počáteční stav čítače, tj. provést předvolbu.



obr. 16.33

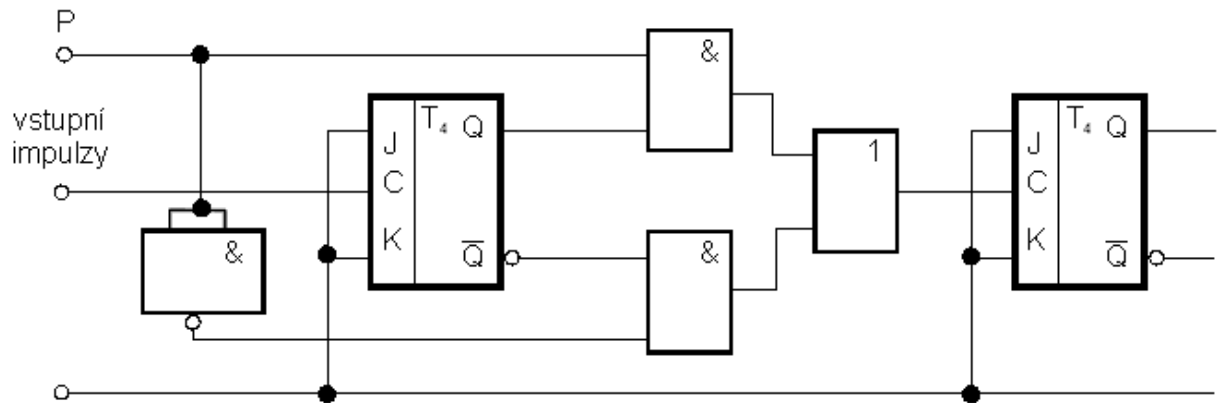
## Vratný čítač

Zařízení, které jsme právě rozebrali zobrazují počet vstupních impulsů v binárním tvaru, tj. každý další impuls způsobí zvýšení stavu čítače o 1. Často je třeba, aby čítač počet impulsů odečítal. Čítač, který toto provádí, se nazývá čítačem vzad. Asynchronní čítač vzad realizujeme tak, že místo výstupu předchozího klopného obvodu ( $Q_n$ ) připojíme na hodinový vstup následujícího obvodu ( $Q_{n+1}$ ) předchozí negovaný výstup ( $\bar{Q}_n$ ).

Čítače, které umožňují podle řídicího povelu čítání buď vpřed nebo vzad nazýváme vratnými.

Asynchronní čítač vzad realizujeme tak, že místo výstupů  $Q_i$  propojíme s hodinovými vstupy

následujících obvodů výstupy  $\bar{Q}_i$ . Chceme-li tedy realizovat vratný asynchronní čítač, musíme sestavit přepínač, který bude přepínat do hodinových vstupů buď výstup  $Q$  nebo  $\bar{Q}$  předchozího klopného obvodu. Příklad realizace takového přepínače je na obr. 16.34.



obr. 16.34

Čítač čítá	
P	
1	vpřed
0	vzad

Obdobně jako se konstruují synchronní čítače vpřed lze vytvořit i vratné synchronní čítače se zachováním jejich výhody oproti asynchronním - podstatně kratší doby odezvy na vstupní impuls. Jejich schéma je podstatně složitější, než u asynchronních vratných čítačů, neboť je nutné hradlovat hodinový signál v každém stupni; proto si je nebudeme uvádět. Vratné čítače se vyrábějí buď jako samostatné integrované obvody střední integrace, nebo jsou na jednom čipu integrovány s obvody plnícími další funkce (například programovatelný čítač/časovač 8253-4, využívaný v osobních počítačích ke generaci časových signálů, obsahuje tři 16bitové vratné čítače, obvody-registry umožňující nastavit a zapamatovat si jejich funkci, a některé další obvody).