

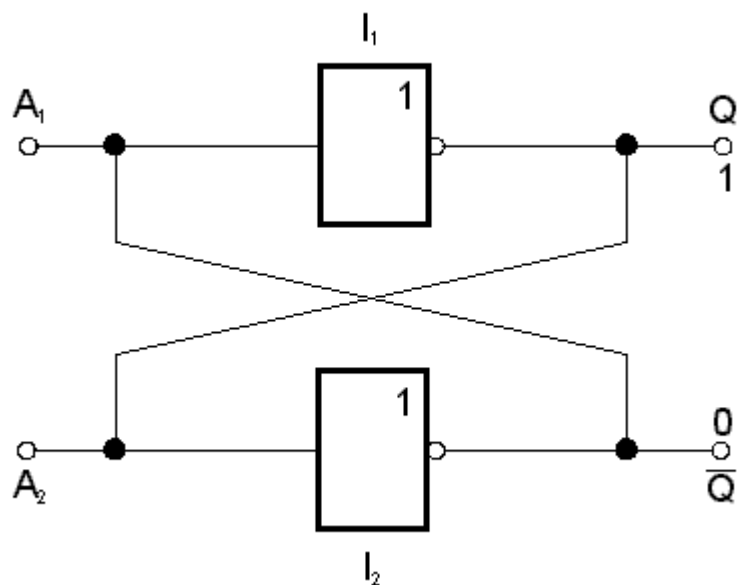
## 14 Sekvenční logické systémy

Logické sítě rozebrané v odstavci 13 byly příkladem kombinačních logických systémů. Výstupy těchto systémů v určitém okamžiku závisely tedy právě jen na stavech vstupů této sítě v témže okamžiku (přesněji před dobou danou dobou průchodu elektronickými obvody tvořícími tuto síť). Funkční závislost mezi vstupy a výstupy byla jednou provždy dána zapojením sítě a nebylo možné tuto závislost měnit jinak, než změnou zapojení. Kombinační logické systémy tedy nemají paměť, tj. nemohou v sobě uchovat informaci obsaženou ve vstupech sítě po dobu delší, než je tato informace na vstupech fyzicky přítomna.

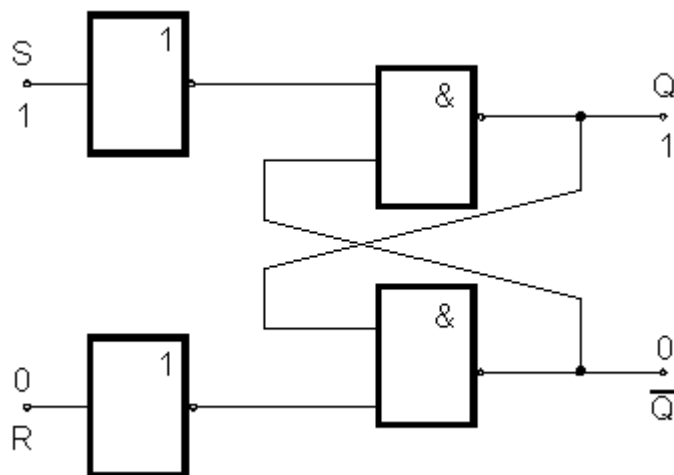
Řada logických sítí pracuje v synchronismu s posloupností impulsů, které jsou generovány zvláštním generátorem, který není součástí této sítě. Změna stavu výstupu takové logické sítě pak závisí jednak na stavu vstupů sítě při přítomnosti impulsu, jednak může záviset na historii vstupů, tj. na jejich stavech při přítomnosti dřívějších impulsů. Takovýmto obvodům říkáme sekvenční logické systémy a řídicí impulsy nazýváme hodinovými impulsy. Je zřejmé, že sekvenční obvody musí obsahovat prvky, které jsou schopny si pamatovat informace minimálně po dobu mezi dvěma hodinovými impulsy.

### Klopný obvod R-S

Základním obvodem, který je schopen setrvat v určitém stavu (logické 0 nebo 1) bez aplikace vnějších logických úrovní (mimo napájecí napětí ovšem) je tzv. paměťová buňka, neboli klopný obvod. Nejjednodušší klopný obvod vytvoříme pomocí dvou invertorů, kterým křížem propojíme vstupy a výstupy (viz obr. 14.26a). Po zapojení napájecího napětí nastaví se na výstupu jednoho invertoru logická jednička a na druhém výstupu logická nula. Tento stav je logicky konzistentní, neboť je-li např. na výstupu Q invertoru  $I_1$  logická jednička, je tato i na vstupu  $A_2$  invertoru  $I_2$ , který musí mít tedy na svém výstupu  $\bar{Q}$  nulu. Nula je tedy i na vstupu  $A_1$  invertoru  $I_1$ , což odpovídá stavu na jeho výstupu. Chceme-li do paměťové buňky “zapisovat”, tj. nastavovat výstup Q do úrovně 0 nebo 1, musíme použít místo prostých invertorů dvojevstupová hradla NAND a propojit je společně se dvěma invertory podle obr. 14.26.b.



obr 14.26a

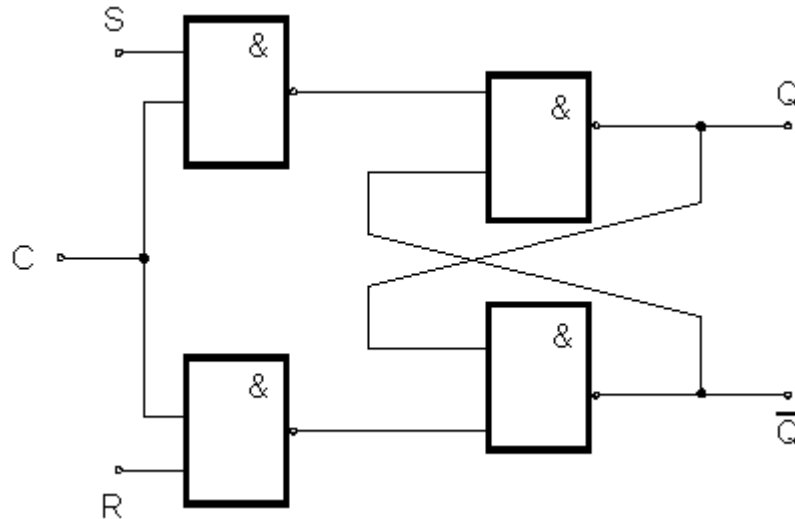


obr. 14.26b

Logické úrovně pro vstupní signály  $S = 1$ ,  $R = 0$  jsou na obrázku naznačeny. V sekvenčním logickém systému je třeba, aby se nastavení nebo nulování klopných obvodů dalo v synchronismu s hodinovými impulsy. To lze zabezpečit tak, že místo invertorů na obr. 14.26.b. použijeme dvoustupová hradla NAND, která otevíráme hodinovými impulsy (viz obr. 14.27.a). Je zřejmé, že je-li úroveň na hodinovém vstupu log 0 (stav mezi dvěma impulsy), nezmění klopný obvod svůj stav; pamatuje si jej po dobu mezi dvěma hodinovými impulsy. Všimneme si nyní pravdivostní tabulky na obr. 14.27.b. Jsou-li vstupy  $R$  a  $S$  uzemněny (je-li na nich logická nula), pak na výstupech řídicích hradel je logická jednička nezávisle na úrovni hodinového vstupu. Výstupy  $Q$  a  $\bar{Q}$  zůstávají proto na úrovni, do které se dostaly před tím, než jsme na oba vstupy  $R$  a  $S$  logickou nulu přivedli. Přivedením logické

nuly na oba vstupy R i S zablokujeme tedy stav výstupů Q a  $\bar{Q}$ , které jsou nyní nezávislé na hodinových impulsích.

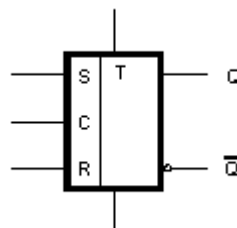
V tabulce je to znázorněno indexem n příslušného výstupu či vstupu. Index n označuje stav po příchodu n-tého hodinového impulsu.



obr. 14.27a

$R_n$	$S_n$	$Q_{n+1}$
0	0	$Q_n$
0	1	1
1	0	0
1	1	?

obr. 14.27b



obr. 14.27c

Předpokládejme nyní, že  $S_n = 1$ ,  $R_n = 0$ . Po příchodu hodinového impulsu je pak na výstupu hradla A<sub>3</sub> logická 0 a na výstupu hradla A<sub>4</sub> logická jednička. Prostudujeme-li logické úrovně zapojení uvidíme, že obvod nastavíme do stavu, kdy  $Q = 1$  a  $\bar{Q} = 0$ . Tento stav setrvává do té doby, dokud v době příchodu hodinového impulsu je na vstupech  $S = 1$  a  $R = 0$ . Ze symetrie

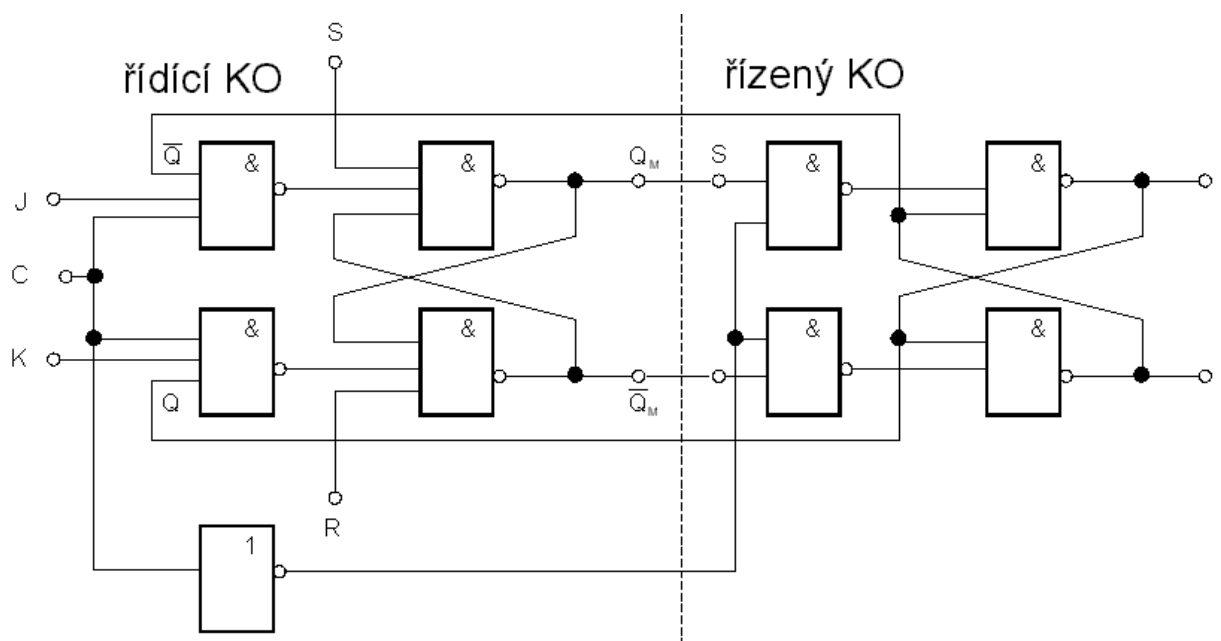
obvodu okamžitě plyne, že pro  $S_n = 0$  a  $R_n = 1$ , nastavíme obvod po příchodu hodinového impulsu do stavu  $Q = 0$  a  $\bar{Q} = 1$ .

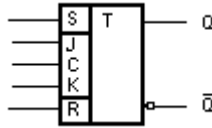
Je-li  $S_n = 1 = R_n$ , nastaví se výstupy hradel  $A_3$  a  $A_4$  po příchodu hodinového impulsu do stavu logické nuly. Tento stav by opět implikoval, že oba výstupy hradel  $A_1$  a  $A_2$  by měly být ve stavu logické jedničky, což je neslučitelné se zapojením klopného obvodu. Ve skutečnosti se stane to, že v závislosti na tom, který z výstupů hradel  $A_3$  a  $A_4$  stoupá po ukončení hodinového impulsu rychleji, nastaví se na výstupech  $\bar{Q}$  a  $Q$  buď stav  $Q = 1$  nebo  $Q = 0$ . Stav výstupů proto nezáleží ani na stavech vstupů ani na úrovni hodinového impulsu, ale na vnitřních parametrech obvodu; je to tedy neurčitý stav a v tabulce je znázorněn otazníkem. Proto se při buzení tohoto klopného obvodu musí pamatovat na to, aby stav  $R_n = S_n = 1$  nemohl nastat. Na obr. 14.27.c je schematická značka obvodu.

Kromě právě popsaného klopného obvodu R-S jsou používány tři další typy klopných obvodů: dvojčinné klopné obvody J-K, T a D. Dvojčinné klopné obvody J-K, D a T odstraňují neurčitý stav obvodu R-S. Obvod T pracuje jako binární obvod, který mění svůj stav po každém hodinovém impulsu  $Q_{n+1} = \bar{Q}_n$ .

### Dvojčinný klopný obvod J-K (klopný obvod J-K typu master-slave)

Pro odstranění neurčitého stavu klopného obvodu R-S byl vyvinut tzv. dvojčinný klopný obvod J-K. Principiální zapojení je na obr. 14.28.



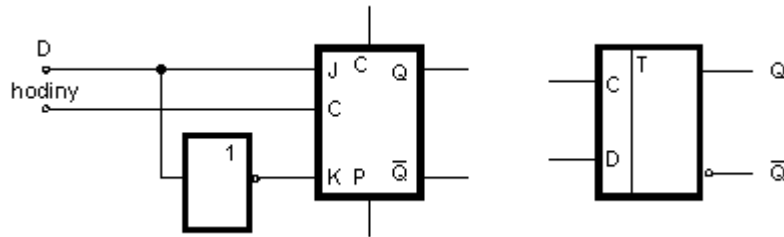


obr. 14.28

Zapojení obsahuje dva řízené klopné obvody R-S, u nichž výstupy  $Q$  a  $\bar{Q}$  prvního jsou navázány na vstupy S a R (po řadě) druhého. Druhý klopný obvod se řídí invertovanými hodinovými impulsy a zpětná vazba je vedena z výstupu druhého klopného obvodu na vstup prvního. První klopný obvod se nazývá řídicí (master), druhý klopný obvod je řízený (slave). S náběžnou hranou hodinového impulsu se nastavuje úroveň na výstupech řídicího obvodu; řízený obvod je uzavřen, neboť úroveň na jeho hodinovém vstupu  $\bar{C} = 0$ . S úběžnou hranou hodinového impulsu se uzavírá vstup řídicího klopného obvodu a stav na jeho výstupu je kopírován řízeným klopným obvodem. Jeho výstupní úrovně jsou vedeny zpětnou vazbou na vstup řídicího obvodu, tam však nezpůsobí žádnou změnu, neboť tentokrát je řídicí obvod uzavřen ( $C = 0$ ). Asynchronní vstupy jsou zavedeny do řídicího klopného obvodu. Nastavíme-li asynchronními vstupy řídicí klopný obvod, přesune se tato informace do řízeného klopného obvodu okamžitě (je-li  $C = 0$ ), neboť mezi hodinovými impulsy je  $C = 0$ , tedy  $\bar{C} = 1$ ; řízený klopný obvod, ovládaný signálem  $\bar{C}$ , je tedy otevřen.

### Klopný obvod typu D

vznikne z obvodu typu J-K, vložíme-li invertor mezi vstupy J a K tak, že K je komplementem J (obr. 7.29). Z pravdivostní tabulky obvodu J - K plyne, že  $Q_{n+1} = 1$  pro  $D_n = J_n = \bar{K}_n = 1$  a  $Q_{n+1} = 0$  pro  $D_n = J_n = \bar{K}_n = 0$ . Tedy  $Q_{n+1} = D_n$ . Vzhledem k tomu, že pravdivostní tabulka obvodu J-K pro  $J = \bar{K}$  se neliší od tabulky obvodu R-S pro  $R = \bar{S}$ , můžeme obvod tohoto typu rovněž sestavit z řízeného obvodu R-S (v tom případě hovoříme o jednoduchém nebo jednočinném klopném obvodu). Takový obvod mění svůj stav při náběžné hraně hodinového impulsu; v případě, že D obvod sestavíme z obvodu J-K typu master - slave, mění se stav s týlovou hranou hodinového impulsu. Klopné obvody typu D mohou sloužit jako paměti binární informace, která se vybaví hodinovým impulsem k dalšímu zpracování. Příkladem jednoduchého obvodu typu D je integrovaný obvod 7474 (dva jednoduché D-obvody v jednom pouzdru).



obr 14.29

### Klopný obvod typu T

mění svůj stav při každém hodinovém impulsu. Je tedy  $Q_{n+1} = \overline{Q}_n$ . Z pravdivostní tabulky obvodu J-K můžeme vidět, že tuto funkci plní obvod J-K pro  $J = K = 1$ . Obvod typu T má tedy dva vstupy - vstup T (spojené vstupy J-K) a vstup pro hodinové impulsy. Je-li  $T = 1$ , obvod se překlápí,  $Q_{n+1} = \overline{Q}_n$ , je-li  $T = 0$ , obvod zůstává překlopen do původního stavu;  $Q_{n+1} = Q_n$ . Tato funkce obvodu T je využita v synchronních čítačích - viz níže. Pokud nepotřebujeme obvod T elektricky ovládat, vystačíme s obvodem typu D, u něhož spojíme výstup  $\overline{Q}$  se vstupem D. Snadno nahlédneme, že je pak  $Q_{n+1} = \overline{Q}_n$ .

### Přehled klopných obvodů

Při aplikacích jsou důležité čtyři typy klopných obvodů: klopný obvod R-S (resp. řízený klopný obvod R-S), klopný obvod J-K, D a T. Obvody typu J-K a D jsou vyráběny v integrované formě v různých stupních integrace, obvod typu R-S je možné sestavit pomocí hradel NAND nebo použít místo něj obvod J-K. Rovněž obvod typu T se dá snadno vytvořit z obvodu typu J-K event. z obvodu typu D. Klopné obvody mívají kromě synchronních vstupů dat ještě tzv. přímé neboli asynchronní vstupy, jimiž je možno nastavovat výstupy klopného obvodu do stavu  $Q = 1$  nebo  $Q = 0$  v době mezi dvěma hodinovými impulsy. Je-li klopný obvod typu master-slave, mění svůj stav při tylové hraně hodinového impulsu; jinak při náběžné hraně. Tabulka 14.4 uvádí přehledně pravdivostní tabulky jednotlivých klopných obvodů, v dalších odstavcích jsou uvedeny jejich nejčastější aplikace.

Tabulka 14.4

<b>S-R</b>			<b>J-K</b>			<b>D</b>		<b>T</b>		<b>asynchronní vstupy</b>			
$S_n$	$R_n$	$Q_{n+1}$	$J_n$	$K_n$	$Q_{n+1}$	$D_n$	$Q_{n+1}$	$T_n$	$Q_{n+1}$	C	R	S	Q
0	0	$Q_n$	0	0	$Q_n$	1	1	1	$\bar{Q}_n$	0	1	0	1
1	0	0	1	0	1	0	0	0	$Q_n$	0	0	1	0
0	1	1	0	1	0					1	1	1	*
1	1	?	1	1	$\bar{Q}_n$								

\* viz pravdivostní tabulky jednotlivých obvodů