

Digitální technika a logické obvody

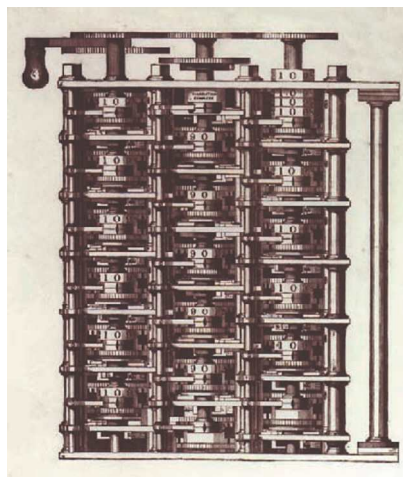
Vít Špringl

Úvod

Za dávné předchůdce digitální techniky bychom mohli považovat různé mechanické přístroje, které vykonávaly jednoduché aritmetické a logické operace. Již v roce 1642 sestrojil francouzský vědec Blaise Pascal první plně mechanický sčítací stroj. Na konci devatenáctého století se již můžeme setkat s prvními „počítači“, které zpracovávaly data zaznamenaná na děrných štítcích. První plně elektronický počítač se objevuje až v roce 1946. Byl sestaven z 18 000 elektronek a uměl sečíst až 300 čísel za sekundu. Kromě toho, že nebyl zrovna malých rozměrů, jste k jeho napájení potřebovali pomalu menší elektrárnu. Skutečný rozvoj digitální techniky tak mohl nastat až po vynálezu tranzistoru. Přesto trvalo ještě řadu let, než se první digitální přístroje dostaly na náš trh. Pokrok jde ale neustále kupředu a dostatečně malé a výkonné mikroprocesory s malým příkonem způsobily, že jsme dnes různými digitálními přístroji doslova zavaleni.

Jaké jsou vlastní výhody nebo také nevýhody digitálního zpracování, přenosu a záznamu signálu? Nejdříve bychom si asi měli říci, co slovo digitální vlastně znamená. Český ekvivalent – číslicový – možná napoví o něco víc. V komerční sféře se s ním sice nesetkáte, ono přeci jen název číslicová kamera by asi nezněla příliš lákavě, ale v elektrotechnické praxi se používá poměrně často. Rozdíl mezi přístroji digitálními a tzv. analogovými spočívá v tom, že v analogových je zpracováván spojité signál, velikost dané veličiny je přímo reprezentována hodnotou napětí a jeho změny jsou úměrně změně této veličiny. Představte si například analogový ampérmetr, u kterého výchylka ručky přístroje přesně kopíruje změny proudu, což může být v některých případech výhodné, avšak těžko již takový údaj přenesete do počítače, nehledě na jeho přesnost. V přístrojích digitálních jsou všechny signály reprezentovány pouze dvěma diskrétními stavy (tedy dvěma diskrétními napěťovými úrovněmi), které obvykle označujeme jako logickou 0 a 1. Posloupnost několika nul a jedniček pak představuje určitou číselnou hodnotu.

Výhod, které digitální zpracování poskytuje, je mnoho. U digitálního záznamu je to např. jeho stálost. To je dáno tím, že na záznamovém médiu jsou dva diskrétní stavy reprezentovány natolik odlišnou hodnotou, že jeho případné opotřebení se neprojeví na interpretaci signálu. Jako příklad by mohlo posloužit srovnání analogového a digitálního záznamu na magnetické pásky. Všichni jistě znáte, jak se snižuje kvalita záznamu na video nebo audiokazetách s počtem jejich přehrání. Navíc případné nelinearity, zkreslení a šum vznikající na čtecím zařízení signál dále deformují. K tomu se přidá vlastní šum audiokazety a pak se vám může lehnout, že ze své oblíbené skladby slyšíte více šumu než hudby. Pokud bychom signál zaznamenali digitálně, všech těchto neduhů bychom se zbavili a z pásky bychom získali přesně to, co jsme na ni zaznamenali. Magnetické pásky se používají například pro zálohování velkých objemů dat a v praxi se s nimi asi nesetkáte. Každý ale určitě máte v počítači pevný disk, který funguje na podobném principu. Nevýhodou digitálního záznamu bývá často velký objem dat potřebný k uložení kvalitního záznamu. Protože kvalita je jednoznačně dána počtem bitů (1 bit je nejjednodušší logická jednotka, může nabývat hodnoty 0 nebo 1), které nám udávají rozlišení, může se snadno stát, že na uložení hodinového nekomprimovaného filmu ve kvalitě srovnatelné s kvalitou videokazet VHS budeme potřebovat téměř 20 GB (gigabytů, tzn. miliarda bytů, 1 byte (čti bajt) je osm bitů). Proto je snahou tyto filmy co nejučinněji komprimovat. To ale jejich kvalitu druhotně snižuje a také klade poměrně vysoké nároky na výkon počítače. I na DVD jsou filmy komprimované, a přesto běžně zabírají až osm gigabytů. Také 80 minut hudby z vašeho CD zabírá 700 megabytů, což není zrovna málo. Proto se například v kinech používá stále starý analogový záznam obrazu, na kterém se vytvoří po čase charakteristické škrábance, protože zaznamenat i vysílat film digitálně v takové kvalitě je dnes stále dosti složité. (Důkazem toho, že se již dnes pomalu daří překonat i podobné problémy, by mohl být první u nás instalovaný DLP



Nákres části analytického stroje Charlese Babbage (1791-1871) schopného pracovat podle programu na děrných štítcích

projektor (Digital Light Processing) s rozlišením 1920 x 1080 bodů ve Slovanském domě na podzim tohoto roku.) U digitálního přenosu bychom mohli najít podobné výhody. Opět je méně náchylný na rušení, a pokud je vše v pořádku, je přijato přesně to, co bylo vysláno. Navíc lze do signálu přidat některá data pro jeho opravu v případě méně kvalitního přenosu. Digitální zpracování poskytuje i další výhody, zejména snadný přenos do počítače a do jiných digitálních zařízení a jeho zpracování výpočetní technikou. Jistě víte, jak je snadné zkopírovat CD nebo DVD do počítače nebo do něj nahrát data z digitálního multimetru, osciloskopu, fotoaparátu či kamery a následně je v něm zpracovávat podle libosti.

Digitální technika se však nezabývá pouze zpracováváním dat ve formě čísel, jak by se možná mohlo z předchozího úvodu zdát. Existuje řada případů, kdy pouze potřebujeme rozlišit dvě logické úrovně, můžeme jim říkat různě: pravda – nepravda, ano – ne, zapnuto – vypnuto, 1 – 0 nebo H - L. Také proto se integrované obvody, zpracovávající tyto signály nazývají logické, protože různým logickým úrovním na vstupu přiřazují různé logické výsledky na výstupu. Logické úrovně jsou reprezentovány definovanými napěťovými úrovněmi na vstupech a výstupech a liší se u různých řad logických obvodů. Mezi nejznámější a nejpoužívanější logické obvody patří bezesporu řada 74xx a její vylepšené verze a novější řada CMOS 40xx. O nich si povíme později, protože než se s nimi seznámíme, bude třeba si povědět něco málo z Booleovy algebry a také o číselných soustavách a převodech mezi nimi.

(Pokračování příště)

Digitální technika a logické obvody

(Pokračování)

Booleova algebra

George Boole byl významným anglickým matematikem. Žil v první polovině devatenáctého století a zabýval se zejména logikou a její redukcí na jednoduchou algebru. Protože do matematiky logiku zavedl, byla po něm algebra logiky později pojmenována jako booleovská. Jak jsme si již řekli, v číslicové technice rozeznáváme pouze dva stavy, které označujeme jako 0 a 1, u logických obvodů často jako L a H (z anglických slov low – nízký a high – vysoký, což vyjadřuje skutečnost, že log. 0 je obvykle reprezentována menší napětovou úrovní nežli log. 1). Boole se zabýval přiřazováním hodnot 0 a 1 různým kombinacím nul a jedniček, které představují různé vstupní logické stavy. Taková přiřazení označujeme jako booleovské funkce. Booleova algebra je pak soustava pravidel pro zápis a vyhodnocování logických vztahů. Abychom se nepohybovali pouze v teoretické rovině, uveďme si několik jednoduchých příkladů, které by nám měly celou problematiku přiblížit.

Příklad: U autoalarmu bude vyvolán poplach jednou z těchto příčin: otevření dveří **nebo** pohyb ve vnitřním prostoru (ultrazvukové čidlo) **nebo** rozbití okna (zvukové čidlo). Alarm se deaktivuje dálkovým ovládním **a** správným číselným kódem na klávesnici ve vozidle **a** tajným spínačem. Podmínku pro vyvolání poplachu i podmínku pro deaktivaci alarmu můžeme chápat jako výroky a zapsat je přehledně do pravdivostní tabulky. Pokud bude podmínka splněna, zapíšeme 1, pokud ne, tak 0 (tzn. dojde-li k otevření dveří, zapíšeme 1, dojde-li k pohybu uvnitř vozu, zapíšeme 1, je-li vyvolán poplach zapíšeme 1 apod.). V obou

Tab. 1. Pravdivostní tabulka k příkladu s alarmem – vyvolání poplachu. Poplach bude vyvolán vždy, přjde-li signál z jakéhokoliv snímače.

Otevření dveří	Pohyb uvnitř vozu	Rozbití okna	Vyvolán poplach
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

případech může na vstupu nastat osm různých kombinací.

Situace je přehledně zachycena v tab. 1. Jak je z ní vidět, poplach není vyvolán pouze v případě, kdy není splněna žádná z podmínek. Nebo, řekneme-li to opačně, poplach je vyvolán vždy, pokud je splněna alespoň jedna podmínka. Těmto podmínkám budeme říkat **logické proměnné** a v Booleově algebře je budeme značit velkými písmeny (např. O, P, R a výsledek budeme označovat písmenem Y). Předpisu, podle něž jsme se rozhodovali, budeme říkat **logická funkce**. Celý výrok můžeme také napsat ve tvaru: pokud **O** **nebo** **P** **nebo** **R**, pak **Y**. Spojka **nebo** zde představuje jednu z logických funkcí. Nazýváme ji **logický součet**, označujeme ji **OR** (z anglického or, česky nebo) a v booleovské algebře jí přísluší znak **+**. S pomocí Booleovy algebry pak zapíšeme celý výrok ve tvaru: $O + P + R = Y$. Pověsim si, že zde má znaménko **+** odlišný význam než v klasické algebře. Sice $0 + 1 = 1$, také $0 + 0 = 0$, ale $1 + 1 = 1$ (výsledkem samozřejmě nemůže být žádná jiná hodnota než 0 nebo 1). Znaménko se ani nečte jako „plus“, ale jako **nebo**.

Pro případ deaktivace alarmu sestavíme další tabulku (tab. 2), opět postupujeme stejným způsobem – je-li podmínka splněna (stisknuto dálkové ovládní / zadán správný číselný kód / sepnut tajný spínač) zapíšeme 1, pokud není, zapíšeme 0. Stejně tak, je-li alarm deaktivován, zapíšeme 1, pokud nikoliv, zapíšeme 0.

Vidíme, že výsledky v pravé části tab. 2 jsou zcela odlišné od výsledků tabulky předešlé. Alarm je deaktivován pouze v případě, kdy jsou splněny všechny tři podmínky. Pokud alespoň jedna z podmínek nebude splněna, zůstane alarm aktivován. Takovouto funkci, kterou jsme ve výroku nahradili spojkou **a**, nazýváme **logický součin**. Označujeme ji **AND** (z anglického and, česky a, i) a v booleovské algebře jí přísluší znak **·** (stejně „krát“, které se používá v klasické algebře). Výrok pak můžeme zapsat

Tab. 2. Pravdivostní tabulka k příkladu s alarmem – deaktivace. Alarm bude deaktivován pouze tehdy, provedeme-li správně všechny tři vstupní procedury.

dálkové ovládní	číselný kód	tajný spínač	alarm deaktivován
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

ve tvaru $D \cdot C \cdot T = Y$ (D – dálkové ovládní, C – číselný kód, T – tajný spínač a Y pro výsledek logické operace). Můžeme také použít zjednodušeného zápisu $DCT = Y$. Opět nebudeme znaménko **·** číst jako „krát“, ale jako **a** popř. **i**.

V předchozích příkladech jsme se nezmínili o té nejjednodušší logické funkci, kterou je **logická negace**. Přes svou jednoduchost je používána velice často. Na rozdíl od předešlých dvou funkcí pracuje negace pouze s jednou proměnnou. Výsledkem funkce je opačná hodnota. Tedy, má-li proměnná, např. A, hodnotu 0 ($A = 0$), pak výsledkem negace bude 1 a naopak, bude-li $A = 1$, výsledkem negace bude 0. Logická negace má značku **NOT** a značíme ji pruhem nad proměnnou ($\bar{}$). Všechny tři funkce jsou přehledně shrnuty v tabulkách 3 až 5.

Logická negace, logický součet a logický součin tvoří tzv. úplný systém logických funkcí. Co to znamená? V praxi obvykle potřebujeme řešit komplikovanější situace než jen „pokud A nebo B, pak Y“ a podobné. Představte si například situaci, kdy bychom pravý sloupec tab. 2 přepsali po řádcích hodnotami $Y = 0, 0, 0, 1, 1, 1, 1, 1$. To by odpovídalo situaci, kdy k deaktivaci alarmu postačí buď jen dálkové ovládní nebo zadání správného číselného kódu spolu se stisknutím tajného spínače. Později si ukážeme, že bychom takovou situaci zvládli hravě vyřešit s použitím logických obvodů, které zvládají pouze tři jmenované funkce, dokonce že bychom pomocí takových obvodů zvládli vyřešit jakkoliv složitou logickou funkci.

Vít Špringl
(Pokračování příště)

Tab. 3. Pravdivostní tabulka funkce logická negace (NOT)

A	$Y = \bar{A}$
0	1
1	0

Tab. 4. Pravdivostní tabulka funkce logický součin (AND)

A	B	$Y = A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

Tab. 5. Pravdivostní tabulka funkce logický součet (OR)

A	B	$Y = A + B$
0	0	0
0	1	1
1	0	1
1	1	1

Digitální technika a logické obvody

Booleova algebra (Pokračování)

Pro úplnost si uvedeme ještě jednu logickou funkci, a tou je tzv. **výlučný logický součet**. Z matematického hlediska sice není zas tak významná, jinak je tomu ovšem v elektrotechnice. Existují logické obvody, které tuto funkci vykonávají, ale je také například součástí instrukčních sad některých mikroprocesorů. Výlučný logický součet budeme značit **XOR** (z anglických slov exclusive, což česky znamená výlučný, vylučující a or, což – jak již víme – v češtině znamená nebo) a použijeme pro něj znak \oplus . Výsledkem této funkce je log. 1, pokud se hodnoty obou proměnných liší, tzn. že jedna má hodnotu 1 a druhá 0 nebo naopak. Celá situace je přehledně zaznamenána v tab. 6.

Výlučný logický součet pracuje jen se dvěma proměnnými (logický součin a součet může pracovat se dvěma a více proměnnými).

Na závěr ještě trocha matematiky. Ukázali jsme si, že $0 \cdot 0 = 0$, $0 \cdot 1 = 0$ a $1 \cdot 1 = 1$. Zde jako by platila klasická algebra. Také jsme si řekli, že $0 + 0 = 0$, $0 + 1 = 1$, avšak $1 + 1 = 1$. Několik důležitých pravidel z Booleovy algebry je uvedeno v tabulce 7. Zkuste si promyslet, proč tato pravidla platí. Dosazujte za A různé logické hodnoty a ověřte si tak pravdivost výrazů. V tabulce 8 jsou uvedena tzv. De Morganova pravidla, která dávají převodní vztah mezi logickým součtem a logickým součinem. Zkuste vytvořit dvě tabulky pravdivostních hodnot. Obě budou mít čtyři řádky. Pro první výraz bude mít tabulka tyto sloupce: A, B, $\overline{A \cdot B}$, $\overline{A} + \overline{B}$, tedy celkem 7 sloupců. Hodnoty v prvních dvou sloupcích volíme tak, aby v každém řádku byla jiná kombinace hodnot (inspirujte se tabulkami 4, 5 nebo 6). Poslední dva sloupce jsou výsledky dvou rozdílných logických funkcí. Podle prvního z uvedených De

Tab. 6. Pravdivostní tabulka funkce výlučný logický součet (XOR)

A	B	$Y = A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

Morganových vzorců by mělo být jejich pravdivostní ohodnocení stejné (ve stejném řádku stejná logická hodnota), pokud tomu tak není, museli jste někde udělat chybu. K čemu slouží zbylé tři sloupce? Ty zjednodušují práci. Je obvyklé je do tabulky zavádět i přesto, že bychom se bez nich obešli, protože se tak předejde chybám. Při vyplňování posledních dvou sloupců totiž můžete aplikovat pouze jednu funkci na již vyhodnocené předešlé. V případě druhé tabulky postupujte analogicky, přičemž v posledních třech sloupcích budou samozřejmě jiné funkce.

Mohli bychom uvést ještě některé další vzorce, ale raději se pomalu přesuneme k dalšímu tématu, kterým jsou číselné soustavy. Pokud by vás téma zajímalo více nebo jste měli i nadále nějaké nejasnosti, podívejte se na moji webovou stránku <http://elektronika.webpark.cz>, kde uvedu nějaký další příklad k tomuto tématu. Budou zde uveřejněny také pravdivostní tabulky pro uvedené vzorce, abyste měli možnost vidět, že opravdu platí, a popř. také zodpovím případné dotazy, které mi zasílejte spolu s připomínkami či námitkami na můj mail v.springl@centrum.cz.

Číselné soustavy

Již jsme si řekli, že logické obvody rozeznávají pouze dva stavy – 0 a 1. Možná ale některým není zcela zřejmé, jak lze tímto způsobem vyjádřit libovolnou číselnou hodnotu. V praxi používáme soustavu desítkovou. Je nám velice blízká, praktická a všichni s ní jistě umíme pracovat. Desítková se nazývá proto, že má deset čísel, 0 až 9, a v jednom řádu tak dokáže rozlišit deset různých stavů. Logické obvody ale rozeznávají pouze stavy dva, bylo by tudíž vhodné,

Tab. 7. Několik jednoduchých, zato však velmi důležitých, pravidel z Booleovy algebry

$A \cdot 0 = 0$
$A + 0 = A$
$A \cdot 1 = A$
$A + 1 = 1$
$A \cdot A = A$
$A + \overline{A} = 1$
$A \cdot \overline{A} = 0$
$A + \overline{\overline{A}} = 1$

Tab. 8. De Morganova pravidla

$\overline{A \cdot B} = \overline{A} + \overline{B}$
$\overline{A + B} = \overline{A} \cdot \overline{B}$

abychom pro ně zavedli soustavu dvojkovou (binární), která bude mít pouze číslice 0 a 1. Přestože má úplně stejná pravidla jako soustava desítková, je pro většinu z nás cizí, zápis čísla je v ní nepřehledný a jen obtížně si představíme, jakou číselnou hodnotu v sobě vlastně skrývá.

Nejprve si zkuste uvědomit, jakým způsobem počítáme v soustavě desítkové: 0, 1, 2, ... 8, 9. Když dojdeme k nejvyšší číslici, jednoduše ji nahradíme tou nejnižší a ve vyšším řádu přičteme jedničku (můžeme si představit, že předtím zde byla nula, kterou nezapisujeme), tzn. 10, 11, 12, ... Zkuste nyní aplikovat stejný postup v soustavě dvojkové: 0, 1, tím jsme ovšem přiděl číslic vyčerpali a musíme se přesunout do dalšího řádu: 10, 11, 100, 101... atd. (viz tab. 9). V tabulce si také můžete povšimnout soustavy šestnáctkové. Jak již název napovídá, bude rozeznávat šestnáct různých stavů v jednom řádu. Protože však známe pouze deset číselných znaků, pro zápis zbylých šesti používáme písmena A až F. Tato soustava se používá zejména v počítačích a mikroprocesorech. Povšimněte si, že čtyřbitové číslo ve dvojkové soustavě (tedy číslo do velikosti čtyř cifer) můžeme zapsat v šestnáctkové soustavě elegantně s použitím pouze jednočíselného čísla.

Vít Špringl (Pokračování příště)

Tab. 9. Vyjádření vybraných číselných hodnot ve třech různých číselných soustavách.

Číselné soustavy		
Desítková (dekadická)	Dvojková (binární)	Šestnáctková (hexadecimální)
0	0	0
1	1	1
2	10	2
3	11	3
4	100	4
5	101	5
6	110	6
7	111	7
8	1000	8
9	1001	9
10	1010	A
11	1011	B
12	1100	C
13	1101	D
14	1110	E
15	1111	F
16	10000	10
17	10001	11
...
255	11111111	FF
...

Digitální technika a logické obvody

(Pokračování)

Převody mezi soustavami

V souladu s tím, co jsme uvedli v úvodu, můžeme např. číslo 2546 v desítkové soustavě zapsat ve tvaru:

$$2546_{10} = 2 \cdot 1000 + 5 \cdot 100 + 4 \cdot 10 + 6 \cdot 1 = 2 \cdot 10^3 + 5 \cdot 10^2 + 4 \cdot 10^1 + 6 \cdot 10^0$$

(Pozn.: Aby bylo zřejmé, v jaké soustavě jsou čísla zapsána, budeme k nim přidávat index 2, 10 nebo 16.)

Ze zápisu je na první pohled vidět, že každý vyšší řád vyjadřuje desetkrát větší hodnotu. Je to dáno právě tím, že v něm přičítáme jedničku až poté, co jsme ji přičítali desetkrát v řádu nižším. V soustavě dvojkové bude postup obdobný. Každý vyšší řád však bude vyjadřovat hodnotu pouze dvakrát větší, protože máme pouze dvě číslice. V praxi to bude znamenat, že zde místo mocnin deseti budou mocniny dvou. Např. číslo 10011110010₂ tak můžeme zapsat ve tvaru:

$$10011110010_2 = 1 \cdot 2^{11} + 0 \cdot 2^{10} + 0 \cdot 2^9 + 1 \cdot 2^8 + 1 \cdot 2^7 + 1 \cdot 2^6 + 1 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0$$

(Pozn.: Nultá mocnina jakéhokoliv čísla je rovna jedné, tedy $10^0 = 2^0 = 16^0 = 1$.)

Záměrně jsem volil trochu delší číslo, abych vám ukázal, kolik cifer potřebujete v binární soustavě k vyjádření poměrně malé číselné hodnoty. Těchto dvanáct jedniček a nul není totiž nic jiného, než binární vyjádření čísla 2546₁₀ uvedeného výše. Číslo v šestnáctkové soustavě můžeme napsat podobným způsobem.

Převod čísla ze soustavy dvojkové a šestnáctkové do soustavy desítkové

Převod do soustavy desítkové je velice snadný. Stačí totiž číslo rozepsat výše uvedeným způsobem a pak mocniny jednoduše sečíst. Ukážeme si to na příkladu.

Příklad 1: převedte čísla 1101100₂ a 6C₁₆ do desítkové soustavy.

$$\begin{aligned} \text{Řešení: } 1101100_2 &= 1 \cdot 2^6 + 1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 0 \cdot 2^0 = \\ &= 1 \cdot 64 + 1 \cdot 32 + 0 \cdot 16 + 1 \cdot 8 + 1 \cdot 4 + 0 \cdot 2 + 0 \cdot 1 = 108_{10} \end{aligned}$$

$$6C_{16} = 6 \cdot 16^1 + 12 \cdot 16^0 = 96 + 12 = 108_{10}$$

Protože budeme u logických obvodů pracovat pouze s binárním vyjádřením čísla, je vhodné si zapamato-

Tab. 10. Popis osmibitového binárního čísla. MSB (most-significant bit) – nejvíce platný bit, LSB (least-significant bit) – nejméně platný bit. Osmibitové binární číslo tvoří jeden byte [čti bajt]

2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
128	64	32	16	8	4	2	1
bit 7 (MSB)	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0 (LSB)

vat alespoň prvních osm mocnin čísla dvě. Jsou uvedeny v tab. 10. Mocniny si lze také velice snadno odvodit. Začnete s jedničkou a všechny další dostanete jednoduše vynásobením dvěma (1, 2, 4, 8, ...).

Převod čísla ze soustavy desítkové do soustavy dvojkové a šestnáctkové

Způsob převodu je o něco složitější než v předchozím případě. Nejdříve si ukážeme obecný postup, kterým lze převést číslo z desítkové do jakékoliv jiné soustavy. Spočívá v opakovaném dělení dekadického čísla, v našem případě buď dvojkou pro převod do soustavy binární, nebo šestnáctkou, chceme-li číslo vyjádřit v hexadecimálním tvaru. Hledaný tvar čísla dostaneme, zapíšeme-li zbytky z dělení v opačném pořadí. Ke snadšímu pochopení poslouží následující příklad.

Příklad 2: Převedte číslo 108₁₀ do dvojkové a šestnáctkové soustavy.

Řešení:

1) převod do soustavy dvojkové:

$$\begin{aligned} 108 : 2 &= 54, & \text{zbytek } 0 \\ 54 : 2 &= 27, & \text{zbytek } 0 \\ 27 : 2 &= 13, & \text{zbytek } 1 \\ 13 : 2 &= 6, & \text{zbytek } 1 \\ 6 : 2 &= 3, & \text{zbytek } 0 \\ 3 : 2 &= 1, & \text{zbytek } 1 \\ 1 : 2 &= 0, & \text{zbytek } 1 \end{aligned}$$

Jednotlivé zbytky nyní zapíšeme v opačném pořadí a dostáváme požadovaný výsledek: 108₁₀ = 1101100₂.

2) převod do soustavy šestnáctkové:

$$\begin{aligned} 108 : 16 &= 6, & \text{zbytek } 12, \\ & \text{v soustavě šestnáctkové C,} \\ 6 : 16 &= 0, & \text{zbytek } 6 \\ \text{Výsledek: } 108_{10} &= 6C_{16} \end{aligned}$$

Uvedený postup lze aplikovat na převod čísla z desítkové do kterékoliv jiné číselné soustavy. Dříve jste se mohli např. setkat se soustavou osmičkovou. Princip převodu by byl úpl-

ně stejný, jen byste číslo dělili osmi. Nezapomeňte na to, že po opakovaném dělení nám nakonec musí vyjít nula, musíme tedy dělit i čísla, která jsou menší než dělitel (viz příklad).

Pro převod čísel ze soustavy binární do soustavy dekadické si ukážeme ještě jiný algoritmus. Je názornější než předchozí a také méně početně náročný. Spočívá v postupném odečítání mocniny dvou, a to následovně: od čísla, které chceme převést, odečteme nejvyšší mocninu dvou, která je ještě menší než příslušné číslo, a na pozici binárního čísla zapíšeme 1. Od zbytku odečteme následující nižší mocninu dvou, která je menší než daný zbytek, a opět zapíšeme 1 na danou pozici. Tento postup opakujeme až do té doby, než nám po odečtení vyjde nula. U mocnin, které jsme neodečítali, napíšeme 0.

Příklad 3: Převedte s použitím výše popsaného algoritmu číslo 108₁₀ do binárního tvaru.

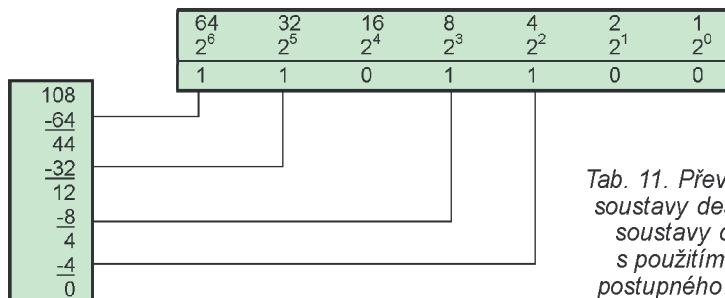
Řešení: Postup řešení je vidět z tab. 11. Nejvyšší mocnina dvou, která je menší než 108, je 2⁶ (64). Odečteme ji a zapíšeme 1. Od zbytku (44) můžeme odečíst následující nižší mocninu dvou – 2⁵ (32), protože je menší než zbytek. Od zbytku 12 však nemůžeme odečíst 2⁴ (16), protože bychom dostali záporné číslo. Proto odečteme až mocninu následující, tedy 2³ (8). Zbytkem je číslo 4. Po odečtení mocniny 2² již dostáváme nulu a tím je algoritmus ukončen. Na pozice mocnin 2¹ a 2⁰ zapíšeme nuly. Výsledkem je číslo 1101100₂.

Tato metoda může být v některých případech i mnohem úspornější. Např. pokud bychom měli převést číslo 65₁₀ do soustavy dvojkové, na první pohled vidíme, že odečteme mocninu 2⁶ a 2⁰ a výsledkem bude číslo 1000001₂.

Její nevýhodou je, že se hodí pouze pro rychlý převod malých čísel.

Vít Špringl

(Pokračování příště)



Tab. 11. Převod čísla ze soustavy desítkové do soustavy dvojkové s použitím metody postupného odečítání

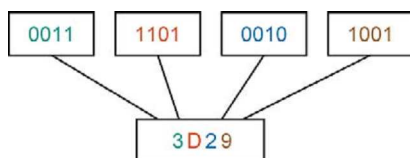
Digitální technika a logické obvody

(Pokračování)

Převody mezi soustavou dvojkovou a šestnáctkovou

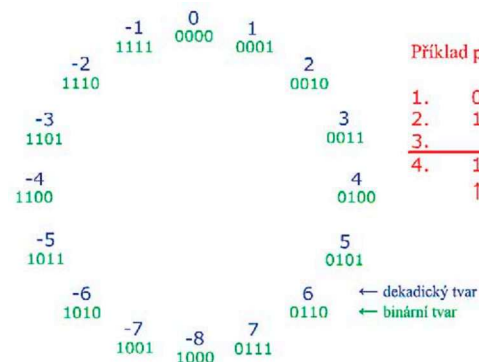
V tab. 12 je naznačeno, jak snadno lze realizovat převody mezi těmito dvěma soustavami. Binární číslo si zprava rozdělíte na čtveřice a s použitím tab. 9 ho snadno vyjádříte v šestnáctkovém tvaru. Stejným způsobem bychom postupovali v případě převodu opačným směrem. Nezapomeňte, že každý znak z šestnáctkové soustavy (neplatí pro ten v nejvyšším řádu) musíme nahradit čtyřmi znaky v soustavě dvojkové. Kdybychom například číslo 2_{16} nahradili pouze číslem 10_2 místo 0010_2 (viz příklad v tab. 12), dostali bychom chybný výsledek.

Tab. 12. Převod mezi soustavou dvojkovou a šestnáctkovou



Při převodu mezi soustavou osmičkovou a binární bychom postupovali stejným způsobem s tím rozdílem, že bychom binární číslo nerozdělili na čtveřice, ale na trojice. S použitím tab. 9 by nám převod neměl činit větší potíže.

Ukázali jsme si, jak lze zapsat čísla stejných hodnot v různých číselných soustavách. Celou problematiku jsme trochu zjednodušili tím, že jsme pracovali pouze s celými kladnými čísly. Čísla záporná bychom mohli vyjádřit s použitím znaménka $-$, tak jak jsme tomu zvyklí v desítkové soustavě. Jeden bit pak musíme vyhradit pro uložení informace o znaménku. Na samotném převodu by se v takovém případě nic nezměnilo. Ve výpočetní technice se však často využívá výhodnějšího způsobu vyjádření záporného čísla ve tvaru tzv. dvojkového doplňku. Způsob jeho vytvoření je patrný



Tab. 13. Řešení příkladu 5

Převod celé části	Převod desetinné části
6:2=3, zbytek 0	0,3·2=0,6, celá část čísla: 0
3:2=1, zbytek 1	0,6·2=1,2, celá část čísla: 1
1:2=0, zbytek 1	0,2·2=0,4, celá část čísla: 0
	0,4·2=0,8, celá část čísla: 0
	0,8·2=1,6, celá část čísla: 1
	0,6·2=1,2, celá část čísla: 1
Výsledek:	Výsledek:
$6_{10} = 110_2$	$0,3_{10} = 0,01001_2$

z obr. 1. S desetinnými čísly to bude trochu složitější. Převod do desítkové soustavy realizujeme tak, že číslo rozepíšeme na součet násobků mocnin základu dané soustavy, tak jak je uvedeno v příkladu 1, přičemž se nám zápis obohatí o záporné mocniny ($2^{-1}, 2^{-2}, 2^{-3}, \dots$, resp. $16^{-1}, 16^{-2}, \dots$). Pozn.: $2^{-1}=1/2=0,5$; $2^{-2}=1/2^2=1/4=0,25$; $16^{-1}=1/16=0,0625$ apod.

Příklad 4:

$$21C_{16} = 2 \cdot 16^2 + 1 \cdot 16^1 + 12 \cdot 16^0 + 8 \cdot 16^{-1} = 512 + 16 + 12 + 0,5 = 540,5_{10}$$

$$1000011100_2 = 1 \cdot 2^9 + 0 \cdot 2^8 + 0 \cdot 2^7 + 0 \cdot 2^6 + 0 \cdot 2^5 + 1 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 0 \cdot 2^0 + 1 \cdot 2^{-1} = 512 + 16 + 8 + 4 + 0,5 = 540,5_{10}$$

V případě převodu opačným směrem musíme vhodným způsobem modifikovat metodu opakovaného dělení pro převod desetinné části čísla. O této problematice se zmíníme jen letmo, nějaké další informace budou uvedeny na mé webové stránce <http://elektronika.webpark.cz>. Celou část čísla převádíme způsobem popsaným v příkladu 2: číslo postupně dělíme základem soustavy, do které je převádíme, a zapisujeme přitom zbytky dělení. Výsledek dostaneme sepsáním těchto zbytků v opačném pořadí. Desetinnou část budeme základem výsledné soustavy pro změnu násobit. Z výsledku oddělíme jeho celou a desetinnou část, přičemž část desetinnou budeme dále násobit, zatímco celé části, sepsané tentokrát ve stejném pořadí, tvoří výsledek převodu.

Příklad 5: Vyjádřete číslo $6,3_{10}$ v binárním tvaru.

Řešení: Postup převodu je uveden v tab. 13. Převádíme zvlášť celou a zvlášť desetinnou část čísla způsobem popsaným výše. Převod desetinné části je ukončen tehdy, je-li výsledkem násobení celé číslo nebo

nalezne-li periodu. Protože je šestý řádek shodný s druhým (v tabulce modře), další postup by vedl na opakující se hodnoty (sedmý řádek by byl shodný se třetím, osmý se čtvrtým atd.). Výsledkem převodu je tedy periodické číslo

Velice snadný by byl opět převod mezi soustavou binární a šestnáctkovou (resp. osmičkovou). Binární číslo opět rozdělíme na čtveřice (resp. trojice) podobně jako v příkladu z tab. 12, pouze při seskupování číslic desetinné části postupujeme směrem vpravo, zatímco číslice celé části jsme seskupovali směrem vlevo.

Příklad 6: Dokažte, že $2E,4_{16} = 101110,01_2 = 56,2_8$.

2	E,	4	...hex.
0010	1110,	0100	...bin.
5	6,	2	...okt.
101	110,	010	...bin.

Postup řešení je stejný jako v příkladu z tab. 12, při převodu využijte tabulky 9. Výsledek si můžete ověřit např. jednoduchým převodem do desítkové soustavy. Všechna tři čísla jsou v ní reprezentována hodnotou $46,25_{10}$.

Aritmetické operace s binárními čísly

Binární čísla budeme sčítat stejným způsobem, jakým sčítáme čísla desítková. Příklad je uveden v tabulce 14. Jednička se do vyššího řádu přenáší tehdy, je-li výsledkem součtu dvou čísel pod sebou hodnota větší nebo rovna 10_2 . Ne náhodou je číslo ciferné shodné s číslem dekadickým. Musíte si však uvědomit, že $10_2 = 2_{10}$. Postup součtu v příkladu z tab. 13 je zřejmý, začneme v pravém sloupci: $0 + 1 = 1$, v prostředním sloupci je opět $1 + 0 = 1$ a ve sloupci levém je $1 + 1 = 10_2$. Zde se přenáší jednička, zapíšeme tedy nulu a do nejvyššího řádu přepíšeme jedničku.

Vít Špringl
(Pokračování příště)

Tab. 14. Sčítání binárních čísel

Binárně	Dekadicky
1 1 0	6
+ 1 0 1	+5
1 0 1 1	11

Obr. 1. Vytvoření dvojkového doplňku

Digitální technika a logické obvody

Aritmetické operace s binárními čísly (Pokračování)

V případě výpočtu rozdílu dvou binárních čísel bychom postupovali obdobným způsobem jako při sčítání (viz minulý díl). U příkladu uvedeného v tab. 15 nejprve odečteme $1-1=0$ v pravém sloupci, tak jak jsme zvyklí, a v následujícím sloupci $1-0=1$. Problémy snad nebude činit ani rozdíl $0-1$ ve třetím sloupci zprava, kde odečítáme větší číslo od menšího. U desítkových čísel si v takovém případě vypomáháme přidáním jedničky ve vyšším řádu menšence (číslo, od kterého odčítáme). Tu vykompenzujeme tím, že ji odečteme v následujícím sloupci vlevo (dojde tedy k přenosu -1). Např. rozdíl $5-8$ spočítáme jako $15-8=7$, zapíšeme sedm a v následujícím vyšším řádu odečteme jedničku. Stejným způsobem budeme postupovat i zde. Místo $0-1$ tedy budeme počítat $10-1=1$ a do výsledku zapíšeme 1. V dalším řádu (v levém sloupci) odečteme jedničku, kterou jsme si vypůjčili, tedy $1-1=0$, přičemž nulu do výsledku nezapíšeme.

Popsaného způsobu se však v počítačích obvykle nepoužívá. Místo toho se odečítané číslo vyjádří ve tvaru již zmíněného dvojkového doplňku jako číslo záporné a následně se obě čísla jednoduše sečtou. Na obr. 1 (v minulém čísle PE) je vidět způsob jeho vytvoření spolu s příkladem převodu kladného čísla na záporné. Při operacích s takto vyjádřenými čísly se využívá toho, že se čítače nebo sčítačky v počítačích, mikroprocesorech nebo logických obvodech chovají podobně jako mechanická počítadla v magnetofonu, která při přetečení začnou počítat opět od nuly. Ukazuje-li pětimístné mechanické počítadlo hodnotu 99999, bude po přičtení dvou otáček ukazovat 00001. Podobný případ nastane, přičteme-li dvojkou k osmibitovému číslu 1111111₂. Pro-

Tab. 15. Odčítání binárních čísel

Binárně	Dekadicky
1 0 1 1	11
- 1 0 1	-5
1 1 0	6

Tab. 16. Násobení binárních čísel

Binárně	Dekadicky
1 0 1 1	11
· 1 0 1	· 5
1 0 1 1	55
0 0 0 0	
1 0 1 1	
1 1 0 1 1 1	

tože máme pro číslo vyhrazeno právě osm bitů, bude výsledkem 0000001₂ a devátý bit se přímo neuplatní.

Příklad 7: Vypočtete rozdíl $6_{10}-4_{10}$ ve čtyřbitovém binárním vyjádření. Číslo -4 převedte do tvaru dvojkového doplňku a následně obě čísla sečtete.

Řešení: $6_{10}=0110_2$, $-4_{10}=1100$ (viz obr. 1) $0110_2+1100_2=10010_2$, protože však pracujeme s čtyřbitovými čísly, pátý bit bude ignorován a výsledkem bude $0010_2=2_{10}$.

Příklad 8: Jaké hodnoty čísel můžeme vyjádřit s použitím osmi bitů, chceme-li použít zápis ve tvaru dvojkového doplňku?

Řešení: S použitím osmi bitů můžeme vyjádřit čísla -128_{10} (10000000_2) až 127_{10} (01111111_2). Osmý bit nám dává informaci o znaménku. Je-li roven jedničce, jedná se o číslo záporné, je-li roven nule, je číslo kladné. Z toho také plyne daný rozsah hodnot.

Příklad 9: Vypočtete $-56_{10}-10_{10}$ v osmibitovém vyjádření ve tvaru dvojkového doplňku.

Řešení: Nejprve vyjádříme absolutní hodnoty čísel v binárním tvaru :

$$56_{10}=00111000_2,$$

$$10_{10}=00001010_2,$$

poté je převedeme do vyjádření ve tvaru dvojkového doplňku podle algoritmu uvedeného na obr. 1 (znegujeme a přičteme jedničku):

$$-56_{10}=11001000_2,$$

$$-10_{10}=11110110_2$$

a nakonec obě takto vyjádřená čísla sečteme:

$11001000_2+11110110_2=11011110_2$. Protože pracujeme v osmibitovém vyjádření, bude devátý bit ignorován a výsledkem bude 1011110_2 . Jedná se o číslo -66_{10} .

Způsob násobení binárních čísel se nijak neliší od způsobu, jakým násobíme čísla desítková. Příklad je uveden v tab. 16. Při samotném násobení vlastně ani nijak nepocítíme, že se jedná o binární čísla. Rozdíl nastane až při sčítání mezivýsledků, kdy budeme postupovat způsobem popsaným výše. Všimněte si, že v podstatě neděláme nic jiného, než že horní číslo buď opisujeme v nezměněné podobě, pokud násobíme jedničkou, nebo píšeme samé nuly. Bez zajímavosti není také násobení dvěma. Můžete si vyzkoušet vynásobit jakékoliv binární

číslo dvěma. Dvojka je v binární soustavě reprezentována číslem 10_2 . Efekt bude stejný, jako kdybyste v desítkové soustavě násobili deseti. Budeme vlastně jen přidávat nuly zprava. Násobení (i dělení) binárního čísla mocninami dvojky se tak stává velice snadnou záležitostí.

Přestože se dělení binárních čísel jeví na první pohled jako velice komplikované, nesetkáme se s ničím, co bychom již dávno neznali. Vystačíme si v podstatě jen s odčítáním. Příklad je uveden v tab. 17. Popíšeme si zde algoritmus, který přímo vychází z postupu dělení desítkových čísel, jak ho známe ze základní školy.

Za základ dělení vezmeme takovou část dělence, která je větší nebo rovna děliteli, ale menší než jeho dvojnásobek, v našem případě tedy číslo 110_2 (viz první řádek s komentáři v tab. 17). Nyní provedeme podíl $110:101$ (zvolené číslo vydělíme dělitelem tak, jak jsme tomu zvyklí u dělení desítkových čísel). Výsledkem by byla nula v případě, že by bylo $110<101$. My jsme však číslo zvolili záměrně tak, aby bylo větší nebo rovno číslu 101 (děliteli) a v takovém případě je výsledkem podílu jednička. Vidíme, že se nám tak celé dělení redukuje na porovnávání velikostí. Nyní vezmeme náš výsledek (1), vynásobíme jím dělitele ($1 \cdot 101$) a odečteme ho od hodnoty 110 : $110-1 \cdot 101=1$ (druhý řádek komentářů v tab. 17). Rozdíl můžeme realizovat podobným způsobem jako u příkladu z tab. 15. K číslu 1 přidáme příslušnou cifru dělence a pokračujeme postupem uvedeným výše: $11:101=0$, protože je $11<101$. Nyní od čísla 11 neodečítáme nic ($0 \cdot 101=0$), a můžeme tak rovnou pokračovat připsáním další číslice dělence (třetí řádek komentářů v tab.). Protože je $111>101$, je $111:101=1$. Zapíšeme výsledek a provedeme rozdíl $111-1 \cdot 101=10$ (čtvrtý řádek). K číslu 10 přidáme poslední číslici dělence a vzniklé číslo vydělíme dělitelem: $101:101=1$ (dělíme-li dvě stejná velká čísla, výsledkem je jednička). Po odečtení $101-101$ nám vyjde nulový zbytek. Pokud by byl zbytek nenulový, mohli bychom pokračovat v dělení standardním způsobem – k výsledku bychom připsali desetinnou čárku a ke zbytku připsali další cifru dělence (jsou to již jenom nuly, kterých si můžeme vpravo za desetinnou čárkou přidat kolik chceme – např. $110111,00000\dots$) **Vít Špringl**

(Pokračování příště)

Tab. 17. Dělení binárních čísel

Dekadicky	55 : 5 = 11		
Binárně	1 1 0 1 1 1	: 1 0 1 =	1 0 1 1
	1 1 0		↑
			↑
	1 1		↑
			↑
	1 1 1		↑
			↑
	1 0 1		↑
			↑
	0		↑

Za základ vezmeme 110, $110 > 101$, výsledek = 1
 $110 - 101 = 1$, přidáme 1, $11 < 101$, výsledek = 0
 Opíšeme 11 a přidáme 1, $111 > 101$, výsledek = 1
 $111 - 101 = 10$, přidáme 1, $101 = 101$, výsledek = 1
 $101 - 101 = 0$, zbytek = 0

Digitální technika a logické obvody

(Pokračování)

Kombinační logické obvody

Logické obvody jsou obvody, které pracují podle definovaného logického schématu a plní tak různé logické funkce. Dělíme je do dvou základních skupin – na kombinační a sekvenční. U kombinačních logických obvodů závisí stav výstupů pouze na okamžitých stavech (kombinaci) vstupů. Nedochozí zde k žádnému paměťovému efektu, pomineme-li krátké zpoždění vznikající při průchodu signálu elektronickými obvody. Chování takových obvodů tak můžeme vždy popsat nějakou logickou funkcí. Obvody, které realizují základní logické funkce, nazýváme hradla. Kromě hradel můžeme mezi kombinační logické obvody zařadit též např. sčítačku, dekodér nebo multiplexer.

Sekvenční logické obvody obsahují paměťové členy, které způsobují, že stav jejich výstupů závisí nejen na okamžitých hodnotách vstupů, ale též na předchozích stavech obvodu. Pro jednoznačné určení výstupních signálů je tedy potřeba kromě okamžitých vstupních hodnot znát též sekvenci jejich předchozích změn. Sekvenční logické obvody jsou zpravidla složitější a budeme se jim věnovat později.

K realizaci logických obvodů používáme speciální integrované obvody

s předdefinovanými funkcemi, popř. takové, jejichž funkci lze naprogramovat. Od ostatních součástek se liší tím, že pracují pouze s logickými signály 0 a 1, které jsou zde reprezentovány definovanými napěťovými úrovněmi. Dnes existuje několik typových řad logických integrovaných obvodů, které se liší nejen vstupními a výstupními napěťovými úrovněmi, ale i mnohými dalšími parametry (napájením, rychlostí, spotřebou, ...). Podrobně se s nimi seznámíme později.

V tab. 18 jsou uvedeny schematické značky základních logických hradel. V prostředním sloupci jsou vyobrazeny značky podle americké normy ASA, se kterými se můžete v současné době setkat nejčastěji. V pravém sloupci můžete vidět dříve používané schematické značky. Najdete je zejména ve starší literatuře a katalogích, ale používají je i někteří současní pišící autoři. Z prve zmiňovaných značek je podle mého názoru na první pohled patrná funkce hradla, aniž byste museli luštit jakékoliv znaky. Schéma zapojení je pak průhlednější, zejména pro začátečníky, a proto se jich budeme v následujícím výkladu držet. Značky v pravém sloupci mají naopak výhodu ve snadnějším grafickém znázornění. Tak jak bychom intuitivně předpokládali, představuje levá část vstup a pravá výstup hradla. Zatímco výstup je zpravidla jen jeden, vstupů můžeme mít hradla AND, OR, NAND a NOR i více než dva, stejně jako může součtová a součinná logická funkce pracovat s více proměnnými. Vyrábějí se i osmivstupová hradla. Malý kroužek u některých značek plní funkci invertoru. Narazíte na něj také

u složitějších značek některých sekvenčních obvodů a může se vyskytnout i na vstupu. V tabulce vidíme kromě hradel s nám již známými funkcemi NOT, AND, OR a XOR (viz tab. 3 – 6, PE 2/2003 a 3/2003) také hradla s novými funkcemi NAND a NOR. Ačkoliv jsme se o nich v souvislosti s Booleovou algebrou nezmínili, jedná se o nejpoužívanější logická hradla. Dokonce se logické obvody s hradly AND a OR ani příliš nevyrábějí. Proč? Při popisu logických funkcí NOT, AND a OR jsme se zmínili o tom, že spolu tvoří tzv. úplný systém logických funkcí. To znamená, že lze jejich vhodnou kombinací realizovat jakoukoliv složitou logickou funkci. Avšak i samotné hradlo NAND, stejně jako samotné hradlo NOR, tvoří úplný systém logických funkcí. Jejich vhodným zapojením lze tedy též realizovat jakoukoliv logickou funkci. Vyhneme se tak potřebě několika různých logických obvodů s různými hradly. Kromě toho mají i další výhody, např. jednodušší realizaci na čipu.

Tab. 19. Pravdivostní tabulka funkce **NAND**

A	B	$Y = \overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

Tab. 20. Pravdivostní tabulka funkce **NOR**

A	B	$Y = \overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0

Tab. 18. Schematické značky základních logických hradel

Logická funkce	Schematická značka (ASA)	Schematická značka (stará ČSN)
NOT invertor $Y = \overline{A}$		
AND logický součin $Y = A \cdot B$		
NAND negovaný logický součin $Y = \overline{A \cdot B}$		
OR logický součet $Y = A + B$		
NOR negovaný logický součet $Y = \overline{A + B}$		
XOR výlučný logický součet $Y = A \oplus B$		

V tab. 19 je uvedeno pravdivostní ohodnocení funkce **NAND** (NOT AND), v matematice nazývané jako Shefferova funkce. Jak již označení napovídá, jedná se o funkci AND s negovaným výstupem (je to patrné i ze schematické značky), tedy

. Výsledkem funkce AND je log. 1 pouze v případě, kdy jsou hodnoty všech vstupů rovny jedné. Výsledkem funkce NAND bude log. 1 naopak ve všech případech, kdy je alespoň jeden vstup roven nule. Srovnajte tab. 19 s tabulkou 4. Pravdivostní ohodnocení funkce **NOR** (NOT OR) je uvedeno v tab. 20. Jedná se u funkci OR s negovaným výstupem, tedy

. V matematické logice se můžete setkat s názvem Pierceova funkce. Jednička je výsledkem logické funkce OR v případě, že je alespoň jeden vstup roven jedné. Je zřejmé, že u funkce NOR tomu bude naopak a log. 1 bude výsledkem pouze v případě, kdy budou rovny všechny vstupy nule.

Vít Špringl
(Pokračování příště)

Digitální technika a logické obvody

Kombinační logické obvody (Pokračování)

Nyní si ukážeme, jak zapojit hradla NAND, aby plnila funkci NOT, AND a OR. Na obr. 2 jsou uvedena dvě možná zapojení hradla NAND ve funkci invertoru. V zapojení a) je negace docílena spojením všech vstupů. Je-li vstupní signál roven nule, je na všech vstupech log. 0, a protože platí

bude na výstupu log. 1. V opačném případě platí a na výstupu se objeví log. 0. V některých případech je vhodnější použít zapojení b), kde jsou nepoužité vstupy připojeny na log. 1. Podíváme-li se do tab. 19 a bude-li např. vstup A nabývat pouze hodnoty 1 (dolní dva řádky tabulky), vidíme, že platí. Funkce zapojení na obr. 3, které pracuje jako součinný člen, je vcelku zřejmá. Vidíme zde hradlo NAND, jehož výstup je negován výše popsaným invertorem. Jedná se tedy o dvakrát negovaný logický součin, což je funkce ekvivalentní logickému součinu, protože platí

$\overline{\overline{A \cdot B}} = A \cdot B$. Na obr. 4 vidíme zapojení hradla NAND s invertovanými vstupy ve funkci logického součtu. Jedná se o funkci, jejíž ekvivalence s funkcí OR však nemusí být na první pohled patrná. Rovnost plyne z De Morganova pravidla (viz PE 3/2003). Pro hloubavější čtenáře uvádím jednoduchý důkaz jeho platnosti v podobě tabulky pravdivostních ohodnocení (tab. 21).

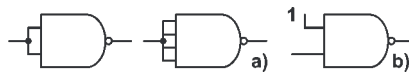
Podobným způsobem můžeme realizovat základní logické funkce vhodným zapojením členů NOR. Na obr. 5 plní třívstupový člen NOR funkci NOT. Stejně jako u členu NAND dostaneme invertor spojením všech vstupů. Zapojení je shodné s tím, které vidíte na obr. 2a. Kdyby to někoho překvapovalo, stačí nahlédnout do tabulek 19 a 20 (pravdivostní tabulky funkcí NAND a NOR – viz minulý díl) a po-

Tab. 21. Pravdivostní tabulka dokazující pravdivost De Morganova pravidla

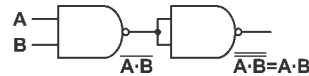
A	B	\overline{A}	\overline{B}	$\overline{A \cdot B}$	$\overline{\overline{A \cdot B}}$	$A + B$
0	0	1	1	1	0	0
0	1	1	0	0	1	1
1	0	0	1	0	1	1
1	1	0	0	0	1	1

Tab. 22. Pravdivostní tabulka dokazující pravdivost De Morganova pravidla

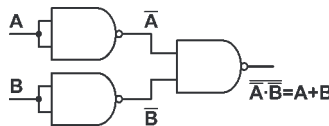
A	B	\overline{A}	\overline{B}	$\overline{A + B}$	$\overline{\overline{A + B}}$	$A \cdot B$
0	0	1	1	1	0	0
0	1	1	0	1	0	0
1	0	0	1	1	0	0
1	1	0	0	0	1	1



Obr. 2. Zapojení logického hradla NAND ve funkci invertoru



Obr. 3. Zapojení dvou hradel NAND jako součinný člen AND



Obr. 4. Zapojení tří hradel NAND jako součtový člen OR

všimnout si, že pro stejné hodnoty vstupů (tzn. jsou-li všechny rovny jedné nebo jsou-li všechny nulové) dávají funkce stejný výsledek. Platí tedy

Alternativou by bylo použít opět pouze jeden vstup a ostatní připojit na log. 0 (zde je situace opačná než na obr. 2b). Zmenšilo by se tím zatížení výstupu logického obvodu, na který je člen připojen. Funkce zapojení z obr. 6 je zřejmá. Dvakrát negovaná funkce je ekvivalentní funkci bez negace, platí tedy

Hradla NOR na obr. 7 jsou zapojena stejně jako hradla NAND na obr. 4. Obvod se chová jako součinný člen, což plyne z druhého z De Morganových pravidel:

Platnost vztahu dokazují výsledky pravdivostní tabulky (tab. 22). Protože dávají dva poslední sloupce pro každé pravdivostní ohodnocení stejný výsledek, jedná se o ekvivalentní funkce.

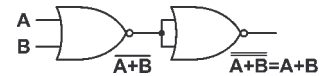
Uvedená zapojení logických hradel NAND a NOR sice ukazují, že je z nich možno sestavit obvod plnící funkce NOT, AND i OR, ale chybí nám stále důkaz toho, že lze pomocí těchto funkcí vyřešit jakýkoliv kombinační logický problém. Sice jste se již dočetli, že to možné je, protože se jedná o úplný systém logických funkcí, konkrétní realizace však zatím chybí. To nyní napravíme. Nejprve si popíšeme nejjednodušší metodu získání logické funkce ze zadané tabulky.

Příklad 10: Logická funkce je zadána tabulkou pravdivostních ohodnocení (tab. 23). Vyjádřete funkci pomocí matematického zápisu a na jeho základě sestavte obvod z logických hradel, který bude tuto funkci realizovat.

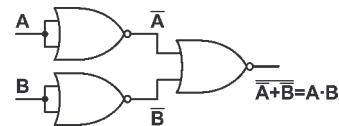
Existují dva základní způsoby nalezení matematického zápisu logické funkce zadané libovolnou tabulkou pravdivostních ohodnocení. První metoda, můžeme ji nazvat jako součet součinů, spočívá v tom, že si vybereme pouze ty řádky, jejichž výsledkem je log. 1. V tabulce jsem je vyznačil červenou barvou. Výslednou funkci dostaneme jako součet součinů proměnných A, B a C, přičemž proměnnou, která v daném řádku nabývá hodnoty 0, v odpovídajícím součinu znegujeme.



Obr. 5. Zapojení logického hradla NOR ve funkci invertoru



Obr. 6. Zapojení dvou hradel NOR jako součtový člen OR



Obr. 7. Zapojení tří hradel NOR ve funkci součinného členu AND

Tab. 23. Zadání příkladu 10

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

Funkce tedy bude vypadat takto:

$$Y = (\overline{A} \cdot \overline{B} \cdot C) + (\overline{A} \cdot B \cdot \overline{C}) + (A \cdot \overline{B} \cdot \overline{C})$$

(Pozn.: závorky nejsou potřeba, součin má přednost před součtem, uvedl jsem je pro přehlednost.) První součin odpovídá třetímu řádku, kde je $A = 0$, $B = 1$, $C = 0$, znegujeme tedy proměnné A a C. Druhý součin odpovídá čtvrtému řádku, kde nabývá nulové hodnoty pouze proměnná A, do výrazu tedy nad A napíšeme vodorovnou čárku označující negaci. V posledním součinu je znegována proměnná C, protože je v sedmém řádku nulová.

Podstata metody je následující: celkový logický součet provedený nad jednotlivými součiny nám říká, že funkce bude nabývat hodnoty log. 1 ($Y = 1$) v případě, že alespoň jeden člen součtu bude nabývat hodnoty 1. (Tzn. výsledkem alespoň jednoho součinu musí být jednička.) Např. výsledkem součinu je 1 pouze v případě, kdy je $A = 0$, $B = 1$ a $C = 0$, výsledný výraz tedy ovlivní pouze v tomto jediném případě, v dalších sedmi případech, které mohou na vstupu nastat, bude nabývat hodnoty 0 a výraz neovlivní. Podobně tomu bude se zbylými dvěma součiny. Nastane-li tedy případ, odpovídající třetímu řádku tabulky, výsledkem prvního součinu bude log. 1 a tedy i $Y = 1$. Budou-li vstupy A, B, C nabývat hodnot odpovídajících čtvrtému řádku tabulky, bude druhý součin roven jedné a $Y = 1$. Podobně třetí součin bude roven jedné pouze v případě, kdy je $A = 1$, $B = 1$ a $C = 0$ (7. řádek tabulky) a v tomto případě bude i $Y = 1$. Ve všech ostatních případech budou součiny nulové a tedy i $Y = 0$. Výsledná funkce tedy přesně odpovídá zadání z tab. 23.

Vít Špringl
(Pokračování příště)

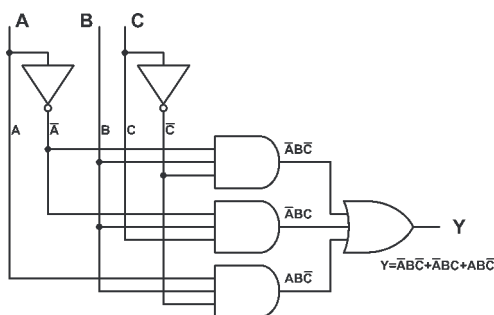
Digitální technika a logické obvody

Kombinační logické obvody (Pokračování)

V příkladu 10 na konci minulého dílu byla zadána logická funkce tabulkou pravdivostních hodnot (tab. 23). Funkce měla tři proměnné A, B a C a nabývala hodnoty 1 ($Y=1$) v těchto případech: $(A, B, C) = (0, 1, 0)$, $(0, 1, 1)$ a $(1, 1, 0)$. Ukázali jsme si způsob, jakým ji lze vyjádřit pomocí matematického zápisu a dopracovali jsme se k výsledku $Y = (\bar{A} \cdot B \cdot \bar{C}) + (\bar{A} \cdot B \cdot C) + (A \cdot B \cdot \bar{C})$. Do zápisu se v tomto případě promítly pouze ty řádky tabulky, ve kterých funkce nabývala hodnoty 1 (v tabulce červeně), přičemž je možno na první pohled vidět paralelu mezi negovanou proměnnou v zápisu funkce a její nulovou hodnotou v daném řádku tabulky 23. Zadáním příkladu však bylo sestavit z logických hradel obvod, který by tuto funkci realizoval. Podívejme se blíže na získaný vzorec, popisující funkci Y. Vidíme zde všechny tři základní logické funkce – logickou negaci, součin i součet. Ke znegování proměnných A a C budeme potřebovat dva invertory, tři logické součiny pracující se třemi proměnnými nahradí v zapojení tři třívstupová hradla AND a k realizaci celkového součtu nad jednotlivými součiny budeme potřebovat jedno třívstupové hradlo OR. Výsledné schéma zapojení uvádí obr. 8. Nejmenší váhu má ve vzorci

Tab. 23. Zadání příkladu 10

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0



Obr. 8. Schéma zapojení logického obvodu, který realizuje funkci zadanou v tab. 23

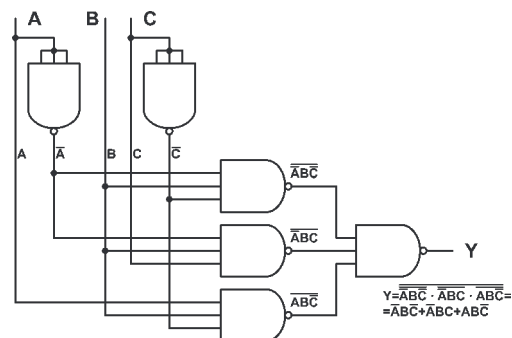
negace, ta je totiž vždy aplikována přímo na vstupní proměnnou A nebo C. Ve schématu bude tedy invertor zapojen na počátku signálové cesty. Jednotlivé součiny pracují přímo s proměnnými A, B, C i s jejich negacemi. Na vstupy prvního hradla AND, které má plnit funkci $\bar{A} \cdot B \cdot \bar{C}$, přivádíme signály z výstupů invertorů, připojených na vstupy A a C, a signál ze vstupu B. Podobným způsobem zapojíme i zbylá dvě součinná hradla – výstup invertoru negujícího vstup A a neupravené signály B a C na vstup druhého hradla AND a signály A a B spolu s negovaným signálem C na vstup třetího hradla. Na výstupy součinných členů nakonec připojíme hradlo OR přesně podle získaného vzorce. Na jeho výstupu dostáváme výsledek funkce zadané tab. 23.

V některých případech může být výhodnější sestavit schéma obvodu podle matematického zápisu funkce ve tvaru součiny součtů. Postup je v zásadě velice podobný metodě součtu součinů popsané v minulém čísle PE. Tentokrát budeme pracovat pouze s řádky tabulky 23, ve kterých nabývá funkce Y hodnoty 0. Jedná se o tyto řádky: $(A, B, C) = (0, 0, 0)$, $(0, 0, 1)$, $(1, 0, 0)$, $(1, 0, 1)$ a $(1, 1, 1)$. V tabulce 23 jsou vyznačeny zeleně. Výslednou funkci nyní dostaneme jako součin součtů proměnných A, B, C, přičemž proměnnou, která v daném řádku nabývá hodnoty 1, v odpovídajícím součtu znegujeme. Můžeme tedy psát $Y = (A + B + C) \cdot (A + B + \bar{C}) \cdot (\bar{A} + B + C) \cdot (\bar{A} + B + \bar{C}) \cdot (\bar{A} + \bar{B} + \bar{C})$. Myšlenka této metody je následující: výsledkem logického součtu je hodnota 0 pouze v případě, kdy všechny proměnné nabývají hodnoty 0 (viz tab. 5 PE 2/2003). První součet je nulový, jsou-li proměnné A, B i C nulové (odpovídá prvnímu řádku tab. 23), druhý součet je nulový, je-li $A=0$, $B=0$ a $C=1$ (2. řádek tabulky). Podobně jsou i ostatní součty nulové pouze v případě pravdivostního ohodnocení, které odpovídá danému řádku tabulky, ve kterém je funkce $Y=0$. Logický součin aplikovaný na jednotlivé součty nám

říká, že je výsledkem 0 vždy, kdy je alespoň jeden součet nulový. Výsledná funkce Y tedy nabývá hodnoty 1 při všech pravdivostních ohodnoceních, která jsme neuvažovali. To odpovídá zadání z tab. 23. Vidíme, že oproti zápisu funkce ve tvaru součtu součinů je zde vše naopak: vybíráme řádky, ve kterých funkce nabývá hodnoty 0, místo \cdot píšeme $+$, místo $+$ píšeme \cdot a v zápisu negujeme proměnné, které v tabulce nabývají hodnoty 1. Schéma zapojení uvádět nebude. Bylo by podobné schématu z obr. 8, avšak rozsáhlejší, obsahovalo by celkem devět hradel (tři invertory, pět třívstupových hradel OR a jedno pětívstupové hradlo AND). Je zřejmé, že je v našem příkladu vhodnější vyjádřit funkci ve tvaru součtu součinů, který se obecně používá častěji. Metoda součiny součtů je vhodnější tehdy, je-li výsledkem funkce v tabulce více jedniček než nul. Výslednou funkci však obvykle ještě dále minimalizujeme, což je proces, jehož výsledkem je menší počet hradel při zachování stejné logické funkce. Tím se budeme zabývat později.

Ve schématu z obr. 8 používáme tři druhy hradel; to může někdy zapojení v praxi komplikovat (velký počet integrovaných obvodů). Nedala by se použít hradla NAND, se kterými jsme se seznámili v minulých dílech? Samozřejmě ano, ale nahradit jednotlivé logické členy ze schématu na obr. 8 ekvivalentními zapojeními hradel NAND z obr. 2 až 4 (PE 8/2003) nebude zrovna ideálním řešením. Pomůžeme nám buď matematika, nebo jednoduchá úvaha: logickému členu OR je ekvivalentní hradlo NAND s negovanými vstupy (viz minulý díl). Kdybychom však přesunuli negaci na výstup součinných členů, dostaneme z nich členy NAND a nemusíme použít žádná další hradla. Protože se běžně vyrábějí tři třívstupová hradla NAND v jednom pouzdře, použijeme zbývající dvě hradla místo invertorů. Výsledné zapojení je na obr. 9.

Vít Špringl
(Pokračování příště)



Obr. 9. Schéma zapojení logického obvodu, který realizuje funkci zadanou tab. 23 s použitím hradel NAND

Digitální technika a logické obvody

Kombinační logické obvody

(Pokračování)

V minulých dvou dílech jsme si ukázali, jakým způsobem lze z logických hradel sestavit elektronický obvod, který bude realizovat libovolnou kombinační logickou funkci. Popsali jsme nejjednodušší metodu nalezení matematického zápisu funkce zadané pravdivostní tabulkou a následně vytvoření schématu zapojení s použitím logických hradel. Ačkoliv se jedná o univerzální způsob, nejví se jako neefektivnější. Zapojení totiž obsahuje velký počet hradel, který lze ve většině případů zmenšit. Jakým způsobem toho dosáhnout, aniž by byla narušena požadovaná funkce obvodu, si ukážeme v následujícím příkladu.

Příklad 11: Navrhněte logický obvod, který bude indikovat hodnotou log. 1 na výstupu přítomnost čísla většího než 4 na vstupech obvodu. Obvod bude mít tři vstupy (číslo je samozřejmě v binárním tvaru) a jeden výstup. Použijte pouze nezbytně nutný počet hradel.

Zadání příkladu můžeme vyjádřit pravdivostní tabulkou 24. Vstupy jsem pro přehlednost označil písmeny A, B, C, přičemž A je bit s nejvyšší vahou (MSB), bit C má váhu nejnižší (LSB). Vlevo v tabulce je též uvedena dekadická hodnota vstupního binárního čísla. Dle zadání nabývá výstup Y hodnoty 1, je-li na vstupech A, B, C číslo $101_2=5_{10}$, $110_2=6_{10}$ nebo $111_2=7_{10}$.

Tab. 24. Zadání příkladu 11

Dekadická hodnota / řádek tab.	A	B	C	Y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Ukážeme si tři možnosti řešení příkladu.

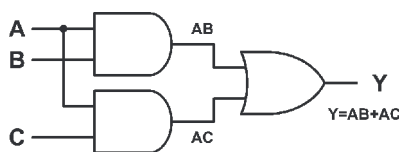
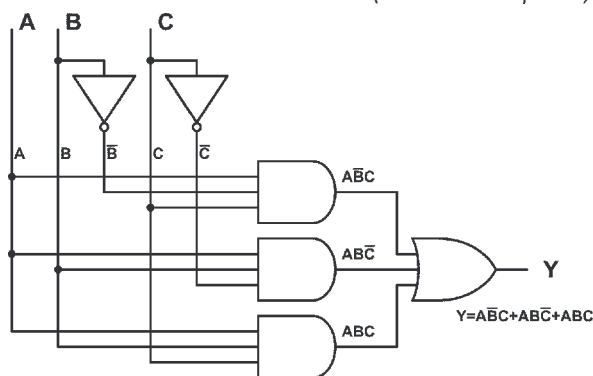
1) Způsobem, který byl podrobně popsán v minulých dvou dílech seriálu, můžeme funkci Y vyjádřit matematickým zápisem ve tvaru součtu součinů: $Y = A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C} + A \cdot B \cdot C$. Z tabulky jsme vybrali ty řádky, ve kterých funkce Y nabývá hodnoty 1 (jed-

ná se o řádky č. 5, 6 a 7), a proměnné, které byly v těchto řádcích nulové, jsme v zápisu znegovali. Každý součin odpovídá jednomu řádku (v pátém řádku je $B = 0$, v prvním součinu je proměnná B negována atp. – více viz PE 8-9/2003.) Schéma obvodu je uvedeno na obr. 10. Nebylo těžké ho vytvořit: dva invertory na vstupu jsou zdrojem negovaného signálu \bar{B} a \bar{C} , následují tři hradla AND, na jejichž vstupy přivádíme signály podle vzorce (na první A, \bar{B} a C, na druhé A, B a \bar{C} a na třetí A, B a C), a nakonec jedno hradlo OR, na jehož výstupu dostáváme výsledek logické funkce. Vidíme, že tento způsob řešení vyžaduje použití celkem šesti hradel. Ačkoliv bychom mohli jednotlivé logické členy nahradit hradly NAND a zmenšit tak počet integrovaných obvodů potřebných k realizaci zapojení (stejně jako jsme to udělali u příkladu 10 v minulém dílu), celkový počet hradel by se tím nijak nezmenšil. Postup byl sice jednoduchý, ale nedosáhli jsme optimálních výsledků. Budeme se tedy poohlížet po jiném řešení.

2) V PE 3/2003 jsme se seznámili se základy Booleovy algebry a u té příležitosti jsme uvedli v tab. 7 několik důležitých vzorců, které nyní můžeme použít k úpravě zápisu funkce, který jsme získali výše ve tvaru součtu součinů. Úpravu provedeme následujícím způsobem:

$$\begin{aligned}
 Y &= A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C} + A \cdot B \cdot C = \\
 &= 1) A \cdot (\bar{B} \cdot C + B \cdot \bar{C} + B \cdot C) = \\
 &= 2) A \cdot (\bar{B} \cdot C + B \cdot \bar{C} + B \cdot \bar{C} + B \cdot C) = \\
 &= 3) A \cdot (C \cdot (\bar{B} + B) + B \cdot (\bar{C} + C)) = \\
 &= 4) A \cdot (C \cdot 1 + B \cdot 1) = 5) A \cdot (C + B) = \\
 &= 6) A \cdot C + A \cdot B.
 \end{aligned}$$

Obr. 10. Schéma zapojení logického obvodu, který realizuje neminimalizovanou funkci zadanou v tab. 24



Obr. 11. Realizace funkce z tab. 24 po minimalizaci

Poznámky k úpravě:

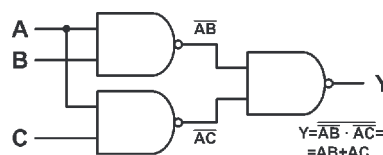
- 1) vytknuli jsme A, úprava je stejná jako v klasické algebře,
- 2) $X = X + X$ (tab. 7), výraz jsme rozšířili o $+ B \cdot C$, logická funkce se nemění, bez této úpravy bychom nemohli v následujícím kroku vytknout obě proměnné,
- 3) vytknuli jsme C a B,
- 4) $X + \bar{X} = 1$ (tab. 7), tedy $B + \bar{B} = 1, C + \bar{C} = 1$,
- 5) $X \cdot 1 = X$ (tab. 7), tedy $C \cdot 1 = C, B \cdot 1 = B$,
- 6) výraz jsme zpět roznásobili.

(Pozn.: na mé webové stránce <http://elektronika.webpark.cz> můžete najít seznam všech zde použitých vzorců i s pravdivostními tabulkami dokazujícími jejich platnost.)

Vidíme, že se nám výraz značně zjednodušil. Na realizaci takové funkce již potřebujeme pouze dva součinné členy a jeden člen součtový, resp. tři hradla NAND. Schéma zapojení uvádí obr. 11. S použitím De Morganova vztah $A + B = \overline{\bar{A} \cdot \bar{B}}$ můžeme získaný vztah dále upravit na $Y = A \cdot C + A \cdot B = \overline{\bar{A} \cdot \bar{C} \cdot \bar{A} \cdot \bar{B}}$. Výsledkem je zápis, ve kterém je použito tří funkcí NAND. Schéma zapojení s použitím hradel NAND uvádí obr. 12. Stejně schéma dostaneme, uvědomíme-li si fakt, že součtovému členu z obr. 11 je funkčně ekvivalentní hradlo NAND s negovanými vstupy. Negaci přesuneme na výstupy součinných členů, čímž se z nich stávají funkčně hradla NAND, a nemusíme používat De Morganova pravidla.

Třetí způsob řešení s použitím Karnaughovy mapy uvedeme příště.

Vít Špringl
(Pokračování příště)



Obr. 12. Realizace funkce z tab. 24 po minimalizaci s použitím hradel NAND

Digitální technika a logické obvody

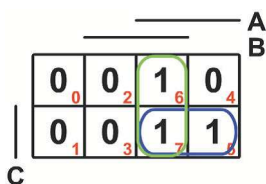
Kombinační logické obvody

(Pokračování)

V následujícím výkladu navážeme na příklad 11 z minulého dílu. Úkolem bylo navrhnout obvod indikující přítomnost čísla většího než 4 na jeho vstupech, přičemž jsme měli použít pouze nezbytně nutný počet hradel. Zadání příkladu je uvedeno v tab. 24. Y je výstup obvodu, který nabývá hodnoty 1, je-li na vstupech A, B, C (A je bit s nejvyšší vahou) číslo větší než čtyři. V minulém dílu jsme uvedli dvě možná řešení – v prvním případě jsme funkci zadanou tabulkou 24 vyjádřili ve tvaru součtu součinů a následně sestavili obvod, který obsahoval celkem šest hradel. V druhém případě jsme získaný vzorec dále upravili s použitím vztahů, se kterými jsme se seznámili v PE 3/2003. Dospěli jsme

Tab. 24. Zadání příkladu 11

Dekadická hodnota / řádek tab.	A	B	C	Y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1



Obr. 13. Karnaughova mapa k příkladu 11

k jednoduššímu tvaru, na jehož základě jsme sestavili schéma obvodu, ve kterém jsme si již vystačili pouze se třemi hradly. Proces minimalizace funkce matematickými úpravami má však jeden háček – vyžaduje schopnost aplikace matematických vzorců, což mnohé zájemce odradí hned na začátku. Proto si nyní ukážeme třetí způsob řešení příkladu, se kterým dosáhneme stejných výsledků jako v předchozím případě, aniž bychom museli znát jakékoliv vzorce.

3) Tento způsob spočívá v převedení pravdivostní tabulky na tzv. mapu, ve které přehledným grafickým způsobem vytváříme skupiny jedniček. Použijeme tzv. Karnaughovu [čti: karnafovu] mapu. Velikost mapy závisí na počtu vstupních proměnných, resp. na počtu řádků tabulky, v obecném případě má 2^n polí, kde n je počet proměnných. V našem příkladu máme tři proměnné, jejichž kombinací může na vstupu nastat 8 různých situací. Mapa bude mít tedy 8 polí (stejný počet řádků má i tabulka). Nakreslete si nejprve mřížku o rozměrech 2×4 pole podle obr. 13 a jeden svislý a dva vodorovné pruhy podél mapy, kterým přiřadíte jednotlivé vstupní proměnné podle obrázku. Tyto pruhy označují řádky a sloupce, v nichž nabývá daná proměnná hodnoty 1. Ve druhém řádku mapy je tedy ve všech polích $C=1$ (jedná se o řádky č. 1, 3, 5 a 7 tab. 24). Podobně dva prostřední sloupce, ležící pod pruhem B, odpovídají řádkům č. 2, 3, 6 a 7 tab. 24, ve kterých je $B=1$, a stejně tak v polích ležících pod pruhem A je hodnota proměnné A rovna jedné (řádky č. 4 až 7 tab. 24). Pruhy jsou uspořádány tak, aby každé pole odpovídalo jednomu možnému stavu, který může na vstupu nastat. Každé pole je navíc v rohu označeno malým červeným číslem, které odpovídá danému řádku tabulky. Je však vhodné se naučit mapu vyplňovat podle pomocných pruhů, jednotlivé proměnné pak můžeme přiřadit libovolným pruhům.

Dalším krokem je vyplnění mapy nulami a jedničkami. Postupujeme následujícím způsobem: v řádku č. 0 ta-

bulky 24 jsou všechny proměnné A, B i C nulové, hledáme tedy takové pole mapy, které není označeno žádným pruhem. Nachází se vlevo nahoře. Funkce Y nabývá pro toto pravdivostní ohodnocení hodnoty log. 0, do pole tedy zapíšeme 0. Nulu zapíšeme i do dalšího pole, které odpovídá řádku č. 1 tab. 24. Zde je $A=0$, $B=0$, $C=1$, hledáme tedy řádek označený pruhem C a sloupec bez pruhů A a B (nachází se vlevo dole). Podobným způsobem vyplníme celou mapu. Poté je nutno uzavřít jedničky do tzv. smyček. Smyčka může být buď čtvercového, nebo obdélníkového tvaru o hranách velikosti 2^n polí. V našem případě připadají v úvahu smyčky o rozměrech 1×1 , 1×2 , 1×4 , 2×2 nebo 2×4 polí. Smyčky se mohou vzájemně překrývat, naší snahou je vytvořit je co největší. Mohou se také uzavírat přes hrany a rohy mapy (to si ukážeme v dalších příkladech). Podle uvedených předpokladů je možné v naší mapě vytvořit pouze dvě smyčky o rozměrech 1×2 způsobem, který je vyznačen na obr. 13. Na závěr je nutno sestavit zápis minimalizované funkce. Dostaneme ho ve formě součtu součinů následujícím způsobem: zelená smyčka leží celá v oblasti, kde se nemění hodnota proměnné A (v obou polích je $A=1$) ani proměnné B (taktéž je v obou polích $B=1$), avšak mění se hodnota proměnné C (v horním poli je $C=0$ a v dolním $C=1$). Proměnnou C tedy nebudeme uvažovat a zapíšeme součin $A \cdot B$. Modrá smyčka leží v oblasti, kde se nemění hodnota proměnných A a C (obě proměnné zde nabývají hodnoty 1). Proměnná B svou hodnotu ve smyčce mění, proto ji nebudeme uvažovat a zapíšeme součin $A \cdot C$. Výslednou funkci dostaneme součtem součinů získaných z jednotlivých smyček: $Y = A \cdot B + A \cdot C$. Vidíme, že je zápis minimalizované funkce shodný s tím, který jsme získali matematickými úpravami (viz bod 2 v minulém čísle). Obvod z hradel AND a OR je uveden na obr. 11, na obr. 12 (PE 10/2003) je pak schéma téhož obvodu s použitím hradel NAND.

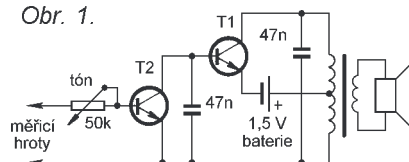
Vít Špringl
(Pokračování příště)

Jednoduchý zkratoměr

Zapojení na obr. 1 může sloužit např. při kontrole desek s plošnými spoji po vyleptání nebo kabelů. Obvod s tranzistorem T1 je zapojen jako blokující oscilátor. Tranzistor T2 je v inverzním zapojení (má prohozen kolektor s emitorem). Jeho zesílení je velmi malé (řádu jednotek) a slouží především pro posuv napěťové úrovně. Na měřicích hrotech je pak velmi malé napětí. Potenciometrem nastavíme výšku tónu při zkratovaných vstupních svorkách. Transformátor je výstupní ze

starého radiopřijímače, reproduktor jakýkoli miniaturní. Tranzistory mohou být libovolně „malé“ křemíkové n-p-n. Výhodou zapojení je, že při rozpojených svorkách neodebírá z baterie prakticky žádný proud. Baterie proto v přístroji vydrží mnoho let. Zpracováno podle <http://www.qrp.pops.net>

Obr. 1.



Jak na infra LED?

Ověřit funkci dálkového ovladače nebo zjistit vyzařovací úhel LED emitující světlo v oblasti infračerveného záření může být problém, nemáme-li po ruce vhodné přístroje. Zkuste se někdy na infra LED podívat hledáčkem videokamery nebo digitálního fotoaparátu. Snímací prvek CCD kamery je dostatečně citlivý na blízké infračervené záření. Vyzařovací úhel lze odhadnout tak, že LED necháme svítit na list bílého papíru. Mně se tak podařilo rozřídit pytlík LED nejrůznějšího původu. VH

Digitální technika a logické obvody

Kombinační logické obvody

(Pokračování)

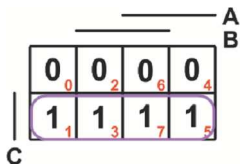
Následující příklady by měly zodpovědět případné nejasnosti kolem Karnaughových map a poslouží též k osvojení znalostí získaných v minulém čísle PE. Doporučuji vám, abyste se je nejprve pokusili vyřešit samostatně a teprve pak se podívali na výsledek.

Příklad 12: Navrhněte obvod, který bude mít tři vstupy – A, B a C (A je MSB) a dva výstupy – X a Y. Obvod má za úkol rozpoznat na vstupu přítomnost lichého čísla a prvočísla. Výstup X indikuje stavem log. 1 liché číslo, výstup Y prvočísla. (Za prvočísla označujeme číslo, které je dělitelné pouze samo sebou a jedničkou, přičemž čísla 0 a 1 nejsou prvočísla.)

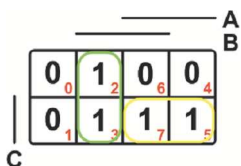
Řešení: Příklad musíme řešit pro každý výstup zvlášť, dostáváme tak vlastně dvě úlohy. Zadání vyjádříme tabulkou 25. Stejně jako v předchozím příkladu máme tři vstupní proměnné, na vstupu tak může nastat osm různých kombinací (to odpovídá číslům 0 až 7 v dekadickém tvaru). Obě mapy budou mít tedy rozměr 2×4 pole. Nejprve sestavíme rovnici pro výstup X. Podobně jako v příkladu 11 si nakreslíme mřížku o rozměrech 2×4 a dva vodorovné a jeden svislý pruh, kterým

Tab. 25. Zadání příkladu 12

Dekadická hodnota / řádek tab.	A	B	C	X	Y
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	0	1
3	0	1	1	1	1
4	1	0	0	0	0
5	1	0	1	1	1
6	1	1	0	0	0
7	1	1	1	1	1



Obr. 14. Karnaughova mapa k příkladu 12 – výstup X



Obr. 15. Karnaughova mapa k příkladu 12 – výstup Y

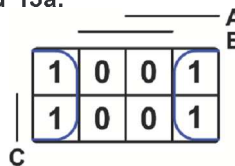
přičemž proměnné A, B a C podle obr. 14. Mapu vyplníme jedničkami a nulami, mohou nám přitom pomoci malá červená čísla v rozích jednotlivých polí mapy. Dalším krokem je uzavření jedniček do smyček. Víme, že smyčky mohou mít rozměry mocnin dvou (tzn. 1, 2, 4 atd.) a že musí být největší možné. Tento příklad je velice jednoduchý, na první pohled vidíme smyčku o rozměrech 1×4 ve spodní části mapy (viz obr. 14). Teď již zbývá pouze sestavit rovnici ve tvaru součtu součinů. Celkový počet součinů závisí na počtu smyček, v našem případě bude jen jeden. Počet proměnných v jednotlivých součinech závisí na velikosti dané smyčky. Bude-li mít rozměr 1×1, budou v něm zastoupeny všechny proměnné, se stoupajícím počtem jedniček ve smyčce bude počet proměnných klesat. Naše smyčka obepíná oblast, ve které se mění hodnota proměnných A i B. Jediná proměnná C nabývá ve všech polích smyčky hodnoty 1, výsledná rovnice bude mít tedy tvar $X = C$. Jak bude vypadat výsledný obvod? Protože výsledný zápis neobsahuje žádné logické funkce, nebude mít ani obvod žádná hradla, jednoduše jen propojíme výstup X se vstupem C. Pozn.: podíváme-li se na tabulku 25 blíže, vidíme, že pro každé pravdivostní ohodnocení, tedy v každém řádku, mají X a C stejnou hodnotu nezávisle na proměnných A a B. Ke stejnému závěru bychom tedy teoreticky mohli dospět pouhým pohledem do tabulky.

Stejným způsobem budeme postupovat u proměnné Y. Nakreslíme si mřížku 2×4 pole, vodorovné a svislé pruhy a názvy proměnných (obr. 15). Pole si můžeme též očíslovat, stejně jako v předchozích dvou případech. Do mapy zaneseme jedničky a nuly. Výstup Y nabývá hodnoty 1 v řádcích č. 2, 3, 5 a 7 tabulky 25. Pruhy podél mapy označují, jak již víme, sloupce a řádky, ve kterých nabývá daná proměnná hodnoty 1. V řádku č. 2 tab. 25 je A=0, B=1 a C=0, hledáme tedy v mapě pole, které je označeno pouze pruhem B. Nachází se v prvním řádku a druhém sloupci mapy na obr. 15. Podobným způsobem doplníme i zbylé jedničky. Ty musíme dále uzavřít do smyček. Chceme-li splnit všechny podmínky pro tvorbu smyček (tzn. rozměry 2ⁿ (1, 2, 4, ... polí), maximální velikost a minimální počet smyček), je možná jediná varianta vyznačená na obr. 15, za předpokladu, že je naším prvořadým cílem maximální minimalizace. Posledním krokem je vytvoření zápisu funkce. Začneme žlutou smyčkou. V jejích polích se mění hodnota proměnné B (v levém je B=1, v pravém B=0), zatímco proměnné A a C své hodnoty nemění (v obou polích je A=1 a C=1). První součin výsledného zápisu bude mít tedy tvar A·C. V zelené smyčce se

naopak nemění hodnoty proměnných A a B. Zatím jsme se však v našich příkladech setkali vždy s případem, kdy měly proměnné ve smyčce hodnotu 1. Zde to platí pro B, nikoliv však pro A. Ve výsledném zápisu se tato skutečnost projeví negací proměnné A. Funkci tedy můžeme zapsat ve tvaru $Y = A \cdot C + \bar{A} \cdot B$.

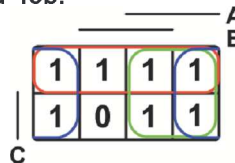
Předchozí jednoduché příklady Karnaughových map nás seznámily se základními principy jejich vytváření a práce s nimi. Následující řešené příklady nám ukáží, jak si poradit s různými dalšími případy, které se v praxi mohou běžně vyskytnout. Jednou z velkých výhod Karnaughových map, kterou jsme doposud nevyužili, je nepotřebnost pravdivostní tabulky. Každé pole mapy jednoznačně odpovídá jednomu pravdivostnímu ohodnocení – jedné kombinaci, která může na vstupu nastat, proč se tedy vypisovat s hodnotami vstupních proměnných. Tuto výhodu pocítíte zejména v případech, kdy budeme mít více než tři vstupy. Z mapy můžeme jednak přímo vytvořit zápis funkce ve tvaru součtu součinů nebo součinu součtů nebo funkci dále minimalizovat vytvářením smyček.

Příklad 13a:



V úvodu jsme si uvedli, že je možné smyčky uzavírat i přes okraje mapy. Je to velmi důležité, nezapomínejte na to. Smyčka v tomto případě leží celá v oblasti, kde B=0, zatímco proměnné A a C nabývají různých hodnot. Funkci tedy můžeme zapsat ve tvaru $Y = \bar{B}$.

Příklad 13b:



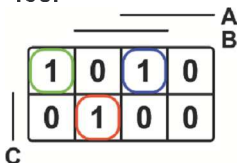
Smyčky můžeme uzavírat i přes hrany mapy, mohou se ale také překrývat, důležité je totiž, aby byly co největší. Pole v pravém horním rohu je tak součástí dokonce tří smyček. Výsledný zápis bude mít tvar $Y = A + \bar{B} + C$, přičemž první člen odpovídá zelené smyčce (leží celá pod pruhem A, proměnné B a C nabývají různých hodnot), druhý člen smyčce modré (stejný případ jako v příkladu 13a) a třetí červené (v tomto řádku se mění hodnoty proměnných A a B, které proto ze zápisu vypustíme). Pozn.: Kdybychom použili zápis ve tvaru součinu součtů popsaném v příkladu 10 (PE 9/2003), dospěli bychom ke stejnému výsledku.

Vít Špringl
(Pokračování příště)

Digitální technika a logické obvody

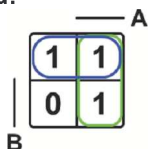
Kombinační logické obvody (Pokračování)

Příklad 13c:



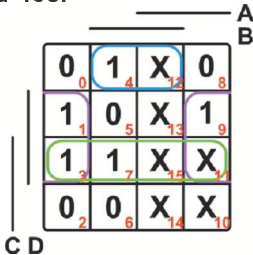
V této mapě nelze najít žádné větší smyčky než 1×1 . Takovou minimální smyčku lze také interpretovat jako oblast, ve které se nemění hodnota ani jedné vstupní proměnné. Ze součinů, které odpovídají jednotlivým smyčkám, tedy žádná proměnná nevynechává a výsledný zápis bude mít tvar, $Y = \overline{A}BC + A\overline{B}C + AB\overline{C}$ (první součin odpovídá zelené, druhý červené a třetí modré smyčce). Z tohoto příkladu je vidět, že minimalizace nemusí být vždy možná.

Příklad 13d:



Samozřejmě můžeme mít pouze dvě vstupní proměnné. V takovém případě bude mít mapa rozměry 2×2 pole. Smyčky vytváříme stejným způsobem, funkce bude mít tvar $Y = A + B$.

Příklad 13e:



V posledním příkladu si shrneme poznatky o Karnaughových mapách, které jsme získali v předchozích příkladech, a také se seznámíme s některými novými. Poprvé se setkáváme s mapou o rozměrech 4×4 pole, která představuje řešení logické funkce se čtyřmi proměnnými. Rozložení jednotlivých pruhů podél mapy je patrné z obrázku. S většími mapami se obvykle nesetkáte. Ačkoli je možné sestavit mapu pro více proměnných, její řešení doprovázejí určitá specifika a také je vzhledem k její velikosti náročnější. Takové problémy se obvykle řeší s použitím výpočetní techniky. Další novinkou, které si na první pohled všimnete, jsou pole, ve kterých je místo jedničky nebo nuly znak X. Taková pole označují vstupní stavy, u kterých je nám lhostejné, zdali pro ně bude funkce nabývat hodnoty 0 nebo 1. Jedná

se např. o kombinace, které na vstupu nemohou nastat, proto si za ně při návrhu můžeme dosadit jedničku i nulu. V našem příkladu se na vstupech nemůže objevit číslo větší než $1001_2 = 9_{10}$, proto do polí 10 až 15 dosadíme X (pomocná červená čísla v rozích buněk odpovídají dekadické hodnotě binárního čísla ABCD, kde A je MSB). Taková pole nám velice zjednoduší práci, podle okolností je totiž můžeme, ale nemusíme do smyček uzavřít. Plně jsme toho využili i v našem příkladu. Řídili jsme se přitom základními pravidly pro tvorbu smyček: mohou mít rozměry pouze 2^n , musí jich být co nejméně (každé smyčce odpovídá v zápisu jeden součin a tomu jedno hradlo) a musí být co největší (s rostoucí velikostí smyček klesá počet proměnných v daném součinu ve výsledném zápisu funkce, hradla pak nemusí mít tolik vstupů). Dále nezapomeňte, že se smyčky mohou navzájem překrývat a že je můžeme uzavírat i přes hrany mapy (smyčku bychom mohli uzavřít i přes všechny čtyři rohy mapy). K jedničce na pozici 4 jsme přidali pole 12, aby byla modrá smyčka větší. Jí bude odpovídat v zápisu součin $B \cdot C \cdot \overline{D}$. Dále vytvoříme fialovou smyčku přes hranu mapy. Bude jí odpovídat součin $\overline{B} \cdot D$ (fialová smyčka je o stupeň větší než modrá, proto je v součinu o jednu proměnnou méně). Zbyla nám jednička na pozici 7. Abychom však splnili požadavky uvedené výše, uzavřeme ji do zelené smyčky podle obrázku. Výsledný zápis funkce bude mít tvar $Y = \overline{B}CD + BD + CD$.

Na závěr poznamenejme, že je možné do smyček uzavírat i nuly. Výsledný zápis dostaneme ve tvaru součinu součtů (vhodné např. při realizaci zapojení z hradel NOR). Proměnné, které ve smyčce nabývají různých hodnot, ze součtu odpovídajícího dané smyčce eliminujeme stejným způsobem jako v předchozích příkladech. Změnou je to, že proměnné, které ve smyčce nabývají hodnot 1 (smyčka tedy leží pod příslušným pruhem), v zápisu znegujeme a naopak. Můžete si vyzkoušet tímto způsobem vyřešit předchozí příklady. U př. 13a) a 13b) by vám měl vyjít stejný výsledek.

Sekvenční logické obvody

Až dosud jsme se zabývali logickými obvody, jejichž výstup závisí pouze na kombinaci vstupních signálů a reaguje okamžitě (v rámci možnosti elektronických součástek) na jakoukoliv jejich změnu podle předepsaného schématu. Tyto logické obvody nazýváme kombinačními. Seznámili jsme

Tab. 26. Tabulka stavů klopného obvodu R-S

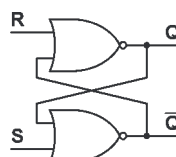
R	S	Q	\overline{Q}
0	0	Nemění stav	
0	1	1	0
1	0	0	1
1	1	(1)	(1)

se také s postupem návrhu libovolně složitěho kombinačního systému, který bude pracovat podle námi požadované logické funkce. Tímto způsobem si můžeme sestavit například dekodér nebo počítací obvod. V řadě aplikací v běžném životě se však potřebujeme rozhodovat v závislosti na výsledku předchozích událostí. Budeme-li chtít např. navrhnout kódový zámek, bude se muset obvod rozhodnout na základě posloupnosti čísel zadaných na klávesnici. V době rozhodování se však již dané číslo na vstupech nevyskytuje. Potřebujeme tedy jistý paměťový prvek, ve kterém bude potřebná informace uchována pro pozdější použití. Logické obvody, které obsahují paměťové prvky, nazýváme sekvenční, pro jednoznačné určení výstupních signálů je totiž potřeba kromě okamžitých vstupních hodnot znát též pořadí jejich předchozích změn. Návrh sekvenčních systémů je mnohem složitější nežli návrh obvodů kombinačních, a proto se seznámíme pouze se základními problematiky a dále se budeme soustředit na konkrétní integrované obvody, jako jsou čítače nebo posuvné registry a jejich využití v praxi.

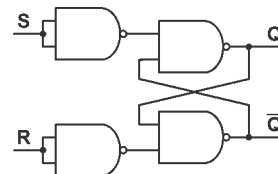
Základní sekvenční obvody

Nejjednodušším sekvenčním obvodem je klopný obvod R-S (R-S KO). Můžeme ho sestavit jednoduše ze dvou hradel NOR, popř. ze dvou hradel NAND s předřazenými invertory (viz obr. 16 a 17). Z obrázků je vidět, že má obvod dva vstupy: S (set = nastav), R (reset = vynuluj) a dva výstupy: Q a \overline{Q} . Bude-li $R=0$ a $S=1$, obvod se „nastaví“ a na výstupu Q se objeví log. 1. Přejde-li poté vstup S do nuly (takže $R=0$ a $S=0$), stav na výstupu se nezmění (viz tab. 26). Mohou za to zpětné vazby vedené z výstupu jednoho hradla na vstup hradla druhého. Bude-li $R=1$ a $S=0$, obvod se „vynuluje“ a bude $Q=0$ a $\overline{Q}=1$. Co se stane, pokud přejdou nyní oba vstupy do nízké úrovně? Výstupy díky zpětným vazbám opět setrvávají v předchozím stavu. Vidíme tedy, že pro jeden vstupní hodnoty ($R=0$ a $S=0$) můžeme dostat na výstupu různý výsledek v závislosti na předchozím stavu. Problémy nastanou v případě, že bude $R=1$ i $S=1$. Takový stav musíme označit za zakázaný. Na obou výstupech budou jedničky, což nekoresponduje s naším označením výstupů Q a \overline{Q} (proto jsou v tabulce jedničky v závorce). Tento obvod je i přes tuto nevýhodu základem složitějších klopných obvodů.

Vít Špringl
(Pokračování příště)



Obr. 16. Klopný obvod R-S sestavený z hradel NOR

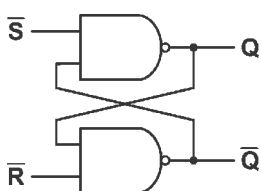


Obr. 17. Klopný obvod R-S sestavený z hradel NAND

Digitální technika a logické obvody

Sekvenční logické obvody (Pokračování)

V minulém dílu našeho seriálu o logických obvodech jsme se přesunuli od kombinačních logických obvodů k sekvenčním. Ty se od prve jmenovaných liší svou schopností pamatovat si předchozí události. Popsali jsme si nejjednodušší sekvenční obvod – klopný obvod RS, realizovaný dvěma hradly NOR nebo čtyřmi hradly NAND. Pokud bychom použili pouze dvou hradel NAND, získali bychom RS–NON klopný obvod (\overline{R} – \overline{S} KO) podle obr. 18. Jeho funkce je shodná s výše zmíněnými klopnými obvody R–S s tím rozdílem, že se „nastaví“ nízkou úrovní na vstupu \overline{S} (tj. při $S = 0$, což ostatně plyne i z označení vstupu), a vynuluje se při $R = 0$. Připomeňme si v rychlosti, co je příčinou toho, že je hodnota na výstupu Q též funkcí předchozího stavu obvodu. Uvažujme počáteční stav, kdy je na vstupu $\overline{S} = 0$ a $\overline{R} = 1$. Připomeňme si funkci hradla NAND – na jeho výstupu je log. 0 pouze v případě, že jsou oba vstupy připojeny na log. 1. Protože je $\overline{S} = 0$, bude na výstupu Q log. 1, která je přivedena též na vstup druhého hradla, v důsledku čehož bude $\overline{Q} = 0$ (na obou vstupech je log. 1). Obvod je „nastaven“. Co nastane, přejde-li nyní vstup \overline{S} do úrovně 1? Druhý vstup prvního hradla je zpětnou vazbou z \overline{Q} udržován na nízké úrovni, tudíž se stav obvodu nezmění. Klopný obvod je v klidovém stavu a pamatuje si předchozí nastavení. Objeví-li se nyní nízká úroveň na vstupu \overline{R} , obvod se vynuluje a úrovně na výstupech se prohodí. Příchodem log. 0 na vstup \overline{R} přejde \overline{Q} do stavu 1 a zpětná vazba vedoucí k prvnímu hradlu způsobí, že $Q = 0$ (na obou jeho vstupech bude log. 1). Po odeznění nulovacího signálu na vstupu \overline{R} ($\overline{R} = 1$) přejde obvod opět do paměťového režimu. Vidíme tedy, že pro stejné vstupní hodnoty ($\overline{S} = 1$ a $\overline{R} = 1$) můžeme dostat různý výsledek v závislosti na předešlých hodnotách vstu-



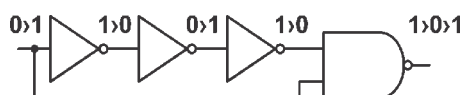
Obr. 18. R-S NON klopný obvod sestavený z hradel NAND

pů. Stav $\overline{S} = 0$, $\overline{R} = 0$ musíme opět označit za zakázaný, na obou výstupech by se totiž objevila log. 1. Navíc další chování obvodu závisí na tom, který ze vstupů přejde dříve do vysoké úrovně. Extrémním případem by bylo, kdyby se objevila log. 1 na obou vstupech současně. Další chování obvodu by pak bylo víceméně náhodné a záviselo by na tom, které z hradel bude rychlejší.

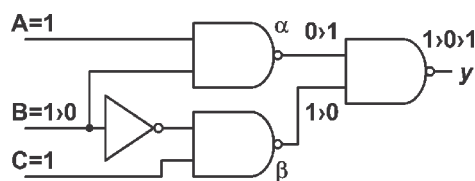
Synchronní a asynchronní klopné obvody

Klopný obvod R–S je příkladem tzv. asynchronního obvodu. Ty reagují okamžitě na jakoukoliv změnu vstupních signálů. U asynchronních klopných obvodů je třeba zajistit, aby pracovaly v tzv. fundamentálním režimu. Jedná se o režim, ve kterém se nemění současně hodnoty více než jedné vstupní proměnné. Mezi změnami hodnot na jednotlivých vstupech musí být vždy jistá minimální časová prodleva nutná k přeběhu signálu elektronickými obvody a k ustálení výstupu. Vyvarujeme se tím vzniku tzv. hazardních stavů.

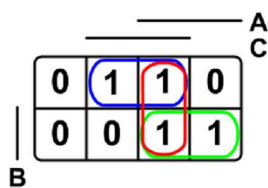
Ačkoliv bychom asi těžko hledali uplatnění zapojení z obr. 19 v praxi, ukazuje nám názorně princip vzniku hazardního stavu. Ten je důsledkem nedokonalosti elektronických součástek. Z matematického hlediska by měla být na výstupu stále log. 1, protože vstupy hradla NAND nabývají vždy různých hodnot. Z obrázku je však zřejmé, že se na výstupu objeví



Obr. 19. Princip vzniku hazardu



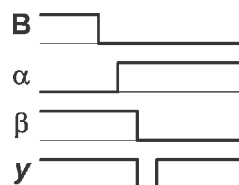
Obr. 20. Další příklad vzniku hazardu



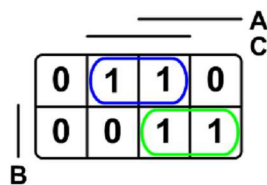
Obr. 23. Karnaughova mapa k obvodu z obr. 24 (výstup y)

krátký impuls log. 0 (při použití běžného obvodu 7404 bude trvat kolem třiceti nanosekund). Ten by nám možná nemusel vadit u nějakého kombinačního obvodu, v sekvenčním obvodu by však mohl napáchat značné škody. Na vině je podobně jako u obvodu na obrázku 20 nesprávný návrh obvodu. I u tohoto zapojení by měl mít výstup stále hodnotu 1, to je patrné i z Karnaughovy mapy na obr. 22 – pro $A = 1$ a $C = 1$ je vždy $y = 1$. Díky zpoždění signálu β se však na malý okamžik na oba vstupy pravého hradla NAND dostává log. 1, díky čemuž se na výstupu objeví krátký impuls log. 0. Ve skutečnosti se na výstupu hazard objevit může, ale nemusí. Závisí to na poměru zpoždění invertoru a hradel NAND. Takové nevypočitatelné chování obvodu je samozřejmě nepřijatelné. Příčinou vzniku hazardů je nespojitě pokrytí Karnaughovy mapy (smyčkami). V tomto případě lze chybu odstranit přidáním pomocného členu pro spojitě pokrytí mapy. Na obr. 24 je obvod zapojený podle upravené Karnaughovy mapy z obr. 23. Nepodaří se nám však odstranit problémy, které nastanou při současně změně více než jednoho vstupu, proto je třeba zajistit již zmíněný fundamentální režim. Tohoto nedostatku se zbavíme až použitím synchronních obvodů, o kterých bude řeč v příštím dílu.

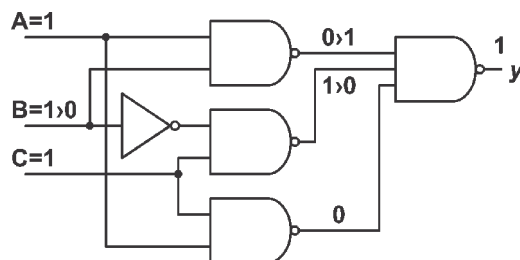
Vít Špringl (Pokračování příště)



Obr. 21. Časové průběhy signálů v obvodu z obr. 20



Obr. 22. Karnaughova mapa k obvodu z obr. 20 (výstup y)



Obr. 24. Obvod bez hazardů vyvolaných změnou jednoho vstupního signálu

Digitální technika a logické obvody

Sekvenční logické obvody

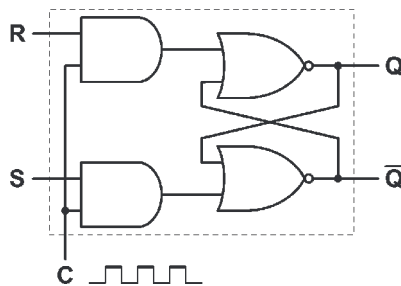
(Pokračování)

Synchronní sekvenční obvody

V minulém dílu jsme se seznámili s pojmem hazardní stav a na jednoduchých příkladech jsme si ukázali, kdy může nastat. Hazard se obvykle projevuje velmi krátkými rušivými impulsy, které mohou být navazujícími synchronními obvody vyhodnoceny jako platná náběžná nebo sestupná hrana a způsobit chybnou funkci obvodu. Nastínili jsme si také možná řešení hazardních stavů. Jednak je třeba zajistit fundamentální režim a také vhodně navrhnout kombinační logickou funkci. Na příkladu z obr. 20 jsme mohli vidět, že maximální možná minimalizace logické funkce není vždy z hlediska vzniku hazardů nejlepším řešením. Jedním z dalších řešení je plně synchronní návrh obvodu. V čem se vlastně synchronní sekvenční obvody liší? Všechny jejich výstupy jsou synchronizovány vnějším hodinovým signálem. Zatímco tedy výstupy asynchronních obvodů reagují okamžitě, u synchronních obvodů dojde ke změně až s příchodem hodinového impulsu. Synchronní obvody dále rozdělujeme na hladinové (řízené úrovní) a hranové.

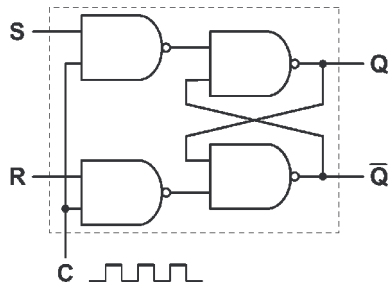
Klopné obvody řízené úrovní (latch)

Velmi jednoduchou úpravou klopného obvodu R-S z obr. 16 (PE 1/04), která spočívá v zařazení hradla AND ke vstupům, dostáváme synchronní R-S klopný obvod (obr. 25). Na druhý vstup hradel AND je přiveden synchronizační signál C. Ještě jednodušší je úprava R-S KO sestaveného z logických členů NAND (viz obr. 17 PE 1/04), kdy pouze využijeme druhého vstupu hradel NAND a připojíme ho k synchronizačnímu signálu C (obr. 26). Funkce obou obvodů je shodná – jejich vstupy se uplatní pouze v případě, kdy je $C=1$. Moc jsme si ale nepomohli. Jedná se o klasický klopný obvod R-S, u kterého musíme při návrhu ošetřit, aby oba vstupy nenabývaly zároveň



Obr. 25.

Klopný obvod R-S řízený úrovní



Obr. 26. Klopný obvod R-S řízený úrovní (sestavený z hradel NAND)

hodnoty log. 1 (při $C \rightarrow 0$ by se výstupy chovaly nepředvídatelně), a současně vidíme, že hladinové klopné obvody neřeší ani náš problém s hazardy. Obvod ale použijeme pro sestavení klopného obvodu typu D (obr. 27).

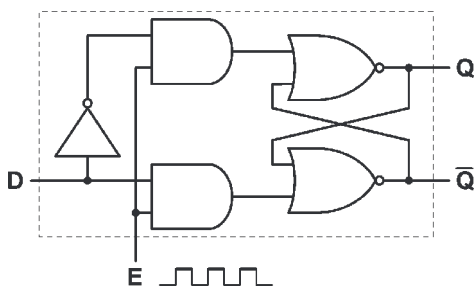
Klopný obvod D (data) dostaneme z předchozího klopného obvodu R-S přidáním jednoho invertoru. Tímto jednoduchým zásahem jsme se zbavili nepříjemného problému se zakázaným stavem $R=1, S=1$, oba vstupy jsou nyní přes invertor propojeny a mají vždy vzájemně opačnou logickou úroveň. Funkce obvodu je zřejmá z obrázku – je-li $E=0$ (pozn. $E=enable$, česky povolit, uvolnit, odblokovat), na výstupu obou hradel AND je log. 0 a klopný obvod nereaguje na změnu vstupních hodnot, nachází se v režimu pamatování. Bude-li $E=1$, závisí hodnoty výstupů na stavu vstupu D. Logickou jedničkou se obvod „nastaví“ (srovnej obr. 25 a 27), zatímco při log. 0 se vynuluje. Celkové chování klopného obvodu je velmi podobné paměti. Tento obvod je základem některých logických obvodů (např. střadač). Hladinové klopné obvody však obecně neřeší náš problém s hazardními stavy, hodinové impulsy jsou totiž příliš široké, zbývá zde spousta prostoru pro rušivé impulsy během doby, kdy $C=1$ (resp. $E=1$).

Hranové klopné obvody

Nyní se již konečně dostáváme k řešení našeho problému s hazardy. Je jím obvod, který vidíte na obr. 28. Modré bloky zastupují klopné obvody R-S řízené úrovní (obr. 25 nebo 26). Hranové klopné obvody jsou synchronizovány náběžnou nebo sestupnou hranou hodinového signálu. Jedná se o velice krátký okamžik při přechodu hodinového signálu z 0 do 1, resp. z 1 do 0. Ve zbylém čase (který tvoří naprostou většinu) obvod na změnu vstupních signálů nereaguje. Celý synchronní obvod pak funguje zhruba takto: nástupnou (resp. sestupnou) hranou hod. signálu se změní stavy všech klopných obvodů, dále probíhají přechodné děje v kombinačních obvodech, na které je vyhrazen dostatek času, a to až do příchodu další náběžné (resp. sestupné) hrany. Nyní se podíváme blíže na funkci obvodu z obr. 28. Bude-li $C=0$, pak bude $C_1=1$ a $C_2=0$. První klopný obvod se tedy bude překlápět podle měnících se signálů na vstupech R a S, ale druhý KO na něj nebude reagovat. Při přechodu $C \rightarrow 1$ (tedy při náběžné hraně) se zablokuje první KO a zároveň odblokuje druhý KO. Druhý klopný obvod tedy přeneše signály Q_1 a Q_1 na výstupy. Tyto signály se ovšem nemění až do příchodu log. 0 na vstup C vzhledem k tomu, že je nyní zablokován první KO. Vidíme tedy, že je signál vždy „uzamčen“ v přední nebo zadní části obvodu, samotné výstupy Q a Q tedy nikdy přímo nereagují na změny vstupů. Při přechodu $C \rightarrow 0$ se druhý KO uzavře a první otevře, což se na výstupech nijak neprojevuje, ke změně dojde až s další náběžnou hranou. Obvody s podobnou strukturou označujeme jako obvody typu „**master – slave**“, první KO je master (česky „pán“ [čti ma:stə]) a druhý slave (česky „otrok“ [čti slejv]). Tyto názvy mají vyjádřit nadřazenost prvního klopného obvodu nad druhým. Poznamenejme, že se opět jedná o obyčejný klopný obvod R-S s jeho známou vadou, tudíž ho v nabídce integrovaných obvodů nenajdete, navíc se konkrétní realizace může lišit. Poslouží nám však k pochopení funkce obvodů typu master-slave a také ke stavbě dalších „vylepšených“ klopných obvodů. (Mimoходом jak bude asi vypadat takový hranový klopný obvod D?)

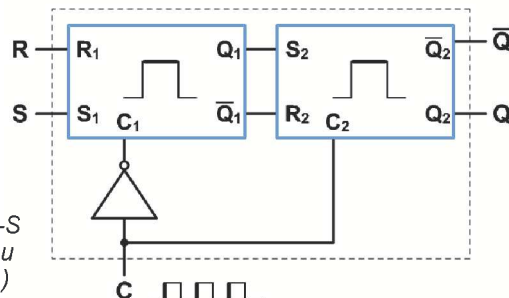
Vít Špringl

(Pokračování příště)



Obr. 27. Klopný obvod D řízený úrovní (vlevo)

Obr. 28. Klopný obvod R-S řízený náběžnou hranou (vpravo)

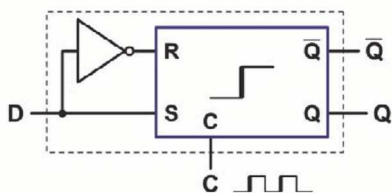


Digitální technika a logické obvody

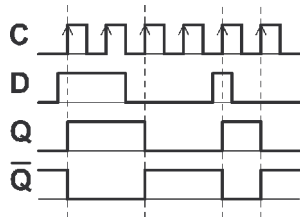
Sekvenční logické obvody (Pokračování)

Klopný obvod D (Data)

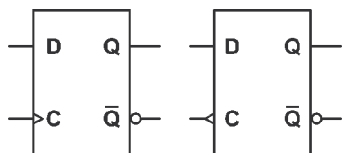
Na obr. 29 je zobrazeno zapojení klopného obvodu D řízeného náběžnou hranou. Modrý blok představuje obvod typu master-slave z obr. 28, se kterým jsme se seznámili v minulém čísle. Stejně jako u hladinového klopného obvodu D z obr. 27 (viz minulý díl) jsme vyřešili problém zakázaného stavu $R=1, S=1$ zařazením invertoru ke vstupu R. Chování obvodu popisuje časový diagram na obr. 30, ze kterého je vidět, že výstup Q více méně kopíruje stav vstupu D, k jeho změně však dojde vždy až s nástupnou hranou hodinového signálu C. Hranový klopný obvod D se běžně vyrábí a je k dostání např. jako integrovaný obvod TTL 7474 (dvojnásobný klopný obvod D s možností asynchronního nulování a nastavení).



Obr. 29. Klopný obvod D řízený náběžnou hranou



Obr. 30. Časový diagram znázorňující činnost klopného obvodu D



Obr. 31. Schematické značky klopných obvodů D řízených hranou, vlevo náběžnou a vpravo sestupnou

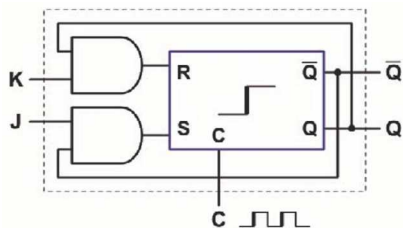
Tab. 27. Tabulka stavů klopného obvodu D

D	Q_t	\bar{Q}_t
0	0	1
1	1	0

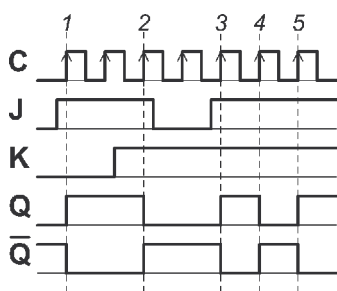
Klopný obvod J-K

Klopný obvod J-K představuje opět jistě zdokonalení klopného obvodu R-S. Jejich funkce se liší pouze v ošetření zakázané kombinace $R=1, S=1$, jak je patrné z tab. 28. Vstup J slouží k nastavení obvodu, vstupem K se obvod nuluje. Z obr. 32 je zřejmé, jakým způsobem se obvod zbavuje nedostatků svého předchůdce – ke každému vstupu R-S klopného obvodu je předřazeno hradlo AND, na které je přiveden výstupní signál Q nebo \bar{Q} . Modrý blok opět zastupuje hranový klopný obvod R-S z obr. 28. Uvažujme následující sekvenci čtyř vstupních stavů, na které si blíže vysvětlíme funkci klopného obvodu a zpětné vazby vedoucí ke hradlům AND: $J, K = 1, 0; 1, 1; 0, 1; 1, 1$.

Prvnímu stavu odpovídá bod 1 v časovém diagramu na obr. 33. Všimněte si, že je pro správnou funkci synchronního obvodu potřeba dodržet u vstupních signálů určitou dobu předstihu a přesahu. (Aby byly signály správně interpretovány, musí být dostupné určitou dobu před a po příchodu náběžné hrany.) Protože $J = 1$ a $\bar{Q} = 1$, na vstupu S bude log. 1 a obvod se s příchodem náběžné hrany hodinového signálu C „nastaví“, což



Obr. 32. Klopný obvod J-K řízený náběžnou hranou



Obr. 33. Časový diagram znázorňující činnost klopného obvodu J-K

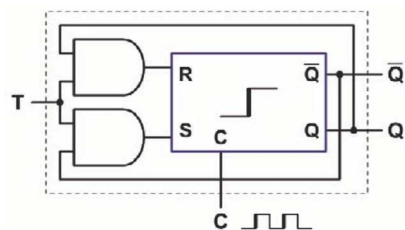
Tab. 28. Tabulka stavů klopného obvodu J-K (Q_t – současný stav, Q_{t-1} – předchozí stav)

J	K	Q_t	\bar{Q}_t
0	0	Q_{t-1}	\bar{Q}_{t-1}
0	1	1	0
1	0	0	1
1	1	\bar{Q}_{t-1}	Q_{t-1}

se projeví přechodem $Q \rightarrow 1$ a $\bar{Q} \rightarrow 0$. Jelikož je nyní výstup $Q = 0$, až do vynulování obvodu nemůže na vstup S proniknout log. 1. Naopak hradlo AND při vstupu K nyní umožňuje průchod signálu K, který se mění na log. 1 a v důsledku toho se s následující náběžnou hranou hodinového signálu obvod vynuluje (bod 2 v časovém diagramu). Vstup J vzápětí přechází do nízké úrovně (log. 0). Úlohy hradel AND se nyní prohodí, hradlo při vstupu K je blokováno log. 0 z výstupu Q, druhé hradlo je naopak otevřené pro signál J. Nepřekvapí tedy, že s příchodem log. 1 na vstup J (obr. 33, bod 3) se obvod opět „nastaví“. Zajímavé je další chování obvodu, kdy oba vstupy zůstávají ve stavu log. 1. S každou další náběžnou hranou (viz body 4 a 5 časového diagramu) se změní stav výstupů, na kterých tak dostáváme signál s polovičním kmitočtem hodinového signálu C a střídou 1:1. Toho lze využít u některých dalších sekvenčních obvodů. Klopný obvod J-K se opět běžně vyrábí v integrované podobě. Příkladem může být integrovaný obvod TTL 7472 (klopný obvod J-K a možností asynchronního nastavení a nulování) nebo TTL 7473 (dvojitý klopný obvod J-K s nulováním) a další. Podrobně se s nimi seznámíme později.

Klopný obvod T (Trigger)

Pro úplnost si ještě uvedme klopný obvod T, vycházející z klopného obvodu J-K. Z obr. 34 je zřejmé, že je obvod víceméně shodný s klopným obvodem J-K, pouze vstupy J a K jsou spojeny do jediného vstupu T. Tento klopný obvod se v integrované formě nevyrábí, pokud bychom chtěli využít jeho vlastností, jednoduše upravíme klopný obvod J-K.



Obr. 34. Klopný obvod T řízený náběžnou hranou

Tab. 29. Tabulka stavů klopného obvodu T (Q_t – současný stav, Q_{t-1} – předchozí stav)

T	Q_t	\bar{Q}_t
0	Q_{t-1}	\bar{Q}_{t-1}
1	\bar{Q}_{t-1}	Q_{t-1}

Vít Špringl
(Pokračování příště)

Digitální technika a logické obvody

Sekvenční logické obvody

(Pokračování)

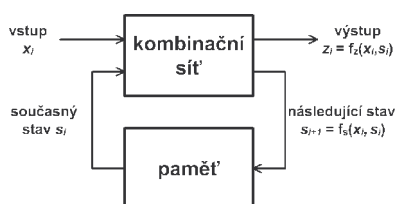
V minulém dílu jsme dokončili výklad o klopných obvodech jako představitelích jednoduchých sekvenčních obvodů, které obvykle využíváme jako paměťové prvky nebo jsou základem složitějších obvodů. V tomto čísle zakončíme kapitolu týkající se sekvenčních obvodů nastíněním problematiky návrhu složitějších sekvenčních systémů a tím také zakončíme teoretickou část našeho výkladu a pomalu se přesuneme k poznávání skutečných součástek, na kterých si budeme moci otestovat naše znalosti v praxi.

Podrobně se návrhem sekvenčních logických systémů zabývat nebudeme vzhledem k tomu, že se jedná o vcelku rozsáhlé téma a kromě toho dnes již těžko budete sestavovat sekvenční obvody z jednotlivých logických hradel a klopných obvodů, ale s výhodou použijete buď nějaký mikrokontrolér, nebo některý z programovatelných obvodů PLD, jejichž popis se již vymyká rozsahu našeho seriálu. V následujícím textu tedy pouze naznačíme strukturu sekvenčního obvodu, přičemž s konkrétními složitějšími obvody, jako jsou čítače, paměti nebo posuvné registry, které se vyrábějí v integrované podobě, se seznámíme později.

Návrh sekvenčního obvodu

Chování sekvenčního logického systému a tím i jeho výstupní proměnné závisí nejen na vstupních proměnných, ale i na sekvenci jejich předchozích změn. Z toho vyplývá, že systém si musí pamatovat předešlé situace (musí si pamatovat historii vývoje systému), tj. musí mít paměť. Informace o stavu této paměti dávají vnitřní proměnné systému. Kromě vstupních proměnných x tedy pracuje sekvenční systém také s vnitřními proměnnými s , které dávají informaci o stávajícím vnitřním stavu, který závisí na předchozí sekvenci vstupních proměnných.

Na obr. 35 je znázorněna struktura sekvenčního systému. Zatímco u kombinačního systému jsou výstupní proměnné z pouze funkcí vstupních hodnot x , platí tedy $z = f(x)$, u sekvenčních systémů jsou také funkcí vnitřního stavu (ten je reprezentován vnitřními pro-



Obr. 35. Blokové schéma sekvenčního systému

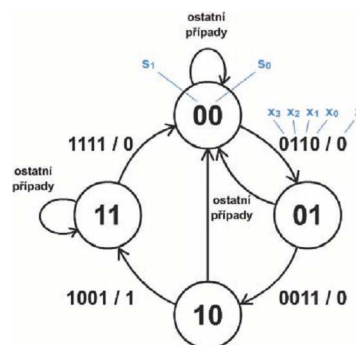
Tab. 30. Tabulka vnitřní funkce f_s a výstupní funkce f_z k příkladu 14

$s_{1/i}$	$s_{0/i}$	$x_{3/i}$	$x_{2/i}$	$x_{1/i}$	$x_{0/i}$	$s_{1/i+1}$	$s_{0/i+1}$	z_i	pozn.
0	0	0	1	1	0	0	1	0	je splněna podmínka pro přechod do dalšího stavu 01 (stisknuta klávesa 6)
0	0	ostatní				0	0	0	podmínka splněna není, obvod zůstává v počátečním stavu (jiné tlačítko)
0	1	0	0	1	1	1	0	0	je splněna podmínka pro přechod do dalšího stavu 10 (stisknuta klávesa 3)
0	1	ostatní				0	0	0	obvod přechází zpět do počátečního stavu, protože bylo stisknuto nesprávné tlačítko
1	0	1	0	0	1	1	1	1	obvod přechází do násl. stavu 11 a na výstupu se objevuje log. 1
1	0	ostatní				0	0	0	v ostatních případech se obvod opět navrací do počátečního stavu (špatná klávesa)
1	1	1	1	1	1	0	0	0	obvod se resetuje a navrací se do výchozího stavu
1	1	ostatní				1	1	1	pro ostatní vstupní hodnoty zůstává obvod ve stejném stavu a na výstupu zůstává log. 1

měnnými s), platí tedy $z_i = f_z(x_i, s_i)$, jak je patrné z obrázku. Způsob chování takového systému si popíšeme na následujícím příkladu.

Příklad 14:

Mějme kódový zámek se čtyřmi vstupy x_0, \dots, x_3 (binární výstupy číselné klávesnice) a jeden výstup z . Po zadání kódu 639 se na výstupu z objeví log. 1. V příkladu se nebudeme zabývat konkrétním obvodovým řešením a nebudeme se proto zabývat ani kombinačními funkcemi f_z a f_s . Analyzujeme pouze zadání a vysvětlíme si funkci sekvenčního systému podle blokového schématu na obr. 35. Nejjednodušší je zakreslit si celý problém do tzv. grafu přechodů, který můžete vidět na obr. 36. Kroužky představují vnitřní stavy, které máme v našem příkladu čtyři. Pro zakódování čtyř vnitřních stavů postačí dvě vnitřní proměnné s_0 a s_1 (viz modré popisky v obrázku 36). Dále v obrázku vidíme hrany grafu, které udávají možné přechody mezi vnitřními stavy, které se mění v závislosti na změně vstupních proměnných x_0 až x_3 . Každá hrana je označena číslem udávajícím, jaké vstupní změně přísluší, za lomítkem je uvedeno, k jakým změnám dojde na výstupu. Nacházíme-li se ve výchozím stavu 00, čekáme na stisknutí tlačítka 6 (kód 0110₂). Objeví-li se na vstupech x tato hodnota, přechází obvod do stavu 01, ve všech ostatních případech zůstává ve stavu 00, přičemž hodnota výstupu z se nemění. Podobně ve stavu 01 čekáme na stisknutí tlačítka 3 a ve stavu 10 čekáme na devítku. Předpokládejme, že se jedná o obvod synchronizovaný stiskem tlačítka, který zůstává v daném stavu až do dalšího stisku tlačítka (byť i stejného). Se stiskem nesprávného tlačítka přejde obvod zpět do výchozího stavu. S přechodem ze stavu 10 do 11 se zároveň mění stav výstupu z z 0 do 1. V tomto stavu obvod zůstává až do doby, kdy se na vstupech objeví hodnota 1111, která v našem případě slouží jako reset a může být generována např. časovačem. Nyní si ještě objasníme souvislost s blokovým schématem z obr. 35. Základ tvoří kombinační logická síť



Obr. 36. Graf přechodů sekvenčního obvodu z příkladu 14

a paměťové členy (v našem případě dva – pro s_0 a s_1). Paměťové členy uchovávají informaci o stavu, ve kterém se momentálně obvod nachází. Cílem je najít kombinační logické funkce pro vnitřní proměnné s_0 a s_1 a pro výstupní proměnnou z . Celý kombinační problém pak můžeme vyjádřit tabulkou pravdivostních hodnocení, kde na vstupu budou proměnné s_0, s_1, x_0, x_1, x_2 a x_3 a na výstupu vnitřní proměnné pro následující stav $i+1$ $s_{0/i+1}, s_{1/i+1}$ a výstupní proměnná z (viz tab. 30). Vidíme, že náš návrh odpovídá obecnému schématu sekvenčního obvodu podle obr. 35. Konkrétní tvar funkcí f_s a f_z bude závislý na zvolených paměťových členech (v nejjednodušším případě můžeme použít např. klopné obvody J-K, popř. i klopné obvody R-S a kombinační logickou síť realizovat pomocí hradel). V návrhu jsme navíc nerespektovali možné hazardy, kterých se může vyskytnout velké množství, a musíme k nim přihlížet již při kódování vnitřních stavů. Celý návrh by byl závislý na tom, zda bychom zvolili synchronní či asynchronní paměťové členy, nezabývali jsme se také optimalizační návrhu apod. Jak jsem se zmínil již v úvodu, s klasickým návrhem s hradly a klopnými obvody se v dnešní éře programovatelných součástek již jen stěží setkáte, proto jsme se jím blíže nezabývali. Uvedenou koncepci sekvenčního obvodu však můžete použít i při návrhu s moderními součástkami.

Vít Špringl

(Pokračování příště)

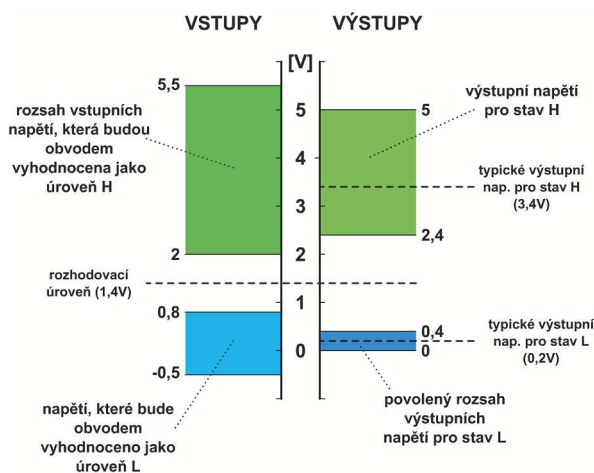
Digitální technika a logické obvody

Logické obvody

Doposud jsme se zabývali logickými obvody pouze teoreticky. Popisovali jsme si sice zapojení s logickými členy, ale samotnou technickou realizaci těchto prvků jsme se nezabývali. Rovněž jsme pracovali s logickými signály nulou a jedničkou, aniž by nás zajímalo, jakým způsobem jsou reprezentovány v elektronických obvodech. Problematiky reálných součástek jsme se dotkli pouze v souvislosti s hazardními stavy v logických obvodech, které vznikaly v důsledku zpoždění signálu při průchodu elektronickými obvody. Omezení, která plynou z přechodu od teorie k praxi, je však mnohem víc. V následujících kapitolách se s nimi seznámíme a naučíme se digitální elektronické obvody efektivně a správně používat. Nejprve se seznámíme s vnitřní strukturou základních logických členů, abychom mohli lépe pochopit jejich vlastnosti a omezení.

Reprezentace logických stavů

Log. 0 a log. 1 jsou v elektronických obvodech reprezentovány různými napěťovými úrovněmi. V praxi to vypadá tak, že definujeme rozsah napětí, která budeme považovat za log. 0, a rozsah, který budeme pokládat za log. 1, a to zvlášť pro vstup a zvlášť pro výstup. Mezi nimi musíme zachovat dostatečný odstup tak, aby se případné rušivé signály neprojevovaly špatnou interpretací logické úrovně. Napěťové rozsahy mohou být definovány různě v závislosti na použitém rozhraní. Ve většině případů se používá tzv. pozitivní logika, kdy je log. 1 reprezentována vyšší napěťovou úrovní než log. 0, tedy $U(1) > U(0)$. V opačném případě, tedy když $U(1) < U(0)$, mluvíme o negativní logice.



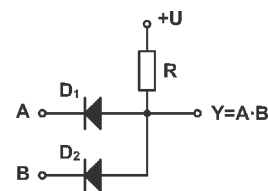
Obr. 37. Vstupní a výstupní napěťové úrovně v logice TTL (standardní řada)

U logických obvodů označujeme log. 1 písmenem H (od slova high – vysoký) a log. 0 písmenem L (od slova low – nízký). Vstupní napětí a proudy označujeme U_{IL} , U_{IH} , I_{IL} a I_{IH} ; výstupní U_{OL} , U_{OH} , I_{OL} a I_{OH} (L, H – logické úrovně, I – input (vstup), O – output (výstup)). Na obr. 37 je vidět, jakým způsobem jsou definovány vstupní a výstupní rozsahy napětí pro úroveň H a L u logických obvodů řady TTL 7400. Vstupní napětí menší než 0,8 V bude vyhodnoceno jako úroveň L, napětí větší než 2 V jako úroveň H. Pro povolený rozsah zátěže musí být na výstupu napětí větší než 2,4 V pro úroveň H, zatímco při úrovni L nesmí překročit 0,4 V.

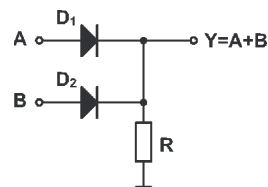
Struktura a typy logických obvodů

Logické obvody dnes známe obvykle v podobě integrovaných obvodů. Lze je však sestavit i z diskretních součástek (rezistory, diody, tranzistory, kondenzátory), což bylo nutností v dobách, kdy se integrované obvody ještě nevyráběly. V dnešní době se nejvíce používají bipolární a unipolární monolitické integrované obvody, u nichž jsou všechny aktivní i pasivní prvky integrovány na jedné křemíkové destičce.

Velice jednoduchým způsobem lze ze tří pasivních diskretních součástek (dvou diod a rezistoru) sestavit součinnový (obr. 38) a součtový člen (obr. 39). U prvního zapojení bude na výstupu Y nízká úroveň L za předpokladu, že alespoň jeden ze vstupů A nebo B bude v úrovni L. Pak bude totiž příslušná dioda polarizována v propustném směru a nízká hodnota napětí se přenesou ze vstupu na výstup. V opačném případě, kdy je na obou vstupech napětí blízké +U (odpovídá úrovni H), bude na výstupu Y rovněž úroveň H. To odpovídá funkci logického součinu. Funkce druhého zapojení na obr. 39 je přesně opačná. Rezistor je tentokrát připojen na záporné napětí a diody budou polarizovány v propustném směru, bude-li na příslušném

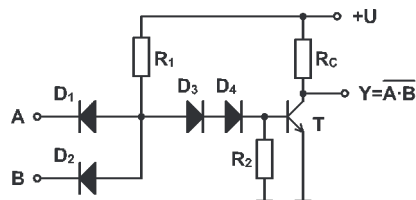


Obr. 38. Součinnový člen v diodové logice



Obr. 39. Součtový člen v diodové logice

vstupu A nebo B hodnota H (tedy kladné napětí). Pak i na výstupu Y bude hodnota H. Úroveň L bude na výstupu pouze v případě, kdy oba vstupy budou ve stavu L, což odpovídá funkci logického součinu. Velkým nedostatkem diodové logiky (DL) je především nerealizovatelnost logické negace a to, že zde není aktivní prvek (po zařazení několika těchto členů za sebou již bude signál nepoužitelný). S výhodou lze ale toto jednoduché diodové zapojení použít jako doplněk k integrovaným obvodům v případě, že potřebujeme získat logický součin nebo součet z většího množství signálů.



Obr. 40. Hradlo NAND v DTL (diodo-tranzistorové logice)

Doplníme-li zapojení z obr. 38 jedním tranzistorem a několika pasivními součástkami, dostaneme hradlo NAND v tzv. DTL (diodo-tranzistorové) logice (viz obr. 40). Tranzistor kompenzuje útlum signálu a navíc plní i funkci invertoru. Diody D_1 , D_2 spolu s rezistorem R_1 vytvářejí vlastní součinnový obvod, na který navazují diody D_3 , D_4 a následně tranzistor T, který se otevírá kladným napětím na jeho bázi. Zatímco je tedy na výstupu součinnového členu kladné napětí, otevřený tranzistor přivádí na výstup Y napětí záporné, tedy invertované. Diody D_3 a D_4 posouvají spínací úroveň tranzistoru a nejsou pro funkci nezbytné. Logika DTL vykazuje dobrou odolnost proti poruchám a poměrně velkou rychlost.

Vít Špringl
(Pokračování příště)

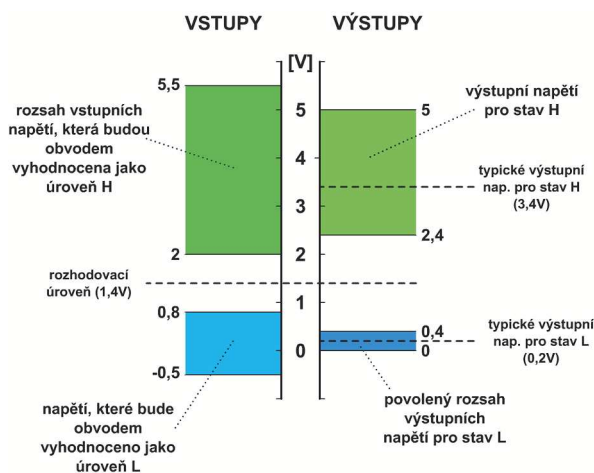
Digitální technika a logické obvody

Logické obvody

Doposud jsme se zabývali logickými obvody pouze teoreticky. Popisovali jsme si sice zapojení s logickými členy, ale samotnou technickou realizaci těchto prvků jsme se nezabývali. Rovněž jsme pracovali s logickými signály nulou a jedničkou, aniž by nás zajímalo, jakým způsobem jsou reprezentovány v elektronických obvodech. Problematiky reálných součástek jsme se dotkli pouze v souvislosti s hazardními stavy v logických obvodech, které vznikaly v důsledku zpoždění signálu při průchodu elektronickými obvody. Omezení, která plynou z přechodu od teorie k praxi, je však mnohem víc. V následujících kapitolách se s nimi seznámíme a naučíme se digitální elektronické obvody efektivně a správně používat. Nejprve se seznámíme s vnitřní strukturou základních logických členů, abychom mohli lépe pochopit jejich vlastnosti a omezení.

Reprezentace logických stavů

Log. 0 a log. 1 jsou v elektronických obvodech reprezentovány různými napěťovými úrovněmi. V praxi to vypadá tak, že definujeme rozsah napětí, která budeme považovat za log. 0, a rozsah, který budeme pokládat za log. 1, a to zvlášť pro vstup a zvlášť pro výstup. Mezi nimi musíme zachovat dostatečný odstup tak, aby se případné rušivé signály neprojevovaly špatnou interpretací logické úrovně. Napěťové rozsahy mohou být definovány různě v závislosti na použitém rozhraní. Ve většině případů se používá tzv. pozitivní logika, kdy je log. 1 reprezentována vyšší napěťovou úrovní než log. 0, tedy $U(1) > U(0)$. V opačném případě, tedy když $U(1) < U(0)$, mluvíme o negativní logice.



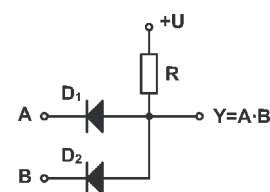
Obr. 37. Vstupní a výstupní napěťové úrovně v logice TTL (standardní řada)

U logických obvodů označujeme log. 1 písmenem H (od slova high – vysoký) a log. 0 písmenem L (od slova low – nízký). Vstupní napětí a proudy označujeme U_{IL} , U_{IH} , I_{IL} a I_{IH} ; výstupní U_{OL} , U_{OH} , I_{OL} a I_{OH} (L, H – logické úrovně, I – input (vstup), O – output (výstup)). Na obr. 37 je vidět, jakým způsobem jsou definovány vstupní a výstupní rozsahy napětí pro úroveň H a L u logických obvodů řady TTL 7400. Vstupní napětí menší než 0,8 V bude vyhodnoceno jako úroveň L, napětí větší než 2 V jako úroveň H. Pro povolený rozsah zátěže musí být na výstupu napětí větší než 2,4 V pro úroveň H, zatímco při úrovni L nesmí překročit 0,4 V.

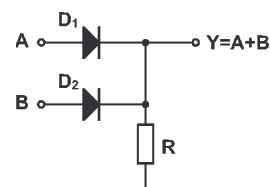
Struktura a typy logických obvodů

Logické obvody dnes známe obvykle v podobě integrovaných obvodů. Lze je však sestavit i z diskretních součástek (rezistory, diody, tranzistory, kondenzátory), což bylo nutností v dobách, kdy se integrované obvody ještě nevyráběly. V dnešní době se nejvíce používají bipolární a unipolární monolitické integrované obvody, u nichž jsou všechny aktivní i pasivní prvky integrovány na jedné křemíkové destičce.

Velice jednoduchým způsobem lze ze tří pasivních diskretních součástek (dvou diod a rezistoru) sestavit součinnový (obr. 38) a součtový člen (obr. 39). U prvního zapojení bude na výstupu Y nízká úroveň L za předpokladu, že alespoň jeden ze vstupů A nebo B bude v úrovni L. Pak bude totiž příslušná dioda polarizována v propustném směru a nízká hodnota napětí se přenesou ze vstupu na výstup. V opačném případě, kdy je na obou vstupech napětí blízké +U (odpovídá úrovni H), bude na výstupu Y rovněž úroveň H. To odpovídá funkci logického součinu. Funkce druhého zapojení na obr. 39 je přesně opačná. Rezistor je tentokrát připojen na záporné napětí a diody budou polarizovány v propustném směru, bude-li na příslušném

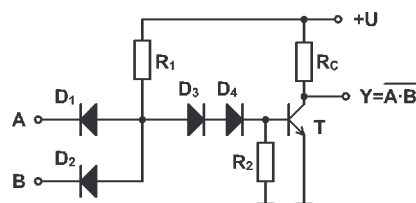


Obr. 38. Součinnový člen v diodové logice



Obr. 39. Součtový člen v diodové logice

vstupu A nebo B hodnota H (tedy kladné napětí). Pak i na výstupu Y bude hodnota H. Úroveň L bude na výstupu pouze v případě, kdy oba vstupy budou ve stavu L, což odpovídá funkci logického součinu. Velkým nedostatkem diodové logiky (DL) je především nerealizovatelnost logické negace a to, že zde není aktivní prvek (po zařazení několika těchto členů za sebou již bude signál nepoužitelný). S výhodou lze ale toto jednoduché diodové zapojení použít jako doplněk k integrovaným obvodům v případě, že potřebujeme získat logický součin nebo součet z většího množství signálů.



Obr. 40. Hradlo NAND v DTL (diodo-tranzistorové logice)

Doplníme-li zapojení z obr. 38 jedním tranzistorem a několika pasivními součástkami, dostaneme hradlo NAND v tzv. DTL (diodo-tranzistorové logice (viz obr. 40). Tranzistor kompenzuje útlum signálu a navíc plní i funkci invertoru. Diody D_1 , D_2 spolu s rezistorem R_1 vytvářejí vlastní součinnový obvod, na který navazují diody D_3 , D_4 a následně tranzistor T, který se otevírá kladným napětím na jeho bázi. Zatímco je tedy na výstupu součinnového členu kladné napětí, otevřený tranzistor přivádí na výstup Y napětí záporné, tedy invertované. Diody D_3 a D_4 posouvají spínací úroveň tranzistoru a nejsou pro funkci nezbytné. Logika DTL vykazuje dobrou odolnost proti poruchám a poměrně velkou rychlost.

Vít Špringl
(Pokračování příště)

Digitální technika a logické obvody

Historický vývoj logických obvodů

Rozvoj číslicové techniky v šedesátých letech minulého století vedl k potřebě výroby logických členů, které by plnily základní logické funkce a pomocí nichž by bylo možné realizovat i složité logické systémy. Nejprve se začaly vyrábět moduly z diskretních součástek – diod, rezistorů a tranzistorů. Jejich použití však nebylo jednoduché, protože jednotlivé moduly se vzájemně ovlivňovaly. Větší rozšíření logických obvodů umožnila až technologie výroby integrovaných obvodů, které jsou spolehlivější, lépe obvodově řešené a ve větších sériích i levnější. Snahou bylo vyvinout systém logických obvodů, které by umožňovaly realizovat základní logické funkce (zejména NAND a NOR), měly dostatečné zesílení, aby je bylo možné řadit kaskádně za sebou, a byly dostatečně rychlé. Dále by měly být spolehlivé, odolné proti rušení, měly by mít přijatelnou spotřebu a jejich výroba by neměla být příliš nákladná. Postupně byla vyvinuta řada logických stavebnic, které využívaly např. RTL nebo DTL logiku, s jejichž strukturou jsme se seznámili v minulém dílu. Největšího rozšíření a uplatnění však ve své době dosáhla logika TTL. Standardní řada TTL 7400 spatřila světlo světa v roce 1965 a od této doby bylo vyvinuto velké množství jejích modifikací. Ty sledovaly dva základní požadavky – zmenšení spotřeby a zvýšení rychlosti (které jsou však do jisté míry protichůdné). Nejrozšířenější je dnes modifikace **TTL LS** (Low power & Schottky), zatímco s obvody standardní řady TTL se dnes setkáte již jen ve výprodejích. Blíže se s vlastnostmi obvodů TTL seznámíme v samostatné kapitole.

Stručný přehled jednotlivých modifikací obvodů TTL (bipolárních)

• Standardní řada 74

Zapojení hradla NAND je patrné z obr. 45. Na vstupu je víceemitorový tranzistor, který může mít až osm vstupů (A až H), na výstupu je koncový stupeň tvořený tranzistory T_3 a T_4 , někdy zvaný jako „totem-pole“. Vstupní diody D_z slouží k ochraně před přírodním záporným napětím.

• Řada 74L (Low Power TTL – řada s malou spotřebou)

Jediným rozdílem oproti standardní řadě je značné zvětšení odporu rezistorů (viz obr. 45), což má za násle-

dek zmenšení příkonu, ale také snížení rychlosti (asi na třetinu).

• Řada 74H (High Speed TTL – rychlá řada)

U této řady byly naopak odpory některých rezistorů zmenšeny (viz obr. 46), čímž se sice zvýšila rychlost, ale na úkor příkonu. Ten je oproti standardní řadě více než dvojnásobný. Výstup je z důvodu větší logické zatížitelnosti opatřen Darlingtonovým zapojením tranzistorů T_3 a T_5 . Obě tyto řady L a H byly dávno překonány a dnes se již nepoužívají.

• Řada 74S (Schottky TTL – Schottkyho rychlá řada s normální spotřebou)

Velkým pokrokem bylo použití Schottkyho diod ve struktuře tranzistoru. Jejich zapojením mezi bázi a kolektor totiž zabráníme přesycování báze a vypínací doby tranzistoru se zkrátí zhruba na 1 ns. Schottkyho diody se používají ve všech novějších modifikacích. Vnitřní struktura hradla NAND je patrná z obr. 47.

• Řada 74LS (Low Power Schottky TTL – Schottkyho řada s malou spotřebou)

Již z názvu je zřejmé, že se jedná o kombinaci řady L a S. Obvody této řady doznaly velkého rozšíření a jsou dnes často jedinými bipolárními obvody, které běžní prodejci ve svém sortimentu nabízejí. Obvody LS jsou o něco málo rychlejší než obvody standardní řady, mají však pětikrát menší spotřebu. Narozdíl od výše uvedených obvodů je zde funkce AND realizována místo víceemitorového tranzistoru diodami, jak je vidět z vnitřního zapojení hradla NAND na obr. 48.

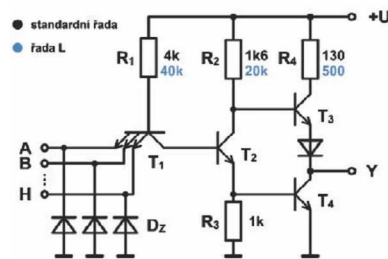
• Řady 74AS, 74ALS (Advanced Schottky, Advanced Low Power Schottky TTL)

Obě tyto řady jsou vyráběny modifikovanou technologií, kterou bylo dosaženo zmenšení pn přechodu a zmenšení parazitních kapacit tranzistorů. U řady AS se tak výrazně zvýšila rychlost při spotřebě srovnatelné se standardní řadou TTL, zatímco řada ALS má velmi malou spotřebu, ale i dostatečnou rychlost. (Srovnání rychlosti a spotřeby jednotlivých typů logických obvodů bude uvedeno v příštím čísle.) Obvody AS a ALS též nepoužívají víceemitorové vstupní tranzistory; vnitřní zapojení vstupní části hradla NAND je patrné z obr. 49.

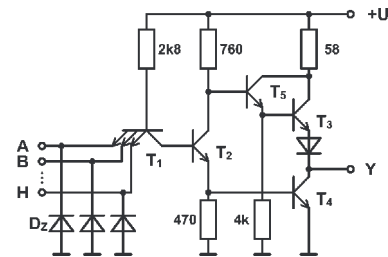
• Řada F (Fairchild Advanced Schottky TTL (FAST))

Firmě Fairchild se podařilo pomocí nových technologií vyvinout logickou řadu, která se svou rychlostí blíží řadě AS, má však asi poloviční spotřebu. Patří tak mezi obvody s nejlepším poměrem rychlosti a příkonu.

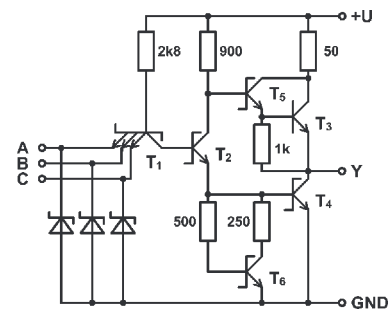
Vít Špringl
(Pokračování příště)



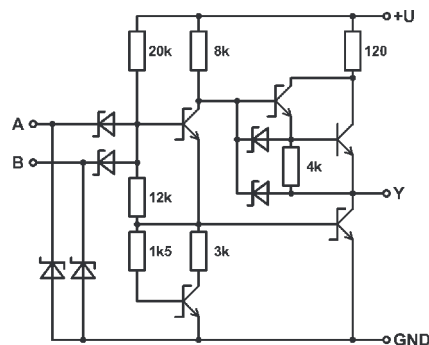
Obr. 45. Zapojení hradla NAND v logice TTL až s osmi vstupy



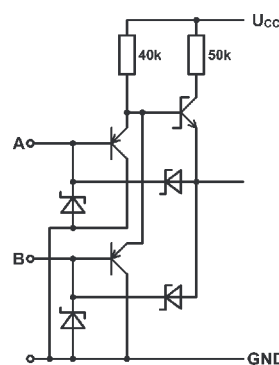
Obr. 46. Zapojení hradla NAND 74H...



Obr. 47. Zapojení hradla NAND 74LS10 (1/3)



Obr. 48. Zapojení hradla NAND 74ALS00 (1/4)



Obr. 49. Zapojení vstupu hradla NAND 74ALS00

Digitální technika a logické obvody

Historický vývoj logických obvodů (Pokračování)

Protože byla spotřeba bipolárních obvodů pro řadu aplikací stále příliš velká, byly v sedmdesátých letech vyvinuty unipolární logické obvody vyrobené komplementární technologií CMOS. Tyto obvody se vyznačují zejména zanedbatelnou spotřebou ve statickém režimu (typicky 10 nW na hradlo!), na druhou stranu jsou však pomalejší a mají malý výstupní proud. Časem se i tato standardní řada označovaná CMOS 4000 rozrostla o množství modifikací. Později se začaly unipolární technologie vyrábět i ekvivalenty obvodů řady 7400, které nesou označení C (74C00). Velkého rozšíření doznaly zejména jejich rychlé varianty HC, HCU a HCT, které jsou dnes běžně k dostání, přičemž obvody HCT (např. 74HCT00) jsou plně slučitelné s obvody řady TTL (mají shodné napájecí napětí, rozhodovací úrovně apod.). Další vývoj směřoval ke zmenšení napájecího napětí obvodů CMOS. Vznikly tak řady nesoucí označení např. LV (Low Voltage). Dnes je možné se setkat i s logickými obvody, které jsou schopny pracovat s napájecím napětím již od 0,8 V. Kromě bipolárních a unipolárních CMOS logických obvodů se postupně objevily obvody vyráběné technologií BiCMOS, která používá na jednom čipu bipolární i unipolární tranzistory a spojuje tak výhody obou technologií. Jádro čipu s velkou hustotou integrace a malou spotřebou je tvořeno unipolárními technologiemi, výstupní část s vysokou rychlostí a velkými výstupními proudy je bipolární.

Stručný přehled unipolárních logických obvodů

- **CMOS 4000**
Jedná se o původní unipolární řadu, která byla představena v roce 1968. V bývalé ČSSR byla vyráběna firmou TESLA pod označením MHB. K obvodům s označením 40xx přibývala později řada obvodů od různých výrobců (45xx, 40xxx, 41xx, 43xx a další). Obvody 4000B mají na výstupu oddělovače ve formě dvou invertorů, které zlepšují výstupní vlastnosti obvodu, zejména při kapacitní zátěži. Některé obvody se vyrábějí též ve verzi **UB** bez výstupních oddělovačů.
- **74C, 74HC, 74HCT, 74HCU**
Později se začaly technologie CMOS vyrábět i ekvivalenty obvodů řady 7400, což je vyjádřeno písmenem C. Dnes se používají výhradně rychlé verze těchto obvodů (HC – High Speed CMOS), které se vyznačují tím, že jsou při běžném napájecím napětí 5 V zhruba pětikrát rychlejší. Verze HCT je plně kompatibilní s logikou TTL, a je tak ideální alternativou k obvodům LS TTL; obvody HCU nemají výstupní oddělovače.
- **74AC/T, 74AHC/T (Advanced CMOS, Advanced High Speed CMOS)**
Velmi rychlé obvody využívající pokročilých technologií jsou vhodnými nástupci řad C/HC/HCT. Opět se vyrábí i verze T kompatibilní s TTL logikou. Nabízena je široká škála těchto obvodů od hradel až po budiče sběrnic. S podobnými parametry nabízejí některé firmy obvody s označením VHC a VHCT (Very High Speed CMOS).
- **74LV (Low Voltage HCMOS), 74LVC (Low Voltage CMOS), 74ALVC (Advanced Low Voltage CMOS), 74AVC (Advanced Very-LV CMOS)**

CMOS), 74AUC(Advanced Ultra-LV CMOS) a další (LCX, LVQ, LVX, HLL, ...)
Nízkonapěťové CMOS obvody.

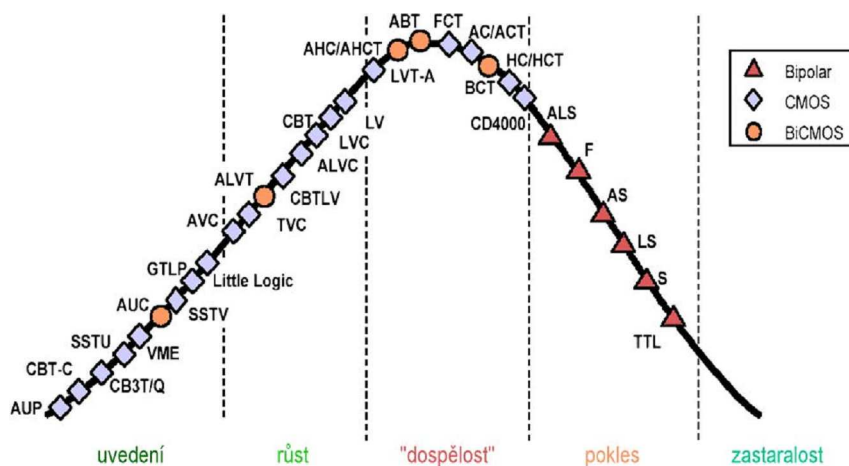
Vybrané BiCMOS obvody

- **74BCT (BiCMOS Technology)**
Obvody navržené speciálně pro sběrnicové aplikace. Vstupy a výstupy jsou kompatibilní s logikou TTL, výstupní proud je 64 mA.
- **74ABT (Advanced BiCMOS Technology)**
BiCMOS obvody druhé generace vyráběné 0,8 μm technologiemi navržené opět pro spolupráci se sběrnicí. Zpoždění obvodů je menší než 5 ns, výstupní proud je 64 mA.
- **74ALB (Advanced Low Voltage BiCMOS)**
Jedny z nejrychlejších logických obvodů s maximálním zpožděním 2,2 ns navržené speciálně pro sběrnicové aplikace. Vyrábějí se 0,6 μm technologiemi, pracují s napájecím napětím 3,3 V a maximální výstupní proud je 24 mA.
- **74LVT/74ALVT ((Advanced) Low Voltage BiCMOS Technology)**
Obvody LVT pracují s napětím 3,3 i 5 V, vyrábějí se 0,72 μm technologiemi, jejich zpoždění je 3,5 ns a výstupní proud 64 mA. Používají se pro buzení sběrnic v systémech s velkým výkonem (telekomunikace, sítě). Velmi rychlé obvody ALVT vyráběné technologiemi 0,6 μm pracují s 2,5 V, 3,3 V a 5 V logikou, poskytují výstupní proud až 64 mA a v pohotovostním režimu mají malou spotřebu. Používají se pro pokročilé sběrnicové funkce v telekomunikačních systémech a síťových aplikacích.

Srovnání typů logických obvodů

Na obr. 50 je zobrazen životní cyklus logických obvodů. Na vodorovné ose jsou obvody seřazeny od nejnovějších po nejstarší, svislá osa ukazuje míru používání těchto obvodů v současnosti. Celý životní cyklus je rozdělen do pěti částí – uvedení na trh, růst, dospělost, pokles a zastaralost. Z grafu je patrné, že bipolární technologie je již na ústupu a v nových aplikacích je vhodně použít vyspělejší alternativy. Na svém vrcholu jsou obvody HC/HCT a jejich nástupci AC/ACT a AHC/AHCT. Obrázek je nutné brát do jisté míry jako orientační, jelikož se údaje jednotlivých firem mírně liší. Mimo jiné má také ilustrovat množství typů logických obvodů, které jsou v dnešní době uživateli k dispozici.

Vít Špringl
(Pokračování příště)



Obr. 50. Životní cyklus logických obvodů. Obrázek je převzat z dokumentu Logic Selection Guide – First Half 2004 firmy Texas Instruments.

Digitální technika a logické obvody

Srovnání typů logických obvodů (Pokračování)

Jednotlivé řady logických obvodů se liší v mnoha parametrech. Mezi ty, které nás obvykle nejvíce zajímají, řadíme zpoždění obvodu a jeho spotřebu. V optimálním případě by měly oba tyto parametry nabývat co nejmenších hodnot. V praxi je situace trochu slo-

žitější vzhledem k tomu, že jsou tyto požadavky do jisté míry protichůdné. Obr. 51 ukazuje srovnání jednotlivých řad logických obvodů podle jejich zpoždění a spotřeby. Barevně jsou od sebe odlišeny bipolární, CMOS, BiCMOS a ECL obvody. O jednotlivých typech bylo pojednáno v minulých dvou dílech seriálu. Vzhledem k tomu, že se údaje jednotlivých výrobců mírně liší, je srovnání do jisté míry pouze orientační. Zpoždění obvodu je navíc závislé na napájecím napětí a při jeho dolní hranici bývá větší.

Údaje vynesené v grafu platí pouze pro klidový stav obvodu. V důsledku většího odběru proudu při překlápění hradel z jedné logické úrovně do

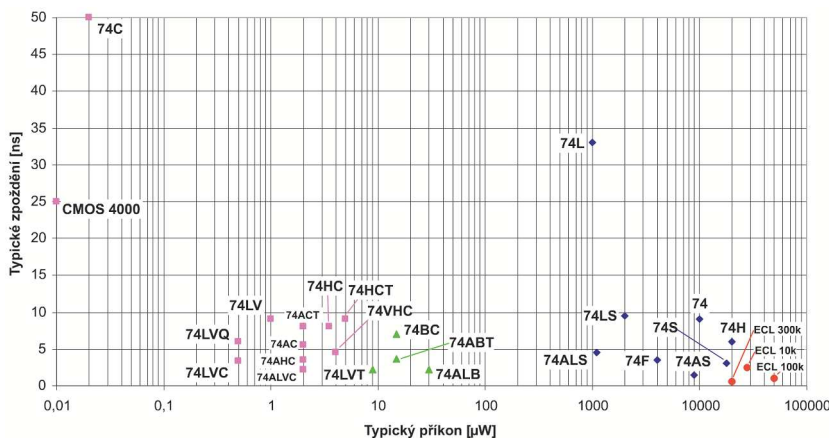
druhé se u obvodů CMOS se zvyšujícím kmitočtem zvětšuje i jejich ztrátový výkon. Zatímco je tedy spotřeba těchto obvodů v klidovém stavu velice malá, při kmitočtech kolem 1 MHz je již srovnatelná nebo dokonce větší než u obvodů bipolárních. U nich lze pozorovat podobný jev, výrazněji se však projevuje až při vyšších frekvencích.

Na obr. 52 jsou zobrazeny vstupní a výstupní napěťové úrovně vybraných skupin logických obvodů. Jedná se o rozšíření obrázku 37, který se týkal pouze standardní řady TTL. V_{IL} je maximální vstupní napětí pro úroveň L a V_{IH} je minimální vstupní napětí pro úroveň H. Pro tato napětí je zaručeno, že bude na výstupu napětí minimálně V_{OH} při úrovni H a maximálně V_{OL} při úrovni L, nepřekročíme-li předepsané maximální zatížení výstupů obvodu. Na obrázku je dále vyznačeno napětí V_T , které nazýváme prahovým. Označuje napětí, při kterém se obvod překlápí z jedné logické úrovně do druhé. Na výstupu i na vstupu je v tomto okamžiku stejné napětí. Doba překlápění obvodu by měla být co možná nejkratší s ohledem na možný vznik oscilací a zvětšený odběr proudu. Součástí obrázku je dále tabulka zobrazující možnosti propojení jednotlivých skupin logických obvodů mezi sebou. Dva obvody, které náleží do skupin s různými napěťovými úrovněmi, lze propojit v případě, že je napětí V_{OH} obvodu označeného v obrázku písmenem D větší než V_{IH} obvodu R přijímajícího signál a napětí V_{OL} obvodu D menší než napětí V_{IL} obvodu R. Propojení typů označených hvězdičkou je v zásadě možné, ovšem pouze za předpokladu, že je obvod přijímající logický signál schopen akceptovat na vstupu větší napětí. Účelem obrázku není poskytnout přesné parametry jednotlivých typů logických obvodů, ale spíše jakýsi přehled. Napěťové úrovně u konkrétní logické řady se mohou mírně lišit, obvody uvedené v rámci jedné skupiny by však měly být navzájem slučitelné.

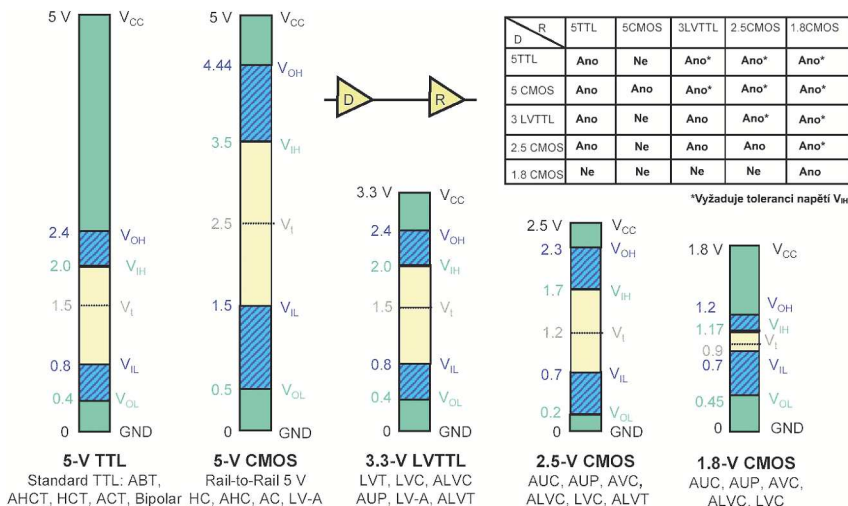
Na obr. 53 jsou zobrazeny informace o napájecích napětích jednotlivých typů CMOS obvodů. Nejvyšší rozsah napájecích napětí mají obvody CMOS standardní řady 4000 (resp. 4xxx, viz první sloupec). Ve zbývajících sloupcích jsou obvody optimalizované pro napájecí napětí 5 V, 3,3 V, 2,5 V a 1,8 V. Obvody HCT, ACT a AHCT, které jsou plně slučitelné s logikou TTL, mají podobně jako bipolární obvody TTL velmi malý rozsah napájecích napětí. Nejmenším napětím je možné napájet obvody řad AUP a AUC, které jsou plně funkční od úctyhodných 0,8 V.

Vít Špringl (Pokračování příště)

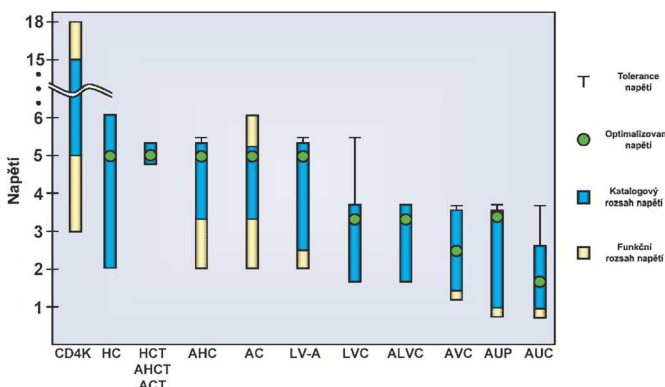
Oprava: V PE7/04 jsme v této rubrice uvedli, že na výstupu obvodu vznikne záporné napětí, přičemž míněno bylo napětí blízké nule. Za tuto nepřesnost se omlouváme. red.



Obr. 51. Srovnání rychlosti a spotřeby různých typů logických obvodů. Barevně jsou odlišeny bipolární, unipolární, BiCMOS a ECL obvody



Obr. 52. Vstupní a výstupní napěťové úrovně vybraných typů logických obvodů při uvedeném napájecím napětí



Obr. 53. Napájecí napětí CMOS obvodů

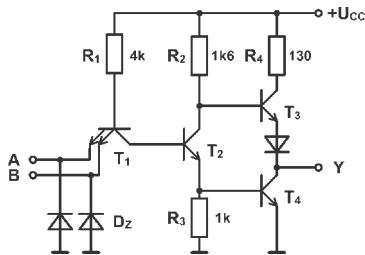
Digitální technika a logické obvody

(Pokračování)

Bipolární obvody TTL

V minulých několika dílech jsme se blíže seznámili s různými řadami logických obvodů, uvedli jsme si jejich základní vlastnosti a provedli některá srovnání. Poznali jsme, že výrobci mají ve svých programech velké množství nových typů logických obvodů, kterými lze vhodně nahradit starší bipolární obvody. V tuto chvíli se zastavíme právě u těchto starších obvodů. Vysvětlíme si na nich základní elektrické parametry, které nás u logických obvodů obvykle zajímají, a zároveň je použijeme v našich prvních zapojeních.

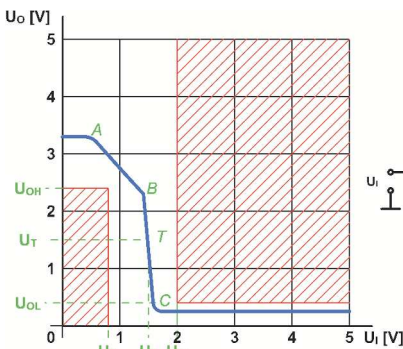
Základním stavebním prvkem bipolárních logických obvodů TTL je hradlo NAND. Připomeňme si jeho strukturu na obr. 54 (více viz PE 07/2004 a PE 08/2004). Funkce logického součinu je realizována tranzistorem T_1 a odporem R_1 . Tranzistor T_2 „budí“ tranzistory T_3 a T_4 , které představují „aktivní koncový stupeň“.



Obr. 54. Náhradní schéma základního součinného hradla NAND standardní řady TTL 7400 včetně přibližných hodnot pasivních prvků

Statické parametry

Nejprve se blíže seznámíme s některými statickými parametry. Zajímají nás zejména vstupní a výstupní napětí a proudy. Jednotlivé parametry a charakteristiky si ukážeme na elementárním hradle NAND, podobné bychom



Obr. 55. Převodní charakteristika hradla NAND

však našli i u ostatních hradel standardní řady TTL.

Převodní charakteristika

Závislost výstupního napětí U_O na vstupním napětí U_I nazýváme převodní charakteristikou. Její průběh je na obr. 55. Převodní charakteristika nám na první pohled říká velmi mnoho o chování obvodu. Bude-li vstupní napětí menší než napětí odpovídající bodu A charakteristiky, bude vstupní tranzistor T_1 otevřen. Na bázi T_2 se tak dostane nízký potenciál a v důsledku toho budou oba tranzistory T_2 i T_4 uzavřeny. Na výstupu díky otevřenému tranzistoru T_3 naměříme jisté maximální napětí odpovídající úrovni H.

Zvětší-li se vstupní napětí na velikost přibližně 0,7 V, začne se tranzistor T_1 uzavírat a tranzistor T_2 otevírat. V bodě B je již proud protékající tranzistorem T_2 tak velký, že se začíná otevírat i tranzistor T_4 . S rostoucím napětím se bude postupně zavírat T_3 a v bodě C bude z výstupních tranzistorů otevřen již jen T_4 .

Při vstupním napětí větším než U_{IC} (tj. napětí odpovídající přibližně bodu C) budou všechny B-E přechody vstupního víceemitorového tranzistoru uzavřeny. Díky proudu tekoucímu přes rezistor R_1 jsou otevřeny tranzistory T_2 a T_4 . Na výstupu naměříme malé napětí, které je dáno saturačním napětím T_4 .

V grafu si můžete všimnout dvou vyšrafovaných částí, které souvisí se vstupními a výstupními napětími U_{IL} , U_{IH} , U_{OL} a U_{OH} . Za normálních okolností a při povoleném zatížení výstupu se nesmí převodní charakteristika v těchto červeně vyšrafovaných oblastech vyskytnout. Napětí U_{IL} je maximální vstupní napětí, které je ještě považováno za logickou úroveň L, a podobně U_{IH} je minimální vstupní napětí, které je ještě obvodem považované za úroveň H. Pro obvody TTL je $U_{IL} = 0,8 \text{ V}$ a $U_{IH} = 2 \text{ V}$. Výstupní napětí pro úroveň L (U_{OL}) je maximální napětí na výstupu při logické úrovni L, napětí U_{OH} je minimální výstupní napětí pro úroveň H. Pro logické obvody TTL je $U_{OL} = 0,4 \text{ V}$ a $U_{OH} = 2,4 \text{ V}$. Je tedy zřejmé, že u našeho invertoru musí být pro vstupní napětí $U_I < U_{IL}$ na výstupu napětí $U_O > U_{OH}$ a pro $U_I > U_{IH}$ musí být $U_O < U_{OL}$.

Dále si povšimnete bodu T, pro který platí $U_I = U_O$. Napětí U_T tohoto bodu nazýváme prahovým napětím (threshold voltage). Prahové napětí podobně jako celá charakteristika je mírně závislé na teplotě.

Vstupní charakteristika

Vstupní charakteristika udává závislost vstupního proudu I_I na vstupním napětí U_I . Její průběh je na obr. 56. V případě, že je na vstupu napětí odpovídající logické úrovni L, vstupní proud je určen zejména velikostí odporu R_1 . Pro standardní řadu TTL je to typicky okolo -1 mA , jeho maximální hodnota udávaná výrobcem je $-1,6 \text{ mA}$. Je-li na vstupu napětí odpovídající úrovni H, vstupní proud je podstatně menší, a to typicky $20 \mu\text{A}$. Tato hodnota odpovídá závěrnému proudu přechodu B-E tranzistoru T_1 . Jeho maximální velikost pro standardní řadu TTL činí $40 \mu\text{A}$. Hodnoty vstupních proudů na rozdíl od vstupních napětí, která musí být vzhledem k požadované slučitelnosti u všech TTL obvodů stejná, závisí na modifikaci obvodu. Základní srovnání poskytuje tabulka 31.

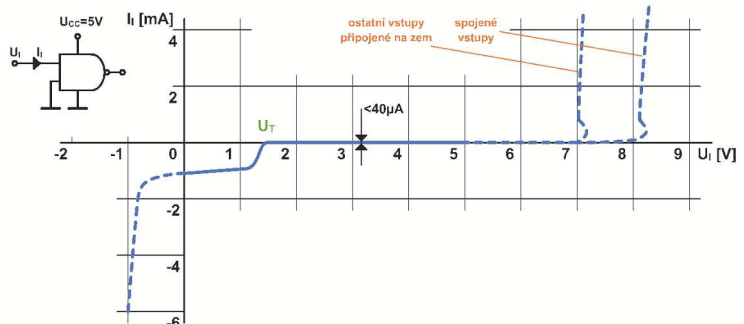
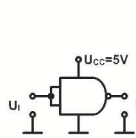
Dovolený rozsah vstupních napětí je 0 až 5 V, přičemž běžné akceptovatelný přesah je 0,5 V. Co se ovšem stane, překročíme-li tyto meze? Podívejme se nejprve na případ záporného napětí. Jak je patrné z charakteristiky na obr. 56, vstupní proud se začne prudce zvětšovat, zmenší-li se napětí na vstupu obvodu pod asi $-0,7 \text{ V}$. Proti zápornému napětí chrání obvod vstupní záchytné diody D_Z , které však nelze zatížit velkým trvalým proudem. Aby se obvod nezničil, nesmí vstupní proud překročit -30 mA .

Překročíme-li naopak maximální kladné vstupní napětí, nastává nebezpečí destruktivního napětového průrazu přechodu E-B tranzistoru T_1 , a to v případě samostatného jednoho vstupu při napětí $U_I = 7 \text{ V}$, v případě paralelně spojených vstupů při napětí asi 8,2 V, jak je patrné z grafu.

Vít Špringl

Tab. 31. Hodnoty vstupních proudů pro úroveň L a H u různých modifikací obvodů TTL

Veličina	74	LS	S	AS	ALS	F
I_{IL} [mA]	-1,6	-0,36	-2	-0,5	-0,1	-0,6
I_{IH} [μA]	40	20	50	20	20	20



Digitální technika a logické obvody

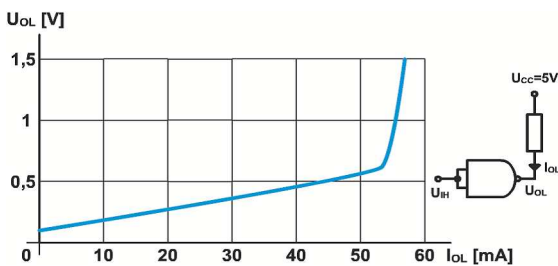
Srovnání typů logických obvodů

Výstupní charakteristiky

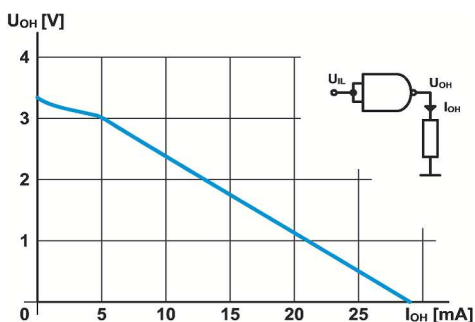
Závislost výstupního napětí U_O na výstupním proudu I_O nazýváme výstupní charakteristikou. Protože se na výstupu logického obvodu mohou vyskytnout dvě logické úrovně, máme také dvě výstupní charakteristiky – pro úroveň H a pro úroveň L. V prvním případě (úroveň H) budeme sledovat závislost výstupního napětí na proudu, který protéká zátěží připojenou „na zem“, tedy na společný vodič GND (pozn.: zkratka anglického slova ground – zem). V případě výstupní úrovně L bude zátěž připojena proti napájecímu napětí U_{CC} . Charakteristiky se budou zřejmě lišit, jejich průběh je určen vlastnostmi výstupní části hradla tvořeného tranzistory T_3 a T_4 .

Tab. 32. Doporučené maximální výstupní proudy pro úroveň L a H u různých modifikací obvodů TTL (u hradla NAND 74xx0C)

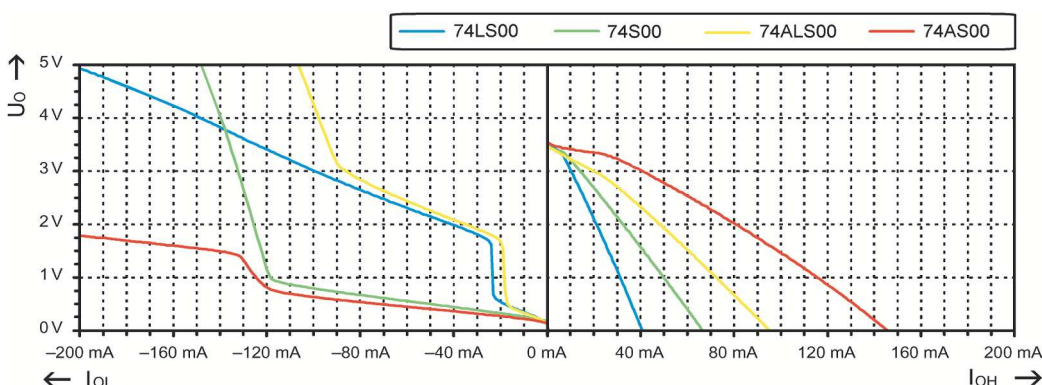
Veličina/typ	74	LS	S	AS	ALS	F
I_{OL} [mA]	16	8	20	20	8	20
I_{OH} [mA]	-0,4	-0,4	-1	-2	-0,4	-1



Obr. 57. Výstupní charakteristika hradla NAND (740C) pro $U_O = U_{OL}$



Obr. 58. Výstupní charakteristika hradla NAND (740C) pro $U_O = U_{OH}$



Vít Špringl
(Pokračování příště)

Obr. 59. Výstupní charakteristiky hradel NAND 74LS00, 74S00, 74ALS00 a 74AS00

diodou D a rezistorem R_4 (viz minulý díl – PE11/2004, obr. 54).

Podívejme se nejprve na výstupní charakteristiku pro úroveň L, jejíž průběh je na obr. 57. Podobně jako v minulém díle si jednotlivé charakteristiky ukážeme na hradle NAND standardní řady TTL. Tentokrát si ale navíc pro srovnání uvedeme i výstupní charakteristiky dalších hradel (viz obr. 59). Připomeňme si, že při úrovni L je otevřen tranzistor T_4 , který přivádí na výstup nízké napětí, tranzistor T_3 je uzavřen. Maximální napětí na výstupu logického obvodu TTL při úrovni L je 0,4 V. To platí ovšem pouze za předpokladu, že je dodržen maximální výrobcem stanovený proud I_{OL} . Z charakteristiky uvedené na obr. 57 je patrné, že při nezapojené zátěži, tedy při nulovém výstupním proudu, bude výstupní napětí přibližně 0,1 V. S rostoucím proudem se bude zvětšovat i výstupní napětí, a to přibližně lineárně až do proudu asi 50 až 60 mA. Nicméně již při proudu kolem 35 mA bude překročeno maximální povolené výstupní napětí pro úroveň L (zmiňovaných 0,4 V). Výstupní

charakteristika pro úroveň L souvisí s výstupní charakteristikou tranzistoru T_4 , který má v běžné pracovní oblasti odpor asi 10 až 20 Ω a úbytek napětí naprázdno asi 100 mV. Pro proudy větší než 50 mA se začíná výstupní napětí strmě zvětšovat.

Výstupní charakteristika pro úroveň H, jejíž průběh je na obr. 58, je při malých zatěžovacích proudech I_{OH} (asi do 5 mA) ovlivněna vlastnostmi tranzistoru T_3 , který pracuje v aktivní oblasti jako emitorový sledovač. Pro větší proudy už sklon charakteristiky odpovídá omezovacímu rezistoru R_4 , který má v našem případě odpor asi 130 Ω . Z charakteristiky je patrné, že zkratový proud je zhruba 30 mA. Dále vidíme, že při proudu větším než přibližně 10 mA se výstupní napětí zmenší pod 2,4 V, což je u logických obvodů TTL minimální výstupní napětí při úrovni H.

Z uvedených charakteristik je patrné, že pro zajištění odpovídajících výstupních napětí je nutné, aby výstupní proud při úrovni L nepřekročil 35 mA a při úrovni H 10 mA. Velikosti výstupních proudů udávaných výrobcem jsou však podstatně menší. Pro standardní řadu TTL je $I_{OH} = 0,4$ mA a $I_{OL} = 16$ mA. Doporučené výstupní proudy u dalších modifikací obvodů TTL shrnuje tabulka 32.

Na obr. 59 jsou pro srovnání vyobrazeny výstupní charakteristiky hradel některých dalších řad logických obvodů TTL. Charakteristiky pro obě úrovně jsou zobrazeny v jednom grafu, přičemž záporné proudy představují proud I_{OL} , zatímco kladné proudy představují proud I_{OH} . V pravé části grafu naleznete výstupní charakteristiky pro úroveň H tak, jak je uvedena na obr. 58. Výstupní charakteristiky pro úroveň L v levé části grafu jsou na rozdíl od obr. 57 zobrazeny inverzně. Z uvedených průběhů lze snadno vyčíst přibližné maximální výstupní proudy, zkratové proudy a celkové chování výstupní části obvodu. Ačkoliv obvody obvykle snesou o něco málo větší výstupní proudy než ty, které jsou doporučeny výrobcem v tab. 32, je třeba si uvědomit, že se obvod může trvale poškodit. Zejména je nutno se vyvarovat přetěžování výstupů u více hradel na stejném čipu.

Digitální technika a logické obvody

Logický zisk

V minulých dvou dílech jsme se podrobněji seznámili se vstupními a výstupními parametry logických obvodů TTL. Viděli jsme, že vstupní proud u bipolárních obvodů TTL není nijak zanedbatelný a v závislosti na konkrétní modifikaci se pohybuje okolo 1 mA pro úroveň L a pro úroveň H v řádu desítek mikroampérů. Tento fakt nás limituje v počtu vstupů, které můžeme připojit k jednomu výstupu logického obvodu. Jak jsme si totiž ukázali na výstupních charakteristikách obvodů TTL (obr. 57, 58 a 59, v PE12/2004), je možné výstup logického obvodu zatížit pouze určitým maximálním proudem, při jehož překročení nejsou zaručeny odpovídající napěťové úrovně logických stavů. To může vést k nestabilitě zapojení nebo při větším zatížení dokonce k poškození integrovaného obvodu.

Informaci o zatížitelnosti obvodu v podobě počtu vstupů (resp. tzv. jednotkových zátěží daných proudy I_{IL} a I_{IH}), které lze připojit k jednomu výstupu logického obvodu stejné řady, udává tzv. logický zisk. Získáme ho snadno jako podíl výstupního proudu I_O a vstupního proudu I_I , tedy $N_H = I_{OH} / I_{IH}$ a $N_L = I_{OL} / I_{IL}$. Pro standardní řadu TTL je $N_H = 0,4 \text{ mA} / 0,04 \text{ mA} = 10$ a $N_L = 16 \text{ mA} / 1,6 \text{ mA} = 10$. Srovnání logických zisků u různých modifikací obvodů TTL nabízí tabulka 33. Ačkoliv je zřejmé, že je obecně logický zisk pro úroveň L a H různý, a v tabulce 33 jsou uvedeny pro srovnání oba tyto údaje, obvykle se uvádí pouze jedna hodnota odpovídající menšímu z obou údajů, což blíže odpovídá definici lo-

Tab. 33. Logický zisk obvodů TTL různých modifikací

Typ	74	LS	S	AS	ALS	F
Logický zisk při úrovni L – N_L	10	20	10	40	80	33
Logický zisk při úrovni H – N_H	10	20	20	100	20	50

gického zisku. Téměř vždy totiž pracujeme s oběma logickými úrovněmi.

Podobnou tabulku můžeme sestavit též pro vzájemnou zatížitelnost hradel různých technologií (tab. 34). Z tabulky jsou jasně patrné některé méně vhodné kombinace. V této souvislosti je vhodné zmínit, že na vstupech některých složitějších obvodů může být integrováno více hradel, která využívají stejný vstupní signál. V takovém případě, není-li ve struktuře obvodu použito oddělovače, může obvod představovat zátěž větší než jednotkovou. Na druhou stranu jsme si v minulém díle ukázali, že obvody často disponují určitou rezervou a jsou schopny dodat o něco větší proud, než je uváděn výrobcem. V případě potřeby je také možno použít některá výkonová hradla se zvětšeným logickým ziskem (např. 7440, $N = 30$).

Omezené možnosti zatížení výstupu obvodu je třeba mít na paměti zejména v případech, kdy k obvodu připojujeme nějakou další zátěž. Zapojíme-li na výstup například indikační LED a necháme jí protékat proud 20 mA, což již samo o sobě znamená překročení katalogových údajů pro výstupní proud při úrovni L, nelze očekávat, že bychom mohli stejný výstup ještě použít jako zdroj logického signálu pro další obvody.

Odběr logického obvodu

Spotřeba bipolárních obvodů v klidovém stavu je v porovnání s obvody unipolárními o tři až čtyři řády větší. Srovnání typického příkonu obvodů různých technologií ukazuje obr. 60. Menší spotřeba však byla zejména

Tab. 34. Vzájemná zatížitelnost hradel různých technologií

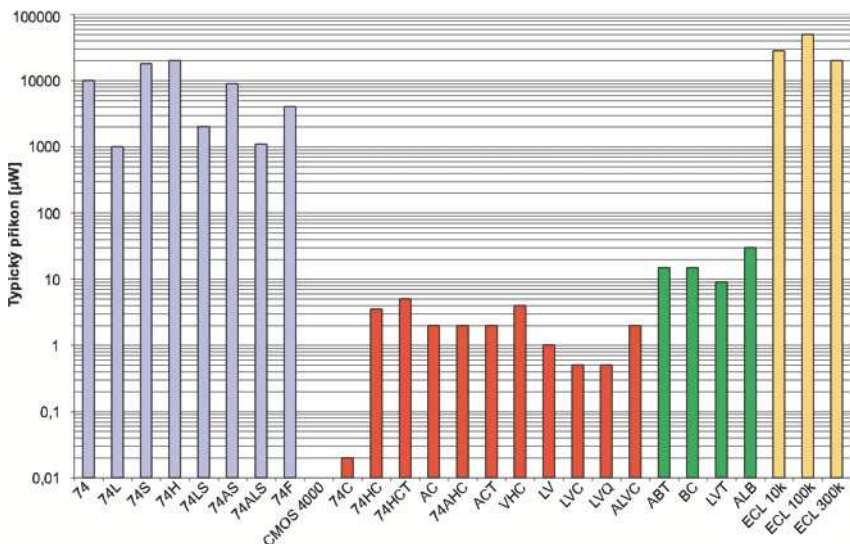
vstup \ výstup	74	LS	S	AS	ALS	F
74	10	20	8	20	20	20
LS	5	20	4	16	20	20
S	12	50	10	40	50	50
AS	12	50	10	40	100	32
ALS	5	20	4	16	20	13
F	12	50	10	40	50	33

u prvních řad unipolárních obvodů vykoupena podstatně menší rychlostí. (Srovnání logických obvodů podle rychlosti a spotřeby viz obr. 51, PE10/2004.)

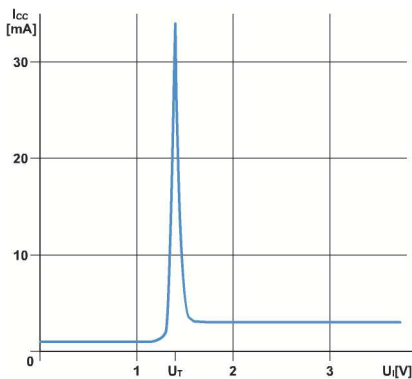
Graf na obrázku 61 ukazuje zvětšený odběr proudu, který lze pozorovat při překlápění obvodu z jedné logické úrovně do druhé. V okolí napětí U_T totiž nastává situace, kdy všechny tranzistory pracují v aktivní oblasti. Po krátkou dobu jsou otevřeny oba výstupní tranzistory T_3 i T_4 a proud tekoucí koncovým stupněm je omezen pouze rezistorem R_4 (viz schéma hradla – obr. 54, PE 11/2004). Tato proudová špička, která trvá méně než 10 ns, představuje podstatný zdroj rušení. Co nejbližší napájecím vývodům integrovaného obvodu proto zařazujeme kondenzátor, který je schopen krátkodobou zvětšenou spotřebu pokrýt. Větší odběr proudu při překlápění obvodu má za následek také nárůst ztrátového výkonu při vyšších pracovních kmitočtech. Zatímco se u bipolárních obvodů začíná zvětšený odběr proudu projevovat až při kmitočtech kolem 1 MHz, u obvodů CMOS se spotřeba zvětšuje postupně a při kmitočtech okolo 1 MHz je již jejich ztrátový výkon srovnatelný s bipolárními obvody.

Vít Špringl

(Pokračování příště)



Obr. 60. Srovnání příkonu u různých řad logických obvodů



Obr. 61. Odběrová charakteristika při překlápění obvodu (hradlo NAND standardní řady TTL)

Digitální technika a logické obvody

Dynamické parametry

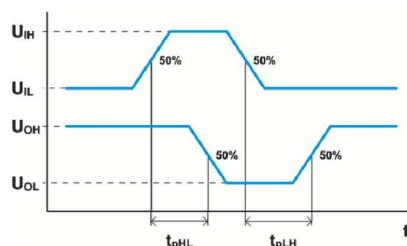
Poté, co jsme se seznámili se statickými parametry obvodů TTL (převodní a vstupní charakteristikou v čísle 11/2004, výstupními charakteristikami v PE12/2004 a s logickým ziskem a odběrem v minulém čísle), se blíže podíváme na parametry dynamické. Bude nás zajímat zejména zpoždění, se kterým reaguje výstup hradla na změnu vstupního signálu, ale též časové parametry výstupního signálu, například délka náběžné a závěrné hrany. Nežli však přikročíme k popisu konkrétních parametrů obvodů TTL, bude vhodné si říci něco málo o vlastnostech impulsů obecně.

Logické signály jsme si až doposud zobrazovali vždy s ideálními pravouhlými náběžnými a závěrnými hranami, tak jako na obr. 62a. Ve skutečnosti je však jejich tvar ovlivněn mnoha faktory a k ideálnímu pravouhlému průběhu má nezdávka velmi daleko. Požadavek na signál s pravouhlými hranami je navíc z fyzikálního hlediska nesmyslný, protože ke změně napětí, proudu nebo jakékoliv jiné fyzikální veličiny je vždy potřebný nějaký čas. S parametry ideálního impulsu (obr. 62a) je to vcelku snadné – jednoduše určíme délku impulsu jako dobu mezi

náběžnou a spádovou hranou, možná nás bude zajímat ještě jeho amplituda U_M , kterou měříme od základny impulsu, jak je patrné z obrázku, a jsme hotovi. V reálném případě však obvykle z výstupu logického obvodu získáme impuls, který se svým průběhem bude podobat spíše křivce na obr. 62b. Tento signál již nemá ideálně strmé hrany a jejich délku je třeba definovat. Délka náběžné hrany t_N je vymezena časem, kdy impuls dosáhne 10 % a 90 % hodnoty U_M . Zcela obdobně je definována i délka závěrné hrany t_D , jak je patrné z obr. 62.

Důležitým parametrem je dále délka impulsu t_i , která je definována jako časový úsek mezi okamžiky, kdy náběžná a spádová hrana impulsu dosáhnou padesáti procent amplitudy U_M . Na konci náběžné nebo spádové hrany se dále může objevit překmit, jehož velikost určujeme v procentech U_M . Kromě délky náběžné a závěrné hrany se někdy též udává doba počátečního zpoždění t_p , která je definována jako čas, za který impuls dosáhne 10 % amplitudy U_M (obvykle lze zanedbat).

Z dynamických parametrů logických obvodů nás bude zajímat, jak jsme se již zmínili, kromě strmosti hran jejich výstupních signálů zejména jejich zpoždění. Jedná se o časovou prodlevu, se kterou reaguje výstup obvodu na změnu vstupní logické úrovně. Zpoždění signálu při průchodu logickým obvodem je způsobeno zejména přesycováním tranzistorů a kapacitami přechodů (vzpomeňte si na popis rychlých obvodů ECL, které nepracují



Obr. 63. Dynamické parametry – zpoždění hradla

s tranzistory v nasyceném stavu, a novějších modifikací obvodů TTL, u kterých byly vhodnou výrobní technologií zmenšeny parazitní kapacity přechodů p-n). Doba zpoždění je velice důležitý parametr, kterým je určena rychlost hradla a tím i jeho maximální pracovní kmitočet.

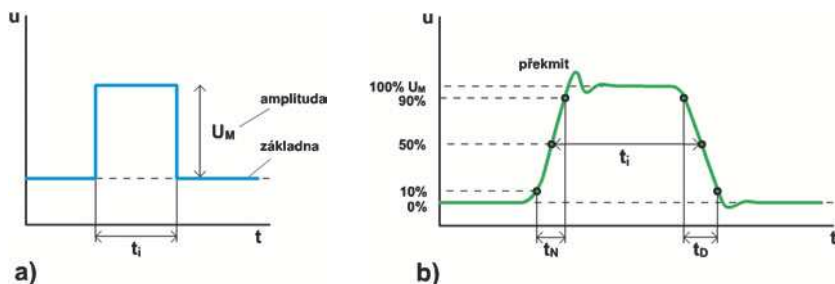
Parametry logických obvodů jsme si v předchozích dílech demonstrovali na hradle NAND 7400 (standardní řada TTL). Nejinak tomu bude i v tomto případě. Uvažujeme-li hradlo zapojené jako invertor, bude výstup obvodu reagovat na změny na vstupu přesně opačně. Při náběžné hraně dojde ke změně výstupní úrovně z H do L a naopak. Zpoždění hradla se určuje způsobem, který je naznačen na obrázku 63. Podobně jako při stanovení délky impulsu vycházíme z časových okamžiků, kdy impuls dosáhne úrovně 50 % z jeho amplitudy U_M . Doby zpoždění hradla pro změnu výstupu z H → L (t_{pHL}) a z L → H (t_{pLH}) jsou obecně různé, přičemž je obvykle $t_{pLH} > t_{pHL}$. To souvisí s tím, že jsou v době, kdy je na výstupu logická úroveň L, saturovány tři tranzistory a trvá delší dobu, než se uzavřou. Maximální doby zpoždění uváděné výrobcem pro standardní řadu jsou: $t_{pHL} < 15$ ns a $t_{pLH} < 22$ ns. Typické hodnoty jsou: $t_{pHL} = 7$ ns a $t_{pLH} = 11$ ns. V katalogích se často uvádí pouze jeden údaj – doba průchodu t_{pd} , která se získá jako průměr z obou hodnot. Doby zpoždění u různých modifikací bipolárních obvodů TTL najdete v tabulce 35. Pro srovnání jsou v tabulce 36 uvedeny hodnoty zpoždění některých obvodů vyrobených technologií CMOS nebo BiCMOS.

Délka náběžné a spádové hrany výstupu závisí na kvalitě vstupního signálu a liší se u různých modifikací nebo dokonce u stejných obvodů od různých výrobců. Při ideálním vstupním průběhu by měly být kratší než 10 ns, typická hodnota je kolem 5 ns.

Jak již bylo zmíněno, s uvedenými dobami zpoždění úzce souvisí také další důležitý parametr, kterým je mezní pracovní kmitočet. U standardní řady bývá udávána hodnota 30 MHz, nicméně u obvodů vyspělejších technologií bývá mezní kmitočet i desetinásobně vyšší.

Na obr. 64 je pro ilustraci vyobrazen skutečný průběh výstupního impulsu hradla 7400 při reálných podmínkách. Z grafu si snadno zjistíte všechny výše uvedené parametry. Vidíte, že ani vstupní impuls není ideální, jak je v reálných podmínkách obvyklé, a že se zpoždění hradla v tomto konkrétním případě pohybují na maximálních hranicích udávaných výrobcem.

Vít Špringl
(Pokračování příště)



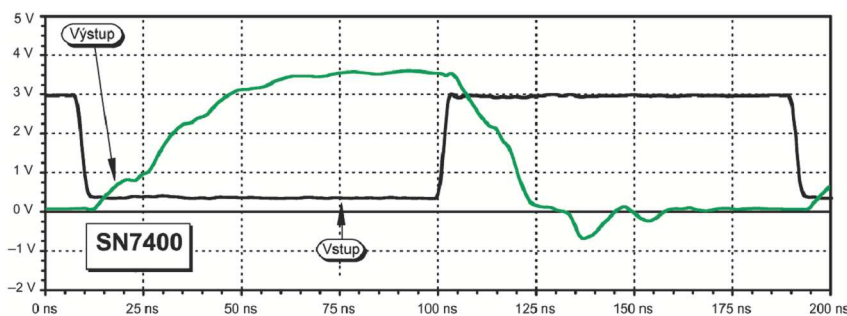
Obr. 62. Parametry impulsů – a) ideální průběh, b) reálný průběh

Tab. 35. Doby zpoždění u bipolárních hradel TTL různých technologií

Typ	7400	LS	S	AS	ALS	F
t_{pLH} [ns]	11	9	3	4,8	1,7	3,3
t_{pHL} [ns]	7	10	3	3,2	1,7	2,8
t_{pd} [ns]	9	9	3	4	1,7	3

Tab. 36. Doby zpoždění u vybraných hradel CMOS a BiCMOS

Typ	4000	HCT	AC	ACT	ACTQ	LVC	ALVC	AHC	ABT	ALB
t_{pd} [ns]	25	8	5,5	8	8	3,3	2,2	3,5	3,6	2



Obr. 64. Průběh výstupního signálu u hradla NAND 7400 (standardní řada)

Digitální technika a logické obvody

Šumová imunita

Signály, které jsou přenášeny mezi logickými obvody, podléhají různým rušením. Ta mohou být způsobena například náhodnými změnami napájecího napětí, změnou zátěže, parazitními impulsy nebo indukci rušivých napětí. V případě intenzivního rušení se může natolik změnit vstupní napětí, že způsobí překlopení hradla. Bude-li se jednat o klíčový signál nějakého sekvencního obvodu, může být vážně narušena funkce celého zapojení. Odolnost obvodů TTL vůči rušivým signálům vyjadřuje tzv. šumová imunita. Vzpomeneme-li si na některé základní parametry obvodů TTL týkající se mezních hodnot vstupních a výstupních napětí, snadno vypočteme tzv. garantovanou šumovou imunitu. Ta je definována pro úroveň L jako rozdíl

$$U_{ILmax} - U_{OLmax} = 0,8 \text{ V} - 0,4 \text{ V} = 0,4 \text{ V}$$

a obdobně pro úroveň H jako

$$U_{OHmin} - U_{IHmin} = 2,4 \text{ V} - 2,0 \text{ V} = 0,4 \text{ V}.$$

Garantovaná šumová imunita udává maximální velikost rušivého napětí superponovaného na signál přenášený mezi logickými obvody, při kterém je výrobcem zaručena bezchybná funkčnost obvodu.

V praxi se nicméně ukazuje, že počítání s mezními katalogovými údaji dává až příliš pesimistické výsledky. Proto se namísto garantované šumové imunity často používá tzv. typická šumová imunita. Ta nevychází z mezních, nýbrž z typických hodnot výstupních napětí, která jsou $U_{OHTyp} = 3,4 \text{ V}$ a $U_{OLTyp} = 0,2 \text{ V}$. Hradlo se navíc překlopí až při napětí blízkém rozhodovací úrovni U_T , která je u obvodů TTL přibližně $1,4 \text{ V}$ (přesná hodnota závisí na teplotě, konkrétním typu a též na směru překlápění). Z výše uvedených údajů již můžeme snadno vypočítat typickou šumovou imunitu pro stav H jako

$$U_{OHTyp} - U_T = 3,4 \text{ V} - 1,4 \text{ V} = 2 \text{ V}$$

a pro stav L jako

$$U_T - U_{OLTyp} = 1,4 \text{ V} - 0,2 \text{ V} = 1,2 \text{ V}.$$

Typy výstupních obvodů

Vnitřní zapojení hradla NAND standardní řady TTL jsme si v předchozích dílech zobrazovali s jeho typickou výstupní strukturou (tvořenou tranzistory T_3 a T_4 , rezistorem R_4 a diodou D – viz obr. 65), která bývá označována jako totem-pole. (Pozn.: Podrobný popis vnitřního zapojení hradla NAND a jeho funkce naleznete v PE 11/2004.) Kromě tohoto standardního řešení

s logickým ziskem $N = 10$ jsou vyráběny též obvody se zvýšeným logickým ziskem, obvody s otevřeným kolektorem a obvody s třístavovým výstupem, o nichž se nyní stručně zmíníme.

Obvody se zvýšeným logickým ziskem používáme v případech, kdy požadujeme větší výstupní proud, než poskytují standardní obvody TTL. Jak je patrné z obr. 66, tranzistor T_3 je na rozdíl od základního zapojení buzen pomocným tranzistorem T_5 , se kterým vytváří Darlingtonův stupeň s větším proudovým zesílením. Současně byl zmenšen odpor rezistoru R_4 na 100Ω . Tyto úpravy vedly k trojnásobnému zvýšení logického zisku na $N = 30$.

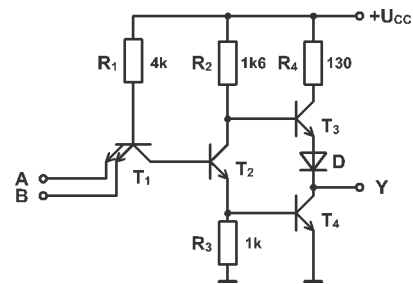
Na obr. 67 je zobrazeno vnitřní zapojení hradla NAND s výstupem s otevřeným kolektorem. Na první pohled je vidět, že oproti základnímu zapojení z obr. 65 ubyl tranzistor T_3 spolu s rezistorem R_4 , přivádějící na výstup kladné napětí. Místo úrovně H tak bude výstup obvodu bez napětí a bude se chovat jako odpojený. V takovém případě říkáme, že se nachází ve stavu vysoké impedance. Požadujeme-li na výstupu úroveň H, musíme ji zajistit externím rezistorem R_Z způsobem naznačeným na obr. 67. Zásadní výhodou obvodů s otevřeným kolektorem je, že můžeme jejich výstupy bez následků spojit. Připojením několika výstupů ke stejnému zatěžovacímu rezistoru R_Z můžeme jednoduše realizovat funkci logického součinu. Rezistor R_Z silně ovlivňuje vlastnosti výstupu a jeho velikost musí být zvolena s ohledem na zachování příslušných rozsahů napětí definovaných pro logické úrovně H a L. Ve stavu H protéká rezistorem R_Z zbytkový výstupní proud uzavřeného tranzistoru T_4 a proud zátěže (tvořené např. vstupy dalších hradel). Protože by výstupní napětí při úrovni H nemělo klesnout pod $2,4 \text{ V}$, součet zmíněných proudů nesmí na rezistoru R_Z vytvořit úbytek napětí větší než $(U_{CC} - 2,4 \text{ V})$. Maximální odpor rezistoru R_Z tedy můžeme vypočítat ze vztahu

$$R_{Zmax} = (U_{CC} - 2,4) / I_{celk}$$

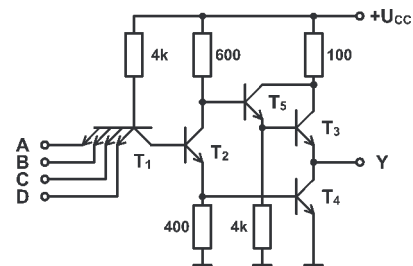
Ve stavu L naopak součet proudů protékajícího rezistorem R_Z a zátěží nesmí překročit maximální povolený výstupní proud hradla, který je v případě standardní řady $I_{OLmax} = 16 \text{ mA}$. Pro minimální odpor rezistoru R_Z tedy platí:

$$R_{Zmin} = (U_{CC} - 0,4) / (0,016 - I_{zátěž})$$

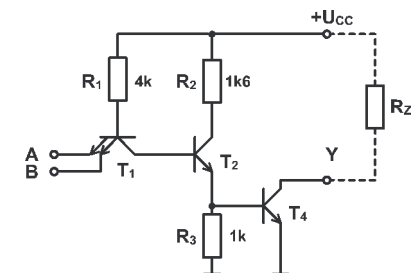
Je-li úroveň H zajišťována externím rezistorem, je třeba počítat s většími dobami zpoždění. S ohledem na dynamické vlastnosti je vhodné navzdory většímu odběru celého zapojení volit odpor rezistoru R_Z spíše menší (tj. v blízkosti R_{Zmin}). V nabídce integrovaných obvodů TTL lze najít i hradla s otevřeným kolektorem, která disponují větším logickým ziskem; v některých případech lze dokonce připojit zátěž na větší spínací napětí (až 30 V). Obvody s otevřeným kolektorem se ně-



Obr. 65. Zapojení hradla NAND 7400 standardní řady TTL



Obr. 66. Zapojení hradla NAND se zvýšeným logickým ziskem (7440)



Obr. 67. Zapojení hradla NAND s výstupem s otevřeným kolektorem (7403)

kdy značí křížkem ve výstupní části schematické značky nebo písmeny OC.

Zatímco v předešlém zapojení s otevřeným kolektorem jsme mohli na výstupu obdržet buď nízké napětí odpovídající logické úrovni L, nebo stav vysoké impedance, v případě obvodů s tzv. třístavovým výstupem je možné, jak již název napovídá, na výstupu dostat kromě obou logických úrovní H i L též stav vysoké impedance. Struktura výstupní části je v tomto případě podobná standardnímu zapojení z obr. 65, navíc je však možné uvést oba výstupní tranzistory do nevodivého stavu. Podobně jako v předchozím případě mohou být i třístavové výstupy různých obvodů spojeny, řídicí logika ovšem musí zajistit, aby byl v daném okamžiku aktivní vždy pouze jeden obvod a ostatní se nacházely ve stavu vysoké impedance. Ovládání výstupu je řízeno samostatným vstupem, který je obvykle označován OE (Output Enable). Obvody s třístavovými výstupy se nejčastěji používají pro připojení k signálové sběrnici. Oproti obvodům s otevřeným kolektorem nepotřebují externí rezistor R_Z pro zajištění úrovně H a jejich výstupy jsou podstatně rychlejší.

Vít Springl
(Pokračování příště)

Digitální technika a logické obvody

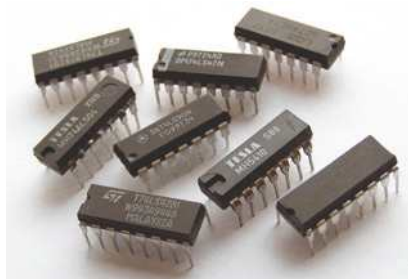
Logické obvody v praxi

Až doposud jsme se zabývali logickými obvody pouze z teoretického hlediska. Popsali jsme si jejich vnitřní zapojení, uvedli si všechny jejich nejdůležitější charakteristiky a parametry a provedli jsme srovnání logických obvodů různých technologií. Mnozí mi však dáte za pravdu, že bude zajímavější si všechny ty teoretické znalosti ověřit v praxi. V následujících dílech si proto představíme různé kombinace a sekvenční logické obvody a vyzkoušíme si jejich funkce v praktických zapojeních.

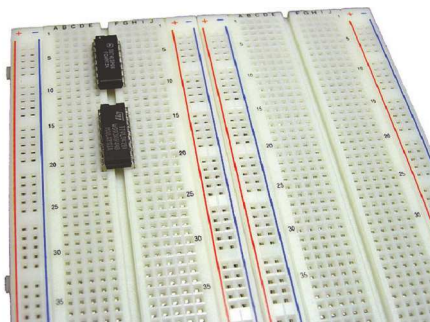
Abychom se však mohli přesunout od teorie k praxi, budeme potřebovat určité nezbytné vybavení našeho pracoviště. Neobejdeme se bez prostředku, na kterém budeme moci testovat naše zapojení, a také bez napájecího zdroje pro integrované obvody. Dále přijde vhod nějaký měřicí přístroj a popř. sada základního nářadí.

Jak vypadá takový integrovaný logický obvod, je předpokládám i v elektronice začínajícím čtenářům známo. Jedná se o malou černou krabičku s několika výstupy. Ačkoliv může mít pouzdro integrovaného obvodu různý tvar, my budeme téměř výhradně používat obvody, které vidíte na obr. 68. Co se týče dalších součástek, neobejdeme se bez několika rezistorů, několika svítivých diod – LED, které nám podají vizuální informaci o stavech výstupů, a později přibude i nějaký ten kondenzátor, displej LED apod.

Ve finálních zapojeních jsou všechny tyto elektronické součástky pevně připájeny k desce s plošnými spoji. V našem případě ovšem budeme chtít zapojení různě modifikovat, a tudíž potřebujeme nějaký prostředek, který nám umožní součástky jednoduše pospojovat a stejně jednoduše je také rozpojit. K tomuto účelu slouží tzv. nepájivé kontaktní pole. Jedná se o desku s mnoha malými otvory, do kterých se zasunují vývody součástek a propojovací vodiče. Vzdálenost otvorů odpovídá rozteči pinů integrovaných obvodů (2,54 mm). Příklad dvojitého nepájivého kontaktního pole s postranními napájecími lištami, které



Obr. 68. Integrované obvody TTL

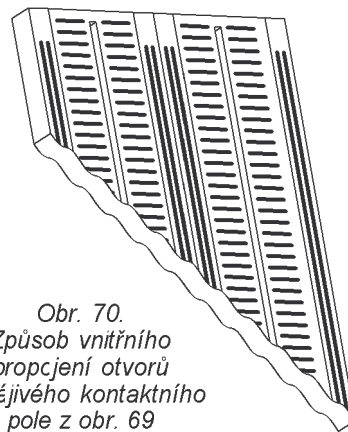


Obr. 69. Nepájivé kontaktní pole

bude vhodné k našim pokusům, můžete vidět na obr. 69. Otvory jsou uvnitř vodivě propojeny pružnými kontaktními lištami způsobem zobrazeným na obr. 70. Propojovací vodiče si můžete vyrobit sami z plného izolovaného drátu o vhodném průměru, popř. je možné zakoupit sadu propojovacích drátů určených přímo pro práci s nepájivým kontaktním polem (např. v PS electronic za 160 Kč). Pro větší přehlednost doporučuji použít vodiče různých barev a různých délek. Drát musí mít dostatečný průměr, aby pevně držel v kontaktním poli, zároveň však nesmí být příliš tlustý, aby zbytečně nedeformoval vnitřní kontaktní lišty.

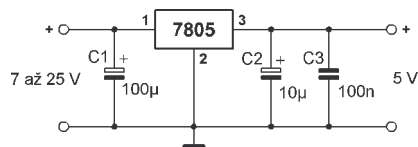
Alternativou k nepájivému kontaktnímu poli je univerzální deska s plošnými spoji. Je to jednostranně plátovaná nevrtnaná kupřexitová deska s plošným spojem připraveným k připájení objímek, do kterých se zasunují integrované obvody, a s volnými ploškami, které slouží k připájení součástek. Práce s univerzální deskou s plošnými spoji je nepochybně méně pohodlná vzhledem k tomu, že se součástky a propojovací vodiče musejí k desce připájet. Na rozdíl od nepájivého kontaktního pole je však méně náchylná k neopatrné manipulaci, která může způsobit vysunutí propojky z kontaktního pole. Univerzální desku s plošnými spoji bych nicméně doporučil pouze těm, kteří se chtějí procvičit v pájení nebo si chtějí vyzkoušet takovou desku vyrobit sami. Návrh velice jednoduché desky plošných spojů pro pokusy s logickými obvody je uveden např. v knize Digitální technika od Václava Maliny. Použit lze též některé univerzální desky prodávané v obchodech.

Další nepostradatelnou součástí našeho pracoviště je napájecí zdroj. Standardní bipolární logické obvody TTL, se kterými budeme pracovat, vyžadují stabilizované napájecí napětí 5 V \pm 0,25 V. Tyto obvody nesou označení 74xxx (např. 74LS90, 7404, 74S47 apod.) a mohou pracovat v rozsahu teplot 0 až 70 °C. Kromě nich se vyrábějí též logické obvody značené 54xxx, které se liší větším rozsahem napájecího napětí (4,5 až 5,5 V) a větším rozsahem pracovních teplot (-55 až +125 °C). Zdroj pro napájení logických obvodů si můžete vyrobit sami, ale tuto možnost nelze doporučit začátečníkům vzhledem

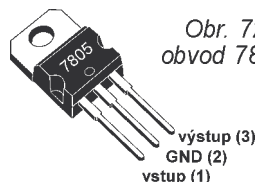


Obr. 70. Způsob vnitřního propojení otvorů nepájivého kontaktního pole z obr. 69

k možnému úrazu elektrickým proudem. Nejjednodušší variantou je použít továrně vyrobený nestabilizovaný zdroj stejnosměrného napětí a doplnit jej integrovaným stabilizátorem 7805. V zásadě je možné použít jakýkoliv běžný transformátorový zdroj, který dodává stejnosměrné napětí mezi 7 až 25 V a jehož maximální výstupní proud je alespoň 300 mA (ačkoliv pro začátek postačí i slabší zdroj). Integrovaný obvod 7805 účinně stabilizuje vstupní napětí v rozsahu 7 až 35 V na 5 V s přesností \pm 0,25 V, což právě vyhovuje našim požadavkům. V praxi je odchylka výstupního napětí obvykle menší než 0,1 V. Obvod je vybaven ochranou proti zkratům a přehřátí a jeho maximální výstupní proud je 1,5 A. Jak je patrné z obr. 71, schéma celého stabilizátoru s obvodem 7805 je velice jednoduché a v podstatě stačí přidat pouze tři kondenzátory. Je možné jej postavit například na univerzální desce s plošnými spoji nebo si navrhnout desku vlastní. V krajním případě lze stabilizátor postavit i přímo na nepájivém kontaktním poli. Pro proudy větší než 150 mA počítejte s nutností použít přídavný chladič, který přišroubujete k pouzdru integrovaného obvodu. Jako nouzové řešení můžeme pro začátek použít místo napájecího zdroje i plochou baterii. Ta sice teoreticky neposkytuje dostatečné napětí pro napájení logických obvodů, jednoduchá zapojení vám však fungovat budou.



Obr. 71. Zapojení stabilizátoru napětí (C1 je elektrolytický kondenzátor 100 µF/35 V, C2 elektrolytický kondenzátor 10 µF/10 V a C3 keramický kondenzátor 100 nF)



Obr. 72. Integrovaný obvod 7805 – rozmístění vývodů

Vít Špringl
(Pokračování příště)

Digitální technika a logické obvody

Logické obvody v praxi

Ačkoliv k indikaci logických úrovní dobře poslouží svítivé diody, zejména v případě hledání poruchy se neobejdeme bez měřicího přístroje. V základní výbavě by neměl chybět digitální, popř. analogový multimetr, kterým můžeme měřit stejnosměrná a střídavá napětí a proudy, odpor a často ho lze použít i jako akustický zkratoměr nebo při testování diod a tranzistorů. Digitální multimetry jsou levné, relativně přesné a mají dostatečný vstupní odpor. Nevýhodou je jejich pomalá odezva. To však není jediný důvod, proč není multimetr, nahlédě na to, zda digitální či analogový, tím pravým nástrojem pro práci s číslicovými obvody. U nich nás totiž obvykle více zajímá informace o logické úrovni než přesná hodnota napětí. K tomuto účelu slouží tzv. logické sondy. Ty jsou schopny pomocí jednoduché světelné signalizace okamžitě sdělit, zda se jedná o logickou úroveň H, L nebo neurčitý stav. Běžně též umí prodlužovat velmi krátké impulsy, které by byly jinak okem nepostřehnutelné. Logická sonda značně zjednodušuje práci s číslicovými obvody. Na rozdíl od voltmetru nám sdělí požadovanou informaci o logické úrovni okamžitě, nenuťtí nás se soustředit na údaj na displeji voltmetru a lze ji použít i pro rychle se měnící signály. To ovšem neznamená, že se bez ní neobejdete. U jednoduchých zapojení, ve kterých se rychle nemění logická úroveň, si stejně dobře vystačíme pro začátek i s voltmetrem.

Dalším užitečným přístrojem je generátor signálu s obdélníkovým průběhem. Ten využijeme při práci se sekvenčními obvody, např. čítači nebo posuvnými registry. Pro naše účely postačí velice jednoduchý generátor tvořený několika hradly, který si sami později postavíme.

Co se nářadí týče, budou se hodit zejména ploché a štípací kleště, pinzeta pro práci s integrovanými obvody, nůž a nějaké šroubováky. Budete-li si chtít nějaké zapojení postavit na desce s plošnými spoji, neobejdete se navíc bez páječky. Velice pohodlná je práce s mikropáječkou s regulátorem teploty, ve většině případů však stejně dobře poslouží i mnohem levnější klasická transformátorová páječka. Ta ovšem není vhodná pro pájení integrovaných obvodů CMOS.

První seznámení s integrovaným obvodem TTL

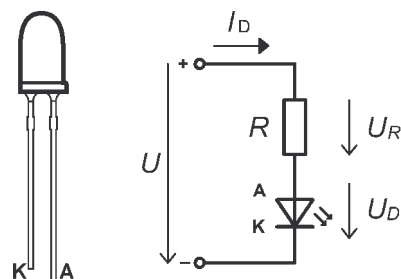
Máte-li připraveno potřebné vybavení, zejména nepájivé kontaktní pole

a napájecí zdroj, zbývá již jen obstarat si nezbytné součástky a můžeme se pustit do zapojování. Pro začátek budeme skromní a vystačíme si s jedním integrovaným obvodem 7400 a svítivou diodou (LED) s předřadným rezistorem s odporem 330 Ω.

Integrovaný obvod TTL 7400, v němž se ukrývají čtyři dvouvstupová hradla NAND, je nám již důvěrně známý z předchozích dílů. Všechny důležité parametry obvodů TTL jsme totiž demonstrovali právě na tomto obvodu (např. převodní a vstupní charakteristiku v PE 11/2004 nebo výstupní charakteristiku v PE 12/2004). Pro naše pokusy je možné použít jakoukoliv bipolární verzi obvodu (tedy 7400, 74LS00, 74S00, 74AS00, 74ALS00 nebo 74F00). Nekupujte unipolární obvody 74HC00, 74HCT00 a jim podobné, které mají určité specifické vlastnosti, o kterých se zmíníme později. V následujících zapojeních byl použit integrovaný obvod TESLA MH7400, který již sice v obchodech běžně nekoupíte, možná jej však najdete někde doma zahrabaný v šuplíku.

Dvouvstupová hradla NAND realizují funkci negovaného logického součinu $Y = \overline{A \cdot B}$. Připomeňme, že výsledkem funkce AND je log. 1 pouze v případě, kdy jsou hodnoty všech vstupních proměnných rovny jedné. U logické funkce NAND tomu je přesně naopak a výsledkem bude „jednička“ vždy, kdy bude alespoň jeden ze vstupů „nulový“. Význam funkce NAND (stejně jako funkce NOR) spočívá v tom, že je možné s její pomocí realizovat jakoukoliv logickou funkci. Jinými slovy, při sestavování jakéhokoliv kombinačního obvodu si teoreticky vystačíme pouze s hradly NAND (nebo NOR). Více informací o elementárních logických funkcích a základech Booleovy algebry naleznete v PE 2 a 3/2003. O logických funkcích NAND a NOR a kombinačních logických obvodech obecně se dočtete více v PE 7/2003 až 1/2004.

Nyní již můžeme přikročit k vlastnímu zapojování na nepájivém kontaktním poli. První úkol bude velice jednoduchý, a to ověřit funkci hradla NAND. Ačkoliv bychom mohli informací o výstupní úrovni získat prostřednictvím logické sondy nebo voltmetru, nejjednodušší bude použít svítivou diodu. Jak takovou diodu zapojit? V prvé řadě je třeba si dát pozor na polaritu připojeného napětí. Chceme-li, aby LED svítila, je nutné připojit anodu na kladnější potenciál než katodu. Katodu poznáme tak, že je její vývod kratší. Pouzdro bývá navíc na straně katody seříznuto, jak je patrné z obrázku 73. Pokud by obě tyto metody selhaly, podívejte se skrz průhledné pouzdro, katoda je u běžných diod větší než anoda. Úbytek napětí na LED se pohybuje kolem 2 V a závisí na její barvě a typu (červená asi 1,8 V,



Obr. 73 a 74. Pouzdro LED a způsob zapojení LED s omezovacím rezistorem R, jehož odpor lze vypočítat ze vztahu $R = (U - U_D)/I_D$

žlutá asi 2 V, zelená asi 2,1 V, modrá a bílá asi 3,5 V). Svít diody závisí na proudu, který jí protéká. Maximální proud se u běžných typů pohybuje okolo 20 až 40 mA, obvykle se používá proud 20 mA. Vyrábějí se však i LED s malým příkonem, které se napájejí proudem pouze 2 mA. Pro omezení protékajícího proudu na požadovanou velikost je nutné do série s LED zapojit rezistor, jehož odpor vypočítáme ze vztahu:

$$R = \frac{U_R}{I_D} = \frac{U - U_D}{I_D},$$

kde U_R je úbytek napětí na předřadném rezistoru a U_D je úbytek napětí na diodě (viz obr. 74). Nadměrným proudem můžete svítivou diodu okamžitě „odpálit“ nebo radikálně zkrátit její životnost.

Když již víme, jak LED diody zapojovat, pokuste se zodpovědět následující otázky:

1. Můžeme zapojit mezi výstup logického obvodu a kladné napájecí napětí LED s předřadným rezistorem? Jaký bude odpor rezistoru? Je možné z výstupu odebírat logický signál? Při jaké logické úrovni bude LED svítit?

2. Můžeme obdobným způsobem zapojit LED mezi výstup logického obvodu a zem? Jaký bude v tomto případě odpor předřadného rezistoru?

Chceme-li na výstup logického obvodu zapojit další součástky (LED, tranzistory, integrované obvody apod.), je vždy potřeba vzít v úvahu maximální povolený výstupní proud hradla. (Pozn.: Tabulka s doporučenými maximálními výstupními proudy bipolárních obvodů TTL spolu s jejich výstupními charakteristikami je uvedena v PE 12/2004.) LED zapojená spolu s předřadným rezistorem mezi výstup obvodu a kladné napájecí napětí U_{CC} bude sloužit jako indikátor logické úrovně L. Maximální výstupní proud při úrovni L je $I_{OLmax} = 16$ mA pro standardní řadu, 8 mA pro řady LS a ALS a 20 mA pro obvody S, AS a F. Z výstupu je možné odebírat logický signál v případě, že necháme diodou LED protékat proud menší než I_{OLmax} .

Vít Špringl
(Pokračování příště)

Digitální technika a logické obvody

První seznámení s integrovaným obvodem TTL (Pokračování)

Na konci minulého dílu jsme se zabývali otázkou připojení LED k výstupu logického obvodu. V úvahu je nutné vzít zejména maximální povolený výstupní proud hradla při dané logické úrovni. Zapojíme-li svítivou diodu s předřadným rezistorem mezi výstup obvodu a napájecí napětí U_{CC} , získáme indikátor logické úrovně L. Maximální doporučený výstupní proud hradla při úrovni L se v závislosti na použité technologii pohybuje mezi 8 až 20 mA (platí pro bipolární obvody TTL). Odpor předřadného rezistoru vypočítáme ze vztahu:

$$R = \frac{(U_{CC} - U_{OLtyp}) - U_D}{I_D}$$

kde U_{CC} je napájecí napětí 5 V, U_{OLtyp} je typické výstupní napětí při úrovni L (0,2 V), U_D je úbytek napětí na diodě a I_D je proud protékající diodou. V tomto případě sice nebudeme k výstupu připojovat další logické obvody, přesto si však vystačíme s proudem $I_D = 8$ mA, který vyhoví požadavkům všech řad bipolárních logických obvodů TTL. Nevyužijeme tak sice maximální jas svítivé diody, pro indikační účely ale bude dostatečný. Dosaďme-li nyní do vztahu uvedeného výše ($U_D = 2$ V), bude výsledný odpor $R = 350 \Omega$. Použijeme rezistor s nejbližším odporem z vyráběné řady, tj. 330Ω .

Zapojením LED z výstupu hradla proti zemi bychom získali indikátor úrovně H. Situace je však v tomto případě o něco složitější, protože maximální výstupní proud při úrovni H (I_{OHmax}) je u standardní řady obvodů TTL pouze 0,4 mA. Stejný údaj nalezneme též u obvodů 74LS00 a 74ALS00. Ostatní bipolární obvody sice disponují o něco větším proudem (řady S a F: 1 mA, řada AS: 2 mA), pro buzení LED je to však stále příliš málo. Nepotřebujeme-li odebrat z výstupu logický signál, lze tento proud překročit. Výrobce dokonce povoluje zkratovat proti zemi jeden výstup na čipu. Jaký odpor rezistoru v takovém případě zvolit? Možná vás napadne použít obdobného vzorce jako v předchozím případě – na výstupu bylo naměřeno při úrovni H napětí 4,1 V, od kterého když odečteme úbytek na diodě (2 V) a výsledný údaj vydělíme požadovaným proudem (20 mA), vyjde nám odpor 105Ω . Tento postup je však chybný, což zjistíme pohledem na vnitřní zapojení výstupní části hradla NAND (viz PE8/

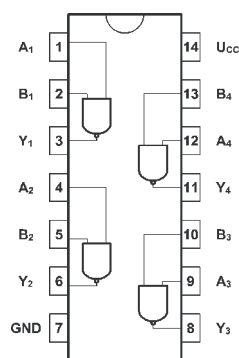
/2004). Mezi výstupním tranzistorem, který je otevřen při úrovni H, a napájecím napětím U_{CC} je totiž zapojen omezovací rezistor s odporem přibližně 130Ω . Protože je tento odpor větší než údaj vypočtený výše, lze diodu zapojit i bez omezovacího rezistoru. To ovšem platí pouze pro obvody 7400 a 74LS00. Vnitřní zapojení hradel NAND jiných technologií je odlišné a výstupní omezovací rezistory mají zpravidla menší odpor. U použitého obvodu 7400 byl při zapojení diody LED mezi výstup a zem bez omezovacího rezistoru naměřen proud 13 mA. Jako indikátor logické úrovně H však bude vhodnější použít inverter, na jehož výstupu bude zapojena LED proti napájecímu napětí U_{CC} .

Obr. 75 ukazuje rozmístění hradel NAND a jejich vývodů v integrovaném obvodu 7400. Piny č. 7 a 14 přivádějí napájecí napětí, bez něhož by obvod nebyl schopen pracovat. U většiny základních obvodů TTL řady 7400 je rozmístění vývodů napájecího napětí řešeno obdobným způsobem, raději se však o tom vždy nejprve přesvědčte. Někdy se může stát, že se obvod bude chovat nestandardním způsobem. Na výstupu například naměříte úroveň, která nebude odpovídat logické funkci obvodu. Než se v takovém případě obvodu zbavíte jako nefunkčního, zkontrolujte, zda není chyba pouze v připojení napájecího napětí.

Nyní již můžeme přistoupit k praktickým zapojením na nepájivém kontaktním poli.

Úkol č. 1: Ověřte funkci hradla NAND u obvodu 7400. Vyzkoušejte postupně všechny čtyři kombinace vstupních úrovní a ověřte pomocí svítivé diody, zda výstupní úroveň odpovídá logické funkci obvodu. Dále zjistěte, jak se chovají vstupy hradla, zůstanou-li nezapojené.

Veškerou práci na nepájivém kontaktním poli provádějte bez přítomnosti napájecího napětí. Vyplatí se k postranní napájecí liště zapojit indikační LED (s předřadným rezistorem), která nás na odpojení napájecího na-

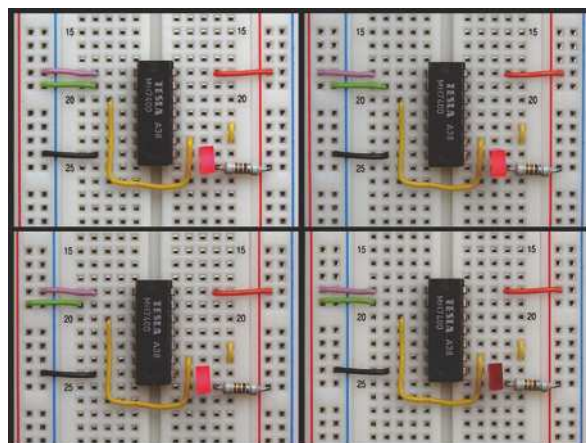


Obr. 75. Integrovaný obvod 7400 – rozmístění vývodů

pětí upozorní. Malou nepozorností nebo „přehmatem“ bychom totiž mohli integrovaný obvod poškodit. Výsledek prvního úkolu je zobrazen na obr. 76. LED s předřadným rezistorem je zapojena mezi výstup třetího hradla a napájecí napětí U_{CC} . Toto hradlo však posloužilo pouze jako inverter, testována byla funkce hradla č. 1. Svítící LED tedy v tomto případě indikuje logickou úroveň H na výstupu prvního hradla. Na závěr ještě vyzkoušíme, jak se změní výstupní úroveň, necháme-li jeden nebo oba vstupy nezapojené. Snadno zjistíme, že se nezapojený vstup chová stejně jako při úrovni H.

Při návrhu číslicových zařízení se může stát, že u hradla nevyužijeme všechny vstupy. Máme například integrovaný obvod se třemi třívstupovými hradly NAND (7410), ale u posledního hradla bychom rádi použili pouze dva vstupy. Samozřejmě v takovém případě nebudeme kupovat obvod 7400 se čtyřmi dvouvstupovými hradly NAND. Z funkce hradla NAND vyplývá, že bychom mohli nechat tento vstup nezapojený, protože by se v takovém případě choval stejně jako při úrovni H, která nemá vliv na logickou funkci hradla NAND. Tento přístup si však můžeme dovolit pouze při pokusech na nepájivém kontaktním poli. Nezapojené vstupy jsou totiž citlivé na rušivé signály, které mohou náhodně měnit logickou úroveň vstupu a tím způsobit náhodné chování celého systému. Nezapojený vstup dále způsobuje větší zpoždění signálu při průchodu hradlem. Proto se v praxi doporučuje vstup buď připojit na úroveň, která neovlivní logickou funkci hradla (tj. na úroveň H u hradel AND a NAND, u hradel OR a NOR na úroveň L), nebo ho spojit s některým z použitých vstupů. Druhá možnost je často využívána a byla použita i při realizaci invertoru v zapojení na obr. 76. Je však třeba si uvědomit, že tak zvětšujeme zatížení předchozího výstupu.

Vít Špringl
(Pokračování příště)



Obr. 76. Test hradla NAND (obvod 7400); svítící LED signalizuje logickou úroveň H na výstupu testovaného hradla

Digitální technika a logické obvody

První seznámení s integrovaným obvodem TTL (Pokračování)

V minulém čísle jsme se seznámili se základními zásadami při práci s nepájivým kontaktním polem, uvedli jsme si rozmístění vývodů u obvodu 7400, který obsahuje čtyři dvouvstupová hradla NAND, a v prvním zapojení na nepájivém kontaktním poli jsme ověřili funkci jednoho z těchto hradel. Na dalším úkolu si ukážeme univerzální použitelnost hradel NAND při realizaci jednoduchých logických funkcí.

Úkol č. 2: S použitím logického obvodu 7400 navrhnete a na nepájivém kontaktním poli ověřte funkci zapojení realizujícího funkce dvouvstupových hradel AND, NOR, OR a XOR.

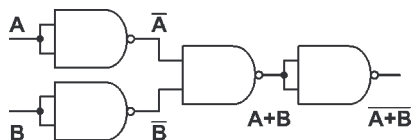
Dvojitá negací logické funkce získáme opět původní funkci. Zapojením invertoru na výstup hradla NAND tedy vznikne obvod s funkcí AND. V matematické podobě bychom mohli psát $\overline{\overline{A \cdot B}} = A \cdot B$. Invertor získáme z hradla NAND snadno spojením jeho vstupů, popř. zapojením jednoho vstupu k úrovni H, tak jak bylo popsáno v minulém dílu.

Realizace hradla OR a NOR je jen o málo složitější. Použijeme v tomto případě již mnohokrát zmiňované De Morganovy vzorce, které udávají vztah mezi logickým součtem a logickým součinem a umožňují konverzi mezi těmito funkcemi. Neuškodí si je znovu připomenout:

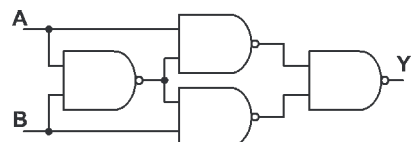
$$\overline{\overline{A \cdot B}} = \overline{\overline{A} + \overline{B}}$$

$$\overline{\overline{A} + \overline{B}} = \overline{\overline{A} \cdot \overline{B}}$$

Znegujeme-li druhou rovnici, dostaneme $\overline{\overline{A} + \overline{B}} = \overline{\overline{A} \cdot \overline{B}}$, což je ekvivalentní rovnici $B = \overline{\overline{A} \cdot \overline{B}}$. Provedeme-li nyní substituci $C = \overline{A}$ a $D = \overline{B}$, získáme pů-



Obr. 77. Obvod realizující funkci NOR zapojený ze čtyř hradel NAND



Obr. 78. Schéma obvodu realizujícího logickou funkci XOR

vodní rovnici ve tvaru $A + B = \overline{\overline{C} \cdot \overline{D}}$. Tato rovnice říká, že logickou funkci OR (levá strana) můžeme realizovat pomocí funkce NAND (pravá strana), provedeme-li nejprve negaci vstupů.

Hradlo NOR získáme z hradla OR zapojením invertoru na jeho výstup. Schéma zapojení členu OR a NOR sestaveného z hradel NAND je uvedeno na obr. 77. Jedná se však o řešení poněkud komplikované a v praxi bychom pravděpodobně použili integrovaný obvod s hradly NOR (např. 7402).

Výlučný logický součet (XOR) je funkce, která se v kombinačních obvodech využívá např. při realizaci komparátorů nebo pomocných obvodů aritmetických členů. Jejím výsledkem je log. 1 pouze v případě, že vstupy nabývají rozdílných hodnot. Ve srovnání s funkcí OR tedy na výstupu není log. 1, jsou-li oba vstupy ve stavu 1. Matematicky lze funkci vyjádřit zápisem $Y = A \cdot \overline{B} + \overline{A} \cdot B$. Funkci XOR je možné realizovat pomocí čtyř hradel NAND podle schématu na obr. 78. K tomuto zapojení lze dojít poněkud komplikovanější matematickou úpravou:

$$Y = A \cdot \overline{B} + \overline{A} \cdot B =$$

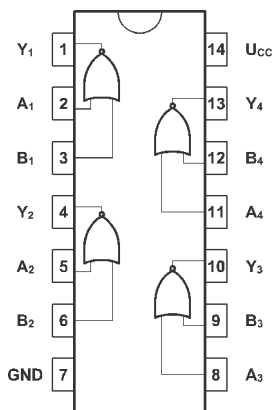
$$= (A \cdot \overline{B} + A \cdot \overline{A}) + (\overline{A} \cdot B + \overline{A} \cdot \overline{B}) =$$

$$= (\overline{A} + \overline{B}) \cdot A + (\overline{A} + \overline{B}) \cdot B =$$

$$= (\overline{A} \cdot \overline{B}) \cdot A + (\overline{A} \cdot \overline{B}) \cdot B =$$

$$= \overline{\overline{A \cdot B} \cdot \overline{A \cdot B}}$$

V prvním kroku se přičetl k prvnímu členu součin $A \cdot \overline{A}$ a ke druhému $B \cdot \overline{B}$. Oba tyto součiny nabývají vždy hodnoty log. 0 (nikdy nemůže platit, aby byla pravdivá proměnná a její negace zároveň) a přičtením log. 0 se nemění hodnota výrazu. Jednalo se vlastně o trik, který nám ve výsledném zapojení ušetřil jedno hradlo. V dalším kroku byly vytknuty proměnné A a B. Následně byl aplikován dvakrát De Morganův vzorec převádějící logický součet na logický součin, a to nejprve na členy v závorkách a v posledním kroku na zbývajících součet tak, aby ve výsledném výrazu byly pouze logické funkce NAND. Podobně jako u logic-



Obr. 79. Integrovaný obvod 7402 - rozmístění vývodů

kého součtu nebo negovaného logického součtu se vyrábějí i integrované obvody s hradly XOR (např. 7486), jsou však méně rozšířené.

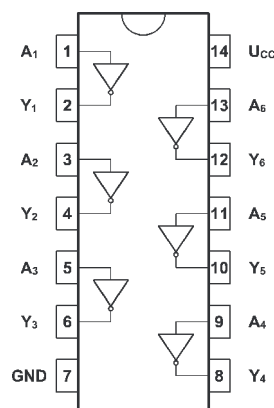
Úkol č. 3: Navrhnete logický obvod, který bude indikovat úroveň H na výstupu přítomnost čísla většího než 4 na vstupech obvodu. Obvod bude mít tři vstupy (číslo je v binárním tvaru) a jeden výstup. Proveďte minimalizaci s použitím Karnaughovy mapy a funkčnost výsledného zapojení ověřte na nepájivém kontaktním poli.

Tento úkol je převzat z PE 10/2003 (příklad 11), kde jsou také popsány různé možné způsoby řešení této a podobných logických úloh. Na obr. 12 je pak výsledné schéma zapojení s použitím tří hradel NAND. Minimalizace s použitím Karnaughovy mapy je podrobně popsána v čísle PE 11/2003. Účelem této úlohy je připomenout si proces návrhu jednoduchého kombinačního systému a ověření jeho funkce v praxi.

Úlohu univerzálního logického členu plní též hradlo NOR, s jehož pomocí lze realizovat jakýkoliv kombinační logický systém, stejně jako s hradlem NAND. Podobně jako v úkolu 2 lze z hradel NOR sestavit obvod realizující logický součin (AND), negovaný logický součin (NAND), invertor, funkci XOR a jakékoliv další funkce. Jak jsme však mohli vidět, není vždy nejvýhodnější používat pouze jeden druh hradel. Obr. 79 ukazuje rozmístění vývodů obvodu TTL 7402, který obsahuje čtyři nezávislá dvouvstupová hradla NOR. Na nepájivém kontaktním poli si můžete otestovat jeho funkci podobně jako u hradla NAND v minulém dílu a též si můžete vyzkoušet sestavit obvod realizující další logické funkce, např. NAND, AND, XOR nebo invertor.

Mezi nejpoužívanější hradla patří též invertor. Integrovaný obvod se šesti invertory najdeme v řadě TTL 74 pod číselným označením 7404. Rozmístění jeho vývodů je patrné z obr. 80.

Vít Špringl (Pokračování příště)



Obr. 80. Integrovaný obvod 7404 - rozmístění vývodů

Digitální technika a logické obvody

Jednoduché kombinační obvody s hradly

Nejjednoduššími kombinačními logickými obvody jsou samotná logická hradla, jejichž popisem jsme se zabývali v minulých dílech. S pomocí hradel můžeme teoreticky sestavit jakýkoliv kombinační logický systém, není-li rozsáhlý natolik, že by jeho realizace byla v praxi neuskutečnitelná. V následujícím textu se seznámíme s některými typickými kombinačními obvody, které se používají v číslicové technice, a ukážeme si, jak postupovat při jejich návrhu, chceme-li je sestavit z logických hradel.

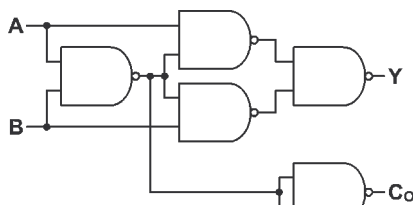
Prvním takovým obvodem je jednobitová sčítačka. Sčítačkou nazýváme obvod, jehož vstupem jsou dvě binární čísla a jehož výstupem je součet těchto čísel opět v binárním tvaru. Jednobitová sčítačka slouží ke sčítání dvou binárních čísel vyjádřených jediným bitem. V nejjednodušší verzi má takový obvod dva vstupy (A a B) a dva výstupy, které označujeme Y a C₀, a jeho funkci můžeme vyjádřit pravdivostní tabulkou 37. Popsaný obvod nazýváme poloviční jednobito-

vou sčítačkou. Výsledek součtu čísel A a B je k dispozici na výstupu Y, zatímco výstup C₀ označujeme jako přenos (angl. carry). Došlo-li při sčítání k přetečení, výstup C₀ přeneše tuto informaci do dalšího sčítacího členu, který zpracovává vyšší bity vstupních čísel. Abychom takové členy mohli spojovat a realizovat tak vícebitovou sčítačku, musíme obvod rozšířit o další vstup, který označíme C₁. Tento vstup bude přenášet informaci o přetečení z předchozího sčítacího členu. Takovou sčítačku pak nazveme úplnou jednobitovou sčítačkou. Na výstupy C₀ a Y můžeme též pohlížet jako na výsledek vyjádřený dvěma bity (Y je LSB) a podle toho je možné navrhnout pravdivostní tabulku (tab. 37). Aníž bychom potřebovali provádět jakékoliv další úpravy, pouhým pohledem na pravdivostní tabulku vidíme, že v případě výstupu C₀ se jedná o logickou funkci AND, zatímco výstup Y je vlastně logickou funkcí XOR proměnných A a B. Nabízí se nyní několik možností, jak obvod jednobitové poloviční sčítačky z hradel na nepájivém kontaktním poli realizovat. Nejjednodušší je použít jedno hradlo XOR (např. IO 7486) a jedno hradlo AND (např. IO 7408). Alternativou je pak obvod sestavit z pěti hradel NAND podle obr. 81. Problémem, jak sestavit z hradel NAND obvod realizující funkci XOR, jsme se podrobně zabývali v minulém čísle.

Funkci jednobitové úplné sčítačky, která navíc disponuje vstupem přenosu z předchozího stupně (C₁), můžeme vyjádřit pravdivostní tabulkou 38. Obvod musí v tomto případě sečíst všechny tři vstupy A, B i C₁. Výstupem je opět dvoubitové číslo, jehož dekadickou hodnotu bychom mohli vyjádřit zápisem: C₀·2¹ + Y·2⁰. Sestavíme-li pro funkci Y Karnaughovu mapu, zjistíme, že ji nelze nijak minimalizovat. Podíváme-li se ovšem pozorně na horní a dolní polovinu pravdivostní tabulky, objevíme, že pro C = 0 je Y funkcí XOR proměnných A a B, tedy Y = A ⊕ B, zatímco pro C = 1 je Y = A ⊕ B. Funkci Y lze tedy vyjádřit ve tvaru: Y = (A ⊕ B) · C̄ + (A ⊕ B) · C. Uvědomíme-li si nyní, že funkce XOR je definována jako A ⊕ B = A · B̄ + Ā · B, můžeme funkci Y přepsat do tvaru Y = (A ⊕ B) ⊕ C. K realizaci funkce Y nám tedy postačí dvě hradla XOR. Funkci C₀ lze po minimalizaci vyjádřit ve tvaru C₀ = A · C₁ + B · C₁ + A · B. Při realizaci obvodů s více výstupy, které jsou funkcemi stejných vstupů, se můžeme pokusit využít funkcí, pomocí kterých jsme již vyjádřili ostatní výstupy. V takovém případě lze totiž použít hradla, která již v zapojení máme. V našem případě se jedná zejména o funkci A ⊕ B. Pokud funkci C₀ napíšeme v neminimalizovaném tvaru přímo z tabulky a vytkneme proměnnou C₁, skutečně ve výrazu funkci XOR nalezneme:

Tab. 37. Pravdivostní tabulka pro jednobitovou poloviční sčítačku

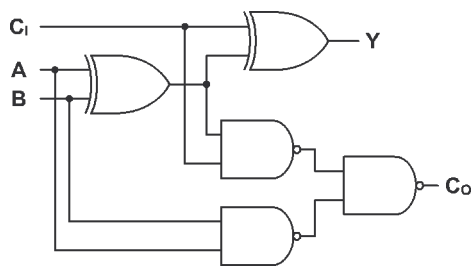
B	A	C ₀	Y
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0



Obr. 81. Schéma zapojení jednobitové poloviční sčítačky realizované hradly NAND

Tab. 38. Pravdivostní tabulka pro jednobitovou úplnou sčítačku

C ₁	B	A	C ₀	Y
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



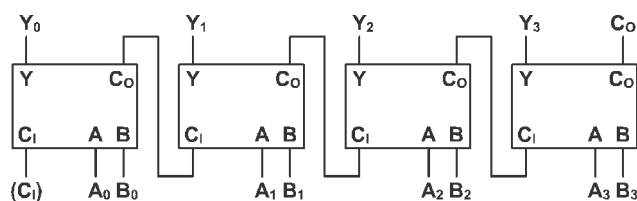
Obr. 82. Schéma zapojení jednobitové úplné sčítačky

$C_0 = A \cdot B \cdot \bar{C}_1 + A \cdot \bar{B} \cdot C_1 + \bar{A} \cdot B \cdot C_1 + A \cdot B \cdot C_1 = A \cdot B \cdot (\bar{C}_1 + C_1) + (A \cdot \bar{B} + \bar{A} \cdot B) \cdot C_1$. Při úpravě byl dále vytknut součin A·B, přičemž zbylý člen v závorce je vždy roven jedné, a tudíž ho můžeme ze zápisu vypustit. Výslednou funkci C₀ nakonec převedeme na součinný tvar pomocí De Morganových vzorců:

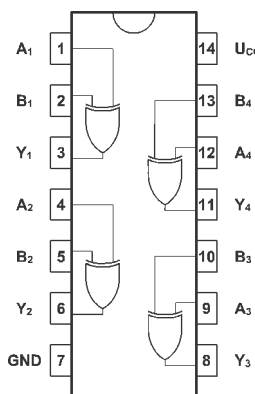
$C_0 = A \cdot B + (A \oplus B) \cdot C_1 = \overline{\overline{A \cdot B} \cdot \overline{(A \oplus B) \cdot C_1}}$. Tuto funkci můžeme na nepájivém kontaktním poli realizovat třemi dvouvstupovými hradly NAND. Schéma celkového zapojení úplné jednobitové sčítačky je uvedeno na obr. 82.

Pokud bychom chtěli sčítat vícebitová čísla, stačí jednoduše propojit jednobitové sčítací jednotky pomocí vstupů a výstupů C₁ a C₀, jak je patrné z obr. 83, kde je uveden příklad sčítačky čtyřbitové.

Vít Špringl
(Pokračování příště)



Obr. 83. Zapojení čtyřbitové sčítačky



Obr. 84. Integrovaný obvod 7486 - rozmístění vývodů

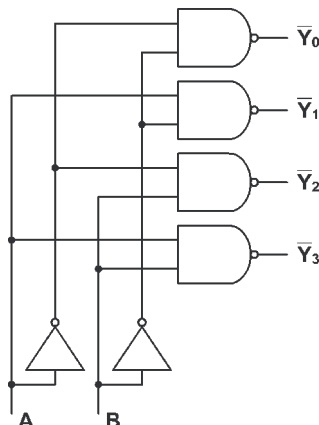
Digitální technika a logické obvody

Jednoduché kombinační obvody s hradly (Pokračování)

Dalším jednoduchým kombinačním obvodem, o kterém se zmíníme, je dekodér, který převádí číslo vyjádřené v binárním kódu na kód 1 z n . Kódů, se kterými můžeme pracovat v digitální technice, je mnoho a my se o nich obecně zmíníme později. Základním kódem, se kterým pracovala i jednobitová sčítačka v předchozím zapojení, je v číslicové technice kód binární (BCD). Ten však není vždy nejvhodnější, potřebujeme-li např. výsledek zobrazit displejem LED nebo samostatnými svítivými diodami. K tomu se hodí právě kód 1 z n , který pro každou z n hodnot aktivuje jeden výstup. My si popíšeme jednoduchý dekodér sestavený z hradel NAND, který bude převádět dvoubitové číslo v binárním kódu na kód 1 ze 4. Jedná se o jednoduchý obvod, který každé ze čtyř možných vstupních kombinací dvoubitového čísla přiřadí jiný výstup. Logickou funkci takového obvodu lze vyjádřit pravdivostní tabulkou 39. Výstupy funkce navrhne tak, aby byly aktivní v log. 0, protože k dekodéru budou primárně připojeny indikační svítivé diody, které pak můžeme za-

Tab. 39. Pravdivostní tabulka pro dekodér z kódu BCD na kód 1 ze 4

B	A	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0



Obr. 85. Schéma zapojení dekodéru z kódu BCD na kód 1 ze 4

pojit přímo k výstupu logického obvodu proti napájecímu napětí U_{CC} . Tato skutečnost je v tabulce vyjádřena pruhem nad výstupními proměnnými. Funkce \bar{Y}_1 až \bar{Y}_4 můžeme získat klasickou minimalizací pomocí Karnaughových map nebo přímo z tabulky, uvědomíme-li si, že se jedná vždy o funkci NAND. Protože výsledkem funkce NAND je log. 0 pouze v případě, kdy všechny vstupy mají hodnotu log. 1, musíme vstupní proměnnou A nebo B znegovat v řádcích, ve kterých nabývají hodnoty log. 0. Funkce \bar{Y}_1 až \bar{Y}_4 tedy můžeme vyjádřit zápisy:

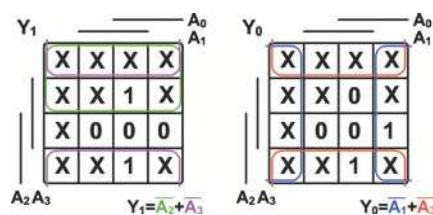
$$\begin{aligned}\bar{Y}_1 &= \overline{A \cdot B} \\ \bar{Y}_2 &= \overline{A \cdot \bar{B}} \\ \bar{Y}_3 &= \overline{\bar{A} \cdot B} \\ \bar{Y}_4 &= \overline{\bar{A} \cdot \bar{B}}\end{aligned}$$

Schéma výsledného obvodu je na obr. 85. S trochou nadšení tak pro vás nyní nebude problém si na nepájivém kontaktním poli sestavit jednobitovou nebo dvoubitovou sčítačku s dekodérem a svítivými diodami na výstupu.

Podobným způsobem lze navrhnout i kodér převádějící číslo vyjádřené ve tvaru 1 z n na číslo v binárním kódu. Budeme vycházet z tab. 39, ve které prohodíme pravou výstupní část za levou vstupní. Vstupy pro jednoduchost ponecháme aktivní v log. 0, jak je definováno tabulkou. Návrh kodéru se vstupy aktivními v log. 1 by byl velice podobný. S takto definovanou pravdivostní tabulkou ovšem narážíme na jeden zásadní problém, který při návrhu zapojení musíme vyřešit. Na čtyřech vstupech může nastat šestnáct různých kombinací hodnot, tabulka je ovšem definována pouze pro čtyři z nich. Tento problém můžeme vyřešit dvěma způsoby. Nejjednodušší variantou je předpokládat, že se

Tab. 40. Pravdivostní tabulka pro kodér z kódu 1 ze 4 na kód BCD (vstupy jsou aktivní v log. 0)

A_3	A_2	A_1	A_0	Y_1	Y_0
1	1	1	1	0	0
1	1	1	0	0	0
1	1	0	1	0	1
1	0	1	1	1	0
0	1	1	1	1	1



Obr. 86. Karnaughovy mapy funkcí Y_1 a Y_0 pro kodér charakterizovaný pravdivostní tabulkou 40

na vstupech nemůže objevit žádná jiná hodnota než ta, která je definována pravdivostní tabulkou. Takového stavu bychom mohli dosáhnout například v případě, kdy bychom měli na vstupu čtyřpolohový přepínač, který by zaručoval, že bude aktivní vždy pouze jediný vstup. V pravdivostní tabulce kodéru (tab. 40) bude vhodné ještě definovat stav, kdy není aktivní žádný vstup (tj. na všech vstupech je log. 1). Ukážeme si, jak postupovat při minimalizaci funkcí Y_1 a Y_0 pomocí Karnaughových map (obr. 86). Vodrovné a svislé pruhy podél mapy označují řádky a sloupce, ve kterých příslušná proměnná nabývá hodnoty 1. Každé pole mapy je tak jednoznačně identifikováno a odpovídá jedné kombinaci vstupních hodnot. Na místa, která nejsou tabulkou definována (podle zadání nemohou tyto kombinace nastat), zapíšeme X. Pole X nám značně zjednodušují minimalizaci, protože je můžeme považovat jak za nuly, tak za jedničky. Minimalizace probíhá tak, že je nutné všechna pole s hodnotou 1 uzavřít do smyček. Smyčka může být buď čtvercového, nebo obdélníkového tvaru o hranách 2^n . V našem případě připadají v úvahu smyčky o rozměrech 1×1 , 1×2 , 2×2 , 2×4 nebo 4×4 . Smyčky musí být co největší, mohou se překrývat a můžeme je uzavírat i přes hrany a rohy mapy. Minimalizovanou funkci získáme ve tvaru součtu součinnů. Každý součin odpovídá jedné smyčce a bude obsahovat proměnné, které uvnitř smyčky nemění svou hodnotu. Nabývá-li vstupní proměnná po celé ploše smyčky hodnoty 0, bude v příslušném součinu znegována. V opačném případě bude bez negace. Čím je tedy smyčka větší, tím méně proměnných bude daný součin obsahovat. Zároveň klesá počet prvků výsledného součtu s klesajícím počtem smyček. Tím jsou dána hlavní dvě kritéria pro minimalizaci funkce, která určují její výslednou složitost, neboli míru její minimalizace. (Pozn.: Další informace o Karnaughových mapách spolu s ilustračními příklady naleznete v PE 11, 12/2003 a 1/2004.) Provedeme-li minimalizaci podle uvedených pravidel, získáme funkce Y_1 a Y_0 ve tvaru:

$$Y_1 = \overline{A_2 + A_3} = \overline{A_2} \cdot \overline{A_3} \text{ a}$$

$$Y_0 = \overline{A_1 + A_3} = \overline{A_1} \cdot \overline{A_3}$$

Všehovšudy si tedy vystačíme se dvěma hradly NAND.

Druhou možností je tzv. prioritní kodér, jehož výstup odpovídá aktivovanému vstupu s vyšší prioritou. Je-li tedy aktivováno více vstupů současně, na výstupu bude binární číslo, kte-

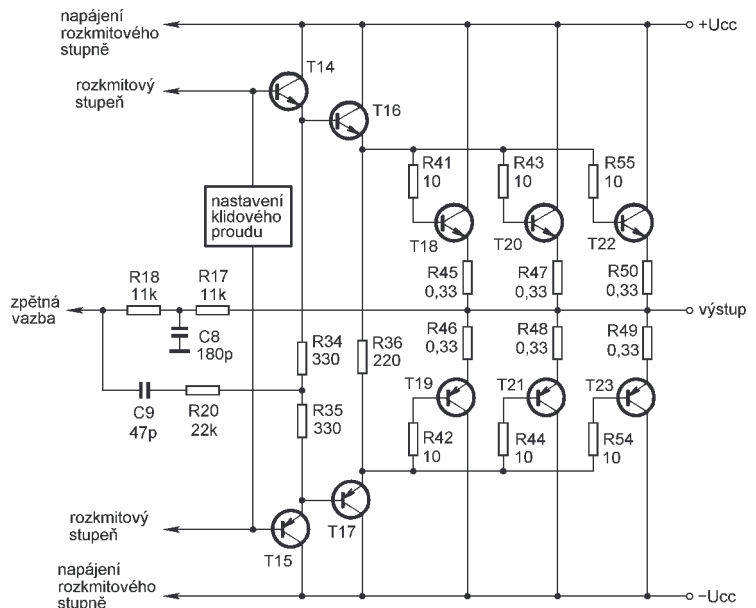
Zesilovače s tranzistory

Výkonové zesilovače

(Pokračování)

Pro dosažení velkých až extrémních výkonů se v nf zesilovačích zapojují koncové tranzistory po několika paralelně, někdy také sériově nebo sérioparalelně. Nejčastějším důvodem je snažší odvod tepla z koncových tranzistorů, nedostatečné parametry jedné dvojice koncových tranzistorů a v neposlední řadě i zajištění dostatečné spolehlivosti celého zesilovače. Jinak bude konstruován koncový zesilovač pro audiofilů a jinak zesilovač pro ozvučení koncertů nebo diskoték. V prvním případě, u zesilovače pro „domácí“ poslech, bude při poslechu střední výkon o mnoho menší než maximální výkon zesilovače, maximální výkon nebude nikdy využit (nebo jen výjimečně) a výkonová rezerva je využita především pro zajištění nezkrasleného zvuku. Naproti tomu „ozvučovací“ zesilovače jsou často využívány právě v oblasti maximálního výkonu. Napomáhají tomu také různé limitery a hřebenové filtry, jimiž se odstraní modulční špičky.

Na obr. 82 je zjednodušené zapojení výkonové části zesilovače s výkonem 300 W. Obvod pro nastavení klidového proudu je naznačen obdélníčkem a zcela jsou vypuštěny ochranné obvody (o nich někdy přistě). Dvoustupňový budicí stupeň musí zajistit dostatečný proud pro buzení koncových tranzistorů. V emitorech koncových tranzistorů jsou rezistory s malým odporem, které zajišťují rovnoměrné rozdělení proudu tekoucího koncovými tranzistory. Rezistory fungují jako lokální záporná zpětná vazba, protože napětí báze-emitor kon-



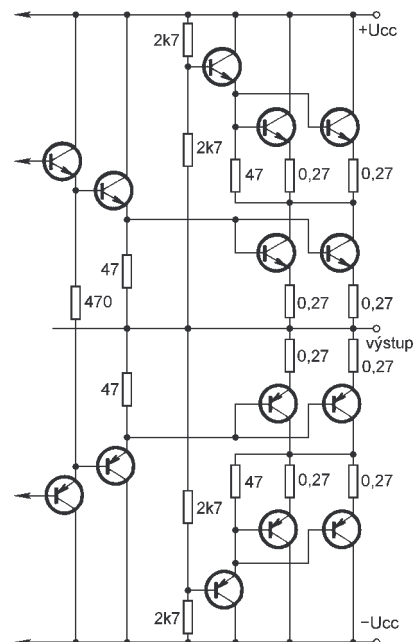
Obr. 82. Koncový stupeň zesilovače LEACH 300 W (celé schéma viz KE 2/2004)

cových tranzistorů se pro dosažení stejného emitorového proudu mohou u jednotlivých tranzistorů nepatrně lišit. Rezistory 10 Ω v bázích zabraňují nestabilitě na vysokých kmitočtech. Na zesilovači je dále zajímavá zpětná vazba, která je pro nadakustické kmitočty vedena přes C9 a R20 již z budicího stupně a ne přes „pomalý“ koncový stupeň.

Na obr. 83 je koncový stupeň se sérioparalelním zapojením koncových tranzistorů. Tímto uspořádáním lze podstatně zvětšit odolnost koncových tranzistorů proti poškození tzv. druhým průrazem. Na tranzistorech je při stejném proudu poloviční napětí, které je zajištěno děliči s rezistory 2,7 kΩ z výstupu na napájecí napětí.

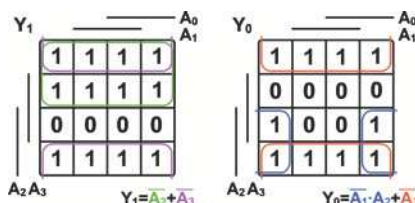
VH
(Pokračování přistě)

Obr. 83. Koncový stupeň se sérioparalelním zapojením koncových tranzistorů



Tab. 41. Pravdivostní tabulka pro prioritní kódér z kódu 1 ze 4 na kód BCD, prioritá vstupu je určena pořadovým číslem jeho indexu, vstupy jsou aktivní v log. 0

A ₃	A ₂	A ₁	A ₀	Y ₁	Y ₀
1	1	1	1	0	0
1	1	1	0	0	0
1	1	0	X	0	1
1	0	X	X	1	0
0	X	X	X	1	1



Obr. 87. Karnaughovy mapy funkcí Y₁ a Y₀ pro prioritní kódér charakterizovaný pravdivostní tabulkou 41

kde symboly X zastupují hodnoty 0 i 1. Třetí řádek tabulky tak definuje hodnoty výstupních proměnných Y₁ a Y₀ pro vstupní kombinace 1100 a 1101, čtvrtý řádek pro 1000, 1010 a 1011 a pátý řádek pro vstupní hodnoty 0000, 0001, 0010, 0011, 0100, 0101, 0110 a 0111. Celkem jsou tedy tabulkou definovány hodnoty výstupů

pro všech 16 možných vstupních kombinací. Kódér je opět navržen tak, že jsou jeho vstupy aktivní v log. 0. Z tabulky je patrné, že je-li aktivován vstup s vyšší prioritou, na hodnotách vstupů s prioritou nižší již nezáleží. Minimalizaci funkcí Y₁ a Y₀ provedeme obdobným způsobem jako v předchozím případě s použitím Karnaughových map (viz obr. 87). Minimalizované funkce Y₁ a Y₀ můžeme vyjádřit zápisem:

$$Y_1 = \overline{A_2} + \overline{A_3} = \overline{A_2} \cdot \overline{A_3} \text{ a}$$

$$Y_0 = \overline{A_1} \cdot \overline{A_2} + \overline{A_3} = \overline{A_1} \cdot \overline{A_2} \cdot \overline{A_3}$$

K realizaci prioritního kódérů převádějícího kód 1 ze 4 na kód BIN tedy budeme potřebovat čtyři hradla NAND, popř. tři hradla NAND a jeden invertor.

Vít Špringl
(Pokračování přistě)

Digitální technika a logické obvody

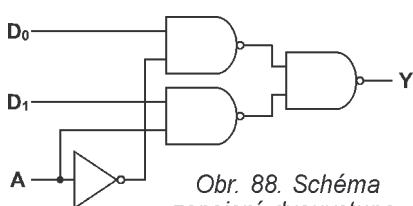
(Pokračování)

Multiplexery a demultiplexery

Multiplexer je další kombinační obvod, se kterým se v číslicové technice často setkáváme. Jedná se o elektronický přepínač několika vstupních logických signálů na jeden výstup. Přepínání je řízeno adresovým signálem. Multiplexer má obecně n datových vstupů, příslušný počet adresových vstupů (pro počet adresových vstupů a platí $n = 2^a$) a jeden datový výstup. Obvod může být dále vybaven vstupy uvolnění, které slouží k aktivaci a deaktivaci obvodu. Multiplexery se často používají tam, kde potřebujeme z nějakého důvodu zmenšit počet vodičů při přenosu signálu. Typickým příkladem je řízení číslicového displeje. Abychom nemuseli vést sedm vodičů pro každou číslici displeje, je možné mezi displeji přepínat. Ke všem číslicím je přiváděn stejný signál, displej je ovšem zapojen tak, že je v každém okamžiku aktivní vždy

Tab. 42. Pravdivostní tabulka dvou-vstupového multiplexeru. Při $A = 0$ je na výstupu Y logický signál D_0 , při $A = 1$ je na výstupu Y logický signál D_1

A	D ₁	D ₀	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1



Obr. 88. Schéma zapojení dvou-vstupového multiplexeru

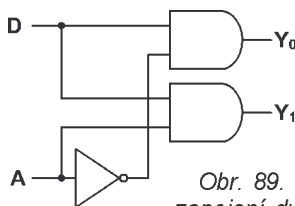
pouze jedna číslice. Rychlým periodickým přepínáním dat a jednotlivých displejů je pak docíleno stavu, kdy se nám zdá, že všechny číslice svítí současně. Na podobném principu pracují i velké maticové displeje, kde by bylo nemyslitelné řídit každou diodu zvlášť. Multiplexeru lze taktéž využít při sledování stavu vstupů, např. numerické klávesnice, při přenosu dat a v mnoha dalších aplikacích.

Demultiplexer je kombinační obvod, který má přesně opačnou funkci než multiplexer. Přenášíme-li multiplexovaný signál z n kanálů po jednom vedení, můžeme ho pomocí demultiplexeru transformovat zpět do n kanálů. Nutným předpokladem je samozřejmě též přenos adresových signálů. Demultiplexer má obecně jeden datový vstup, n datových výstupů a příslušný počet adresových vstupů.

V následujícím textu si ukážeme návrh dvou-vstupového multiplexeru a demultiplexeru. Funkci multiplexeru lze vyjádřit pravdivostní tabulkou 42. Přepínání dvou vstupů dat D_0 a D_1 lze řídit jediným adresovým vstupem A . Je-li $A = 0$, bude na výstupu Y hodnota vstupu D_0 ; je-li $A = 1$, bude $Y = D_1$. Návrh obvodu probíhá standardním způsobem, jakým jsme navrhovali kombinační obvody v minulých dílech. Při hledání funkce Y si můžeme pomoci Karnaughovou mapou nebo ji napsat přímo z tab. 42 ve tvaru: $Y = \bar{A} \cdot D_0 + A \cdot D_1 = \bar{A} \cdot D_0 + A \cdot D_1$.

Tab. 43. Pravdivostní tabulka dvoukanalového demultiplexeru. Adresa $A = 0$ vybírá výstup Y_0 , při adrese $A = 1$ je vybrán výstup Y_1

A	D	Y ₁	Y ₀
0	0	0	0
0	1	0	1
1	0	0	0
1	1	1	0



Obr. 89. Schéma zapojení dvoukanalového demultiplexeru

Funkci jsme převedli s použitím De Morganova vzorce na součinný tvar. K realizaci dvou-vstupového multiplexeru budeme potřebovat čtyři hradla NAND, popř. tři hradla NAND a jeden invertor. Schéma obvodu je zobrazeno na obr. 88.

Podobným způsobem lze navrhnout i demultiplexer, který bude mít jeden adresový a jeden datový vstup a dva datové výstupy. Funkci demultiplexeru lze vyjádřit pravdivostní tabulkou 43. Je-li $A = 0$, datový vstup D bude vnitřní logikou připojen k výstupu Y_0 , zatímco bude-li na adresovém vstupu A log. 1, budou data přepojena na výstup Y_1 . Neaktivní výstup bude v log. 0. Přímou z tabulky lze vyjádřit obě výstupní funkce ve tvaru: $Y_0 = \bar{A} \cdot D$ a $Y_1 = A \cdot D$. Schéma zapojení demultiplexeru je uvedeno na obr. 89. Pokud bychom použili místo hradel AND hradla NAND, získali bychom invertující demultiplexer. Na vybraném výstupu by byla invertovaná hodnota vstupu D a neaktivní výstup by byl v log. 1.

(Pozn.: Uvedené příklady multiplexeru a demultiplexeru slouží spíše pro demonstraci jejich funkce a pro možnost zapojit si tyto jednoduché obvody z hradel na nepájivém kontaktním poli. Dvoubitový signál nelze přenášet pouze jedním vodičem ani s použitím multiplexeru, a tudíž v tomto případě žádné vodiče neušetříme. Pro vícebitová čísla však může být úspora vodičů značná. Např. osmibitové číslo lze s použitím multiplexeru přenášet pomocí čtyř vodičů (1 datový, 3 adresové) a šestnáctibitové číslo pomocí pěti vodičů.)

Ačkoliv to z výše popsaného zapojení demultiplexeru nemusí být na první pohled patrné, může obvod plnit též funkci dekodéru, který převádí jedno-bitové binární číslo (ze vstupu A) na kód 1 ze 2. Vstup D můžeme chápat jako vstup uvolnění, tj. vstup, který aktivuje nebo blokuje funkci dekodéru. Bude-li tento vstup v log. 0, bude na obou výstupech log. 0 bez ohledu na úroveň na vstupu A . V opačném případě se bude obvod chovat jako dekodér. Toto platí zcela obecně i pro demultiplexery s více výstupy (a tudíž více adresovými vstupy). Demultiplexer se totiž z principu chová jako dekodér s tím rozdílem, že logická úroveň na aktivovaném výstupu závisí na úrovni na datovém vstupu D . Jako demultiplexer lze tedy použít dekodér z binárního kódu na kód 1 z n za předpokladu, že obvod disponuje vstupem (vstupy) uvolnění, na který připojíme multiplexovaný signál.

Tabulky 44 a 45 uvádějí informace o vybraných integrovaných verzích multiplexeru a demultiplexeru (tab. 45 bude v příštím čísle), které lze nalézt v nabídce obvodů řady TTL 7400.

Vít Špringl

(Pokračování příště)

Tab. 44. Přehled vybraných multiplexerů řady TTL 7400 (TS = třístavové výstupy)

Typ	Funkce	Poznámka
74x150	16vstupový MUX	invertující \bar{Y}
74x151	8vstupový MUX	komplementární výstupy Y a \bar{Y}
74x153	2x 4vstupový MUX	
74x157	4x 2vstupový MUX	
74x158	4x 2vstupový MUX	invertující \bar{Y}
74x251	8vstupový MUX	jako 74x151, TS
74x253	2x 4vstupový MUX	jako 74x153, TS
74x257	4x 2vstupový MUX	jako 74x157, TS
74x258	4x 2vstupový MUX	jako 74x158, TS

Digitální technika a logické obvody

Multiplexery a demultiplexery (Pokračování)

Tabulka 45 uvádí informace o vybraných integrovaných verzích demultiplexerů z řady TTL 7400.

Na obr. 90 je jako příklad zobrazeno rozložení vývodů osmivstupového multiplexeru 74151 a dvojnásobného čtyřvstupového multiplexeru 74153. Obvod 74151 má osm datových vstupů D_0 až D_7 , které jsou adresovány třemi vstupy výběru A_2, A_1 a A_0 . Dále je obvod vybaven vstupem uvolnění \bar{E} , kterým lze obvod vyřadit z činnosti. Pruh nad proměnnou označuje, že je vstup aktivní v úrovni L. Pro normální činnost obvodu tedy musí být na vstupu \bar{E} úroveň L. Je-li $\bar{E} = H$, bude obvod blokován a na výstupu Y bude úroveň L nezávisle na hodnotách adresových a datových vstupů. Obvod disponuje kromě přímého výstupu Y též negovaným výstupem \bar{Y} , na kterém je k dispozici inverzní logická úroveň vybraného vstupu. Pořadové číslo vstupu, který bude vnitřní logikou propojen na výstup, je dáno dekadickou hodnotou čísla přivedeného na adresové vstupy A_2, A_1 a A_0 (A_2 je nejvyššíznamnější bit): pro $A_2A_1A_0 = 000$ bude na výstup přepojen vstup D_0 , pro $A_2A_1A_0 = 001$ vstup D_1 , pro

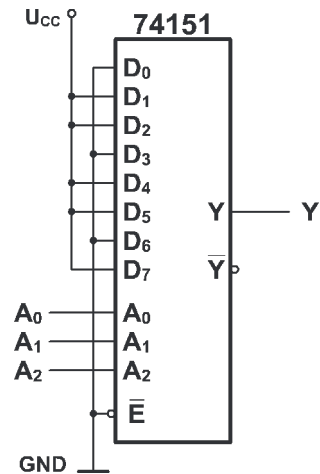
$A_2A_1A_0 = 111$ vstup D_7 apod. Stejnou funkci a rozmístění vývodů má i obvod 74251. Na rozdíl od obvodu 74151 se však nacházejí oba jeho výstupy ve stavu vysoké impedance, je-li obvod blokován úrovní H na vstupu \bar{E} .

Integrovaný obvod 74153 obsahuje dva čtyřvstupové multiplexery, které jsou řízeny společnými vstupy výběru A_1 a A_0 . Adresa na těchto vstupech určuje vždy jeden ze vstupů D_0 až D_3 , který bude propojen na výstup Y. Obě multiplexery jsou opět vybaveny vstupem uvolnění \bar{E} , který umožňuje blokovat činnost obvodu (pro $\bar{E}_x = H$ bude na výstupu Y_x úroveň L nezávisle na vstupech D a A).

Zajímavou aplikací multiplexerů je realizace kombinační logické funkce přímo z pravdivostní tabulky bez nutnosti minimalizace a použití jakýchkoliv dalších logických obvodů. Kombinace hodnot na adresových vstupech A určuje vždy jeden vstup D, jehož hodnota bude na výstupu Y. Pokud každý z datových vstupů D nastalo připojíme k logické úrovni L nebo H, definujeme úroveň výstupu pro každou kombinaci hodnot na vstupech A. Tak je možné jednoduše realizovat logickou funkci dvou, tří nebo čtyř proměnných (např. obvody 74153, 74151 a 74150). Pořadové číslo datového vstupu přímo označuje dekadickou hodnotu vstupního čísla. Budeme-li chtít např. realizovat logickou funkci, která přiřazuje sudým úrovním H a lichým číslům úroveň L (máme na mysli dekadickou hodnotu vstup-

Tab. 46. Pravdivostní tabulka funkce realizované zapčením s obvodem 74151 na obr.91

A_2	A_1	A_0	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

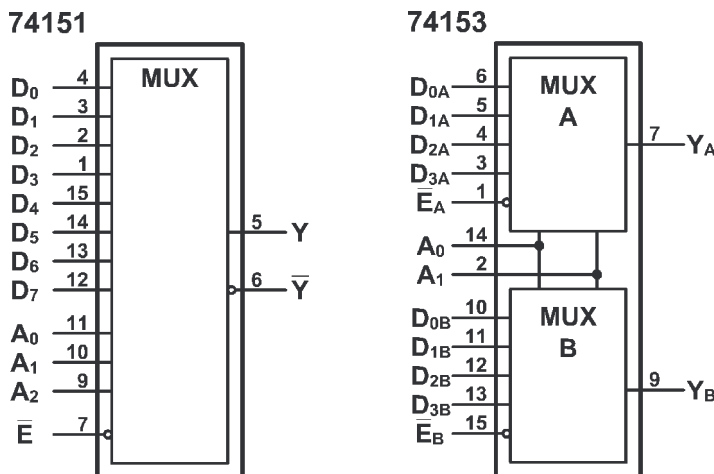


Obr. 91. Schéma zapojení realizujícího logickou funkci vyjádřenou pravdivostní tabulkou 46

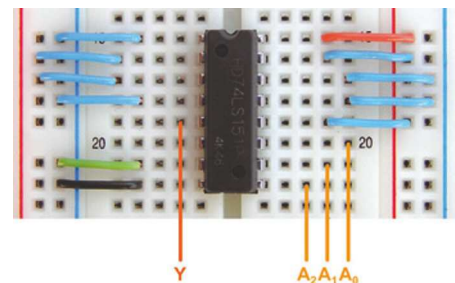
ního binárního čísla), stačí připojit vstupy D_0, D_2, D_4, \dots na úroveň H a vstupy D_1, D_3, D_5, \dots na úroveň L. Na obr. 91 je uveden příklad realizace kombinační logické funkce definované pravdivostní tabulkou 46 s použitím multiplexeru 74151. Pokud bychom chtěli tuto funkci realizovat hradly, potřebovali bychom tři dvouvstupová, jedno třívstupové a jedno čtyřvstupové hradlo NAND a tři invertory (funkce minimalizovaná standardním způsobem).

Tab. 45. Přehled vybraných demultiplexerů řady TTL7400. Všechny obvody mají invertované výstupy. (OC=výstupy s otevřeným kolektorem)

Typ	Funkce	Pozn.
74x138	dekodér 1 z 8 (osmikanálový DMUX)	
74x139	2x dekodér 1 ze 4 (2x čtyřkanálový DMUX)	
74x155	2x dekodér 1 ze 4 (2x čtyřkanálový DMUX)	
74x156	2x dekodér 1 ze 4 (2x čtyřkanálový DMUX)	OC
74x154	dekodér 1 ze 16 (šestnáctikanálový DMUX)	
74x159	dekodér 1 ze 16 (šestnáctikanálový DMUX)	OC



Obr. 90. Funkční schéma a rozmístění vývodů multiplexerů 74151 a 74153. Napájení je řešeno standardním způsobem: U_{CC} – pin 16, GND – pin 8



Obr. 92. Zapojení obvodu 74151 ve funkci schodišťového vypínače ovládaného ze tří míst. K ovládání slouží vstupy A_2, A_1 a A_0 ($A_x = H \dots$ zapnuto, $A_x = L \dots$ vypnuto). Je-li sepnut lichý počet spínačů, světlo svítí ($Y = H$), v opačném případě je $Y = L$ a světlo je vypnuto

Vít Špringl
(Pokračování příště)

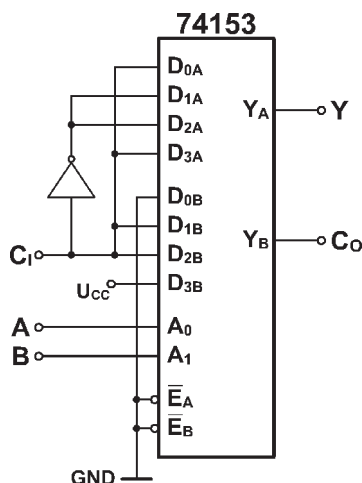
Digitální technika a logické obvody

Multiplexery a demultiplexery (Pokračování)

S použitím obvodu 74153, ve kterém jsou integrovány dva čtyřvstupové multiplexery, lze postupem popsaným minule realizovat dvě kombinační logické funkce dvou proměnných. Přidáme-li ovšem jeden invertor, můžeme realizovat i funkce tří proměnných, jak ukazuje obr. 93, na kterém je zobrazeno zapojení obvodu 74153 ve funkci úplné jednobitové sčítačky. (Návrh a funkce jednobitové sčítačky byly podrobně popsány v PE 8/2005.) Pro snazší pochopení tohoto zapojení je znovu uvedena pravdivostní tabulka úplné jednobitové sčítačky (tab. 47). Vstup C_1 slouží k přenosu z předchozího stupně, zatímco výstup C_0 slouží k přenosu do dalšího stupně sčítačky. Je zřejmé, že na multiplexeru můžeme adresovat pouze čtyři vstupy. Každý vstup D_0 až D_3 tedy bude zastupovat dva řádky v pravdivostní tabulce. Například vstup D_0 bude vybrán při adresách $C_1BA = 000$ (první řádek tabulky) i $C_1BA = 100$ (pátý řá-

Tab. 47. Pravdivostní tabulka pro jednobitovou úplnou sčítačku

C_1	B	A	C_0	Y
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



Obr. 93. Schéma zapojení úplné jednobitové sčítačky s použitím IO 74153 (viz pravdivostní tabulka 47)

dek). Výstupní funkce může být přitom definována čtyřmi způsoby:

- v obou případech bude na výstupu log. 0,
- v obou případech bude na výstupu log. 1,
- pro $C_1BA = 000$ bude na výstupu log. 0, zatímco pro $C_1BA = 100$ zde bude log. 1,
- pro $C_1BA = 000$ bude $Y = 1$ a pro $C_1BA = 100$ bude $Y = 0$.

V případě a) připojíme příslušný datový vstup multiplexeru (v tomto případě D_0) k úrovni L a v případě b) k úrovni H. Bude-li logická funkce definována podle c), stačí vstup připojit na signál C_1 a v případě d) k invertovanému signálu C_1 . V souladu s tab. 47 tedy připojíme vstup D_{0B} k úrovni L a D_{3B} k úrovni H (C_0 nabývá v prvním a pátém řádku log. 0 a ve čtvrtém a osmém log. 1). Vstupy D_{1B} , D_{2B} , D_{0A} a D_{3A} připojíme na signál C_1 , protože v příslušných dvojicích řádků se stejnými hodnotami A a B nabývají funkce stejných hodnot jako C_1 . Vstupy D_{1A} a D_{2A} je nutné připojit na invertovaný signál C_1 , protože ve druhém a šestém řádku a ve třetím a sedmém řádku má funkce Y opačnou hodnotu než C_1 .

Obr. 94 ukazuje funkční schéma a rozmístění vývodů dvou dekodérů/demultiplexerů. Obvod 74138 lze použít buď jako dekodér tříbitového binárního kódu na kód 1 z 8, nebo jako osmikanálový demultiplexer. Obvod je vybaven třemi vstupy uvolnění \bar{E}_1 , \bar{E}_2 a E_3 , z nichž první dva jsou aktivní v úrovni L a třetí v H. Ve funkci dekodéru slouží vstupy E k aktivaci a deaktivaci obvodu. Jak je patrné z obr. 94, vstupy uvolnění jsou uvnitř obvodu připojeny k hradlu AND, tudíž musí být $\bar{E}_1 = L$, $\bar{E}_2 = L$ a $E_3 = H$, aby byl obvod „uvolněn“. Výstupy obvodu \bar{Y}_0 až \bar{Y}_7 jsou invertované, a proto je aktivní výstup (vybraný adresou na vstupech A_2 , A_1 a A_0) v úrovni L, zatímco ostatní výstupy mají úroveň H. V případě, že je obvod blokován (tj.

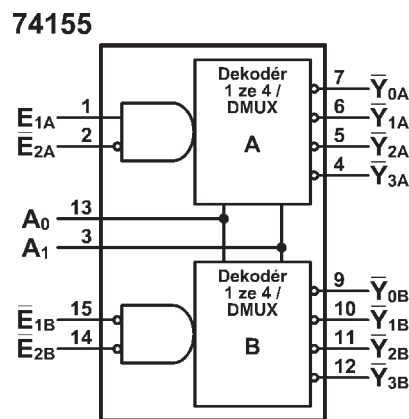
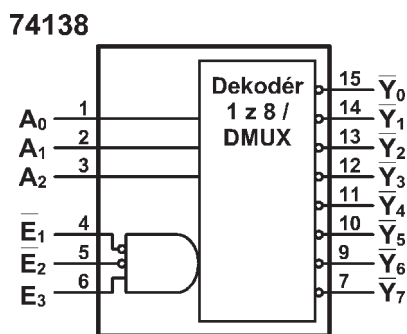
na \bar{E}_1 nebo \bar{E}_2 není úroveň L nebo na E_3 není úroveň H), všechny výstupy mají úroveň H.

Ve funkci demultiplexeru jsou data přivedena na jeden ze vstupů uvolnění \bar{E}_1 , \bar{E}_2 nebo E_3 . Zbývající vstupy uvolnění mohou sloužit k blokování demultiplexeru. V případě, že data vstupují do E_3 , úroveň na výstupu vybraném adresovými vstupy A_2 , A_1 a A_0 bude invertovaná. Zvolíme-li \bar{E}_1 nebo \bar{E}_2 výstupní data budou mít stejnou úroveň jako vstupní.

Integrovaný obvod 74155 obsahuje dva dekodéry dvoubitového binárního kódu na kód 1 ze 4, které lze použít jako čtyřkanálový demultiplexer. Funkce obvodu 74155 je obdobná jako u obvodu 74138, proto si ji popíšeme jen velmi stručně. Ve funkci dekodéru musí pro vstupy uvolnění platit: $E_{1A} = H$ a $\bar{E}_{2A} = L$, jinak bude dekodér s indexem A blokován. Pro normální funkci dekodéru B musí být $\bar{E}_{1B} = L$, $\bar{E}_{2B} = L$. Výstupy jsou opět aktivní v úrovni L. Dekódovaný výstup má tedy úroveň L, zatímco na ostatních výstupech je úroveň H. Je-li dekodér blokován, všechny výstupy mají úroveň H. Dekodéry mají společné adresové vstupy A_0 a A_1 , oba tedy dekodují stejnou hodnotu (tj. u obou dekodérů jsou aktivovány výstupy se stejnými číselnými indexy za předpokladu, že jsou oba dekodéry „uvolněny“).

Ve funkci demultiplexeru se data přivádějí na jeden ze vstupů uvolnění E_{1x} nebo E_{2x} . Druhý vstup uvolnění může sloužit k blokování demultiplexeru. Adresové vstupy A_1 a A_0 volí výstup pro přenos dat. U demultiplexeru s indexem A můžeme volit mezi přímým a invertovaným výstupem dat. V prvním případě zvolíme jako vstup dat \bar{E}_{2A} a E_{1A} připojíme na úroveň H. Pro negovaný výstup přivedeme data na vstup E_{1A} a vstup \bar{E}_{2A} připojíme na úroveň L.

Vit Špringl
(Pokračování příště)



Obr. 94. Funkční schéma a rozmístění vývodů demultiplexerů 74138 a 74155. Napájení: U_{CC} – pin 16, GND – pin 8

Digitální technika a logické obvody

Jednoduché sekvenční obvody

V minulých dílech jsme se zabývali jednoduchými kombinačními logickými obvody, které lze realizovat pomocí logických hradel. Pro kombinační obvody je charakteristické, že logická úroveň na jejich výstupu závisí výhradně na kombinaci úrovní přivedených na vstupy obvodu. Kombinační logické obvody nevykazují paměťový efekt a lze je jednoznačně popsat logickou funkcí. O některých složitějších kombinačních obvodech v integrovaně podobě se ještě zmíníme později.

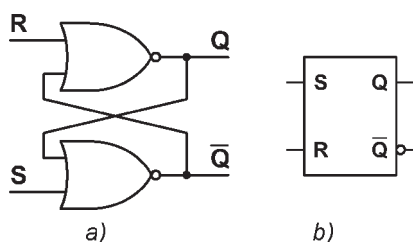
V následujících dílech našeho seriálu se budeme zabývat jednoduchými sekvenčními obvody. Na rozdíl od kombinačních obvodů nezávisí logická úroveň na výstupu sekvenčního obvodu pouze na okamžitých hodnotách vstupů, ale též na předchozích stavech obvodu. Pro jednoznačné určení výstupních úrovní je tedy potřeba kromě okamžitých vstupních hodnot znát též sekvenci jejich předchozích změn. Sekvenční obvody obsahují paměťové členy, které uchovávají informaci o předchozích stavech obvodu. Samotné paměťové prvky jsou obvykle realizovány klopnými obvody, se kterými se seznámíme v následujícím textu.

Klopný obvod R-S

Nejjednodušším sekvenčním obvodem je klopný obvod R-S (R-S KO), který je základem i mnohých složitějších sekvenčních obvodů. Klopný obvod lze jednoduše sestavit ze dvou dvouvstupových hradel NOR, přivedeme-li vždy k jednomu vstupu hradla signál z výstupu druhého hradla, čímž

Tab. 48. Tabulka stavů R-S klopného obvodu s hradly NOR

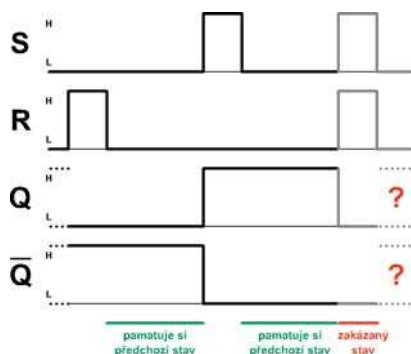
	S	R	Q_n	\bar{Q}_n
1	L	L	Q_{n-1}	\bar{Q}_{n-1}
2	L	H	L	H
3	H	L	H	L
4	H	H	L	L



Obr. 95. a) Klopný obvod R-S sestavený z hradel NOR, b) schematická značka R-S KO

se uzavře kladná zpětná vazba. Druhý vstup hradla slouží k ovládní klopného obvodu a plní buď funkci nastavení (vstup S – set, česky „nastav“), nebo vynulování (R – reset, česky „vynuluj“). Zapojení R-S klopného obvodu s hradly NOR je uvedeno na obr. 95, jeho chování je popsáno stavovou tab. 48.

Funkci obvodu lze popsat následovně: přivedeme-li na vstup R úroveň H a současně na vstup S úroveň L, na výstupu Q se objeví úroveň L. Ta je zpětnou vazbou přivedena na vstup druhého hradla, v důsledku čehož bude na výstupu \bar{Q} úroveň H. To plyne z funkce hradla NOR, na jehož výstupu je úroveň H pouze v případě, že je na obou jeho vstupech úroveň L. Tento stav odpovídá druhému řádku tabulky 48 a říkáme, že je klopný obvod vynulován. Pověšměte si, že zpětná vazba z výstupu Q na vstup prvního hradla způsobí, že obvod setrvá ve svém stavu i poté, co přejde vstup R do úrovně L. Přivedeme-li nyní na vstup S úroveň H (vstup R je v úrovni L), obvod se „nastaví“ a na výstupu Q bude úroveň H, zatímco na jeho negovaném protějšku \bar{Q} bude úroveň L. Zpětná vazba, která přivádí úroveň H z výstupu Q na vstup druhého hradla, opět způsobí, že obvod setrvá ve svém stavu i v případě, že vstup S přejde zpět do úrovně L. Vidíme tedy, že úroveň na výstupu klopného obvodu R-S nezávisí pouze na okamžitých hodnotách vstupů, ale též na předchozím stavu. Konkrétně je-li na obou vstupech úroveň L, výstupy Q a \bar{Q} mají stejnou úroveň jako v předchozím stavu, což vyjadřuje i první řádek tabulky 48. Co se stane, bude-li na obou vstupech úroveň H? Z funkce hradla NOR plyne, že v takovém případě bude na obou výstupech nízká úroveň. To samozřejmě nekoresponduje s naším označením výstupů, o kterých předpokládáme, že na nich budou vždy opačné úrovně. Další problém může nastat, přejdou-li oba vstupy současně z úrovně H do L. V takovém případě nelze určit, zda se obvod nastaví nebo vynuluje, a též nebude platit, že $Q_n = Q_{n-1}$ a $\bar{Q}_n = \bar{Q}_{n-1}$, jak je uvedeno v prvním řádku tabul-



Obr. 96. Časový diagram klopného obvodu R-S realizovaného hradly NOR

ky stavů. Z těchto důvodů označujeme stav vyjádřený řádkem 4 v tab. 48 jako zakázaný. Funkci klopného obvodu R-S lze též přehledně vyjádřit časovým diagramem na obr. 96.

Klopný obvod R-S s hradly NAND

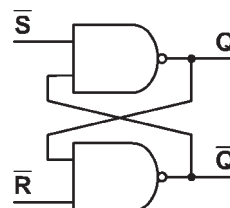
Zcela obdobně jako v předchozím případě lze sestavit klopný obvod R-S i ze dvou dvouvstupových hradel NAND (viz obr. 97). K jednomu vstupu hradla je opět přiveden signál z výstupu druhého hradla, čímž se uzavře zpětná vazba. Druhý vstup slouží k nastavení nebo nulování klopného obvodu. Vstupní signály jsou v tomto případě aktivní v úrovni L, což je hlavní rozdíl oproti předchozímu zapojení. Obvod se nastaví přivedením úrovně L na vstup S a úrovně H na vstup R. Zpětná vazba přivádějící úroveň L na vstup prvního hradla způsobí, že se stav obvodu nezmění, přejde-li vstup S do úrovně H. To plyne z funkce hradla NAND, na jehož výstupu je úroveň H vždy, kdy je alespoň na jednom jeho vstupu úroveň L. Obvod se nuluje přivedením úrovně L na vstup R a úrovně H na vstup S. Díky zpětné vazbě se opět nezmění stav, přejde-li nyní vstup R do úrovně H. Protože jsou vstupní signály aktivní v úrovni L, nazývá se toto zapojení také jako R-S NON klopný obvod a jeho funkci můžeme vyjádřit stavovou tabulkou 49. Ze stejného důvodu jako v předchozím případě nazýváme stav, kdy jsou oba vstupy v úrovni L, jako zakázaný. Z funkce hradel NAND plyne, že budou mít v tomto případě oba výstupy úroveň H.

Klopný obvod R-S, ať již ve verzi s hradly NOR nebo hradly NAND, představuje nejjednodušší zapojení vykazující paměťový efekt. Jedná se tedy o nejjednodušší sekvenční logický obvod. Klopný obvod R-S je základem složitějších klopných obvodů, které odstraňují problémy se zakázaným stavem.

Vít Špringl
(Pokračování příště)

Tab. 49. Tabulka stavů R-S NON klopného obvodu s hradly NAND

	\bar{S}	R	Q_n	\bar{Q}_n
1	H	H	Q_{n-1}	\bar{Q}_{n-1}
2	H	L	L	H
3	L	H	H	L
4	L	L	H	H



Obr. 97. Klopný obvod R-S NON sestavený z hradel NAND

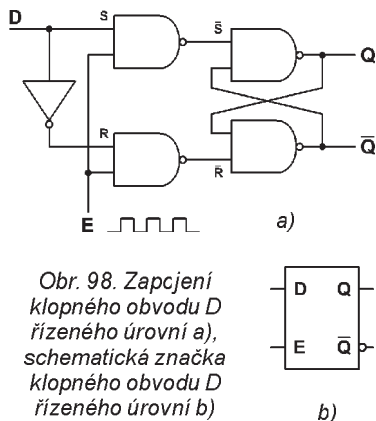
Digitální technika a logické obvody

Jednoduché sekvenční obvody (Pokračování)

Klopný obvod D řízený úrovní

U nejjednodušších klopných obvodů typu R-S, se kterými jsme se seznámili v minulém dílu, jsme narazili na jeden nepříjemný problém, kterým je tzv. zakázaný stav. Jedná se o stav, kdy jsou oba vstupy R i S aktivní (tj. $R = S = 1$ u klopného obvodu R-S sestaveného z hradel NOR a $\bar{R} = \bar{S} = 0$ u klopného obvodu R-S NON z hradel NAND). V takovém případě jsou na obou výstupech Q i \bar{Q} stejné úrovně, což odporuje jejich funkci. Zároveň obvod přejde do náhodného stavu, přejdou-li nyní oba vstupy do opačné úrovně. Stejný stav, kdy nelze předpovědět, zda se obvod vynuluje nebo nastaví, nastane také při připojení napájecího napětí. Vzhledem k těmto neduhům nejsou nejjednodušší klopné obvody typu R-S vhodné pro realizaci složitějších sekvenčních obvodů.

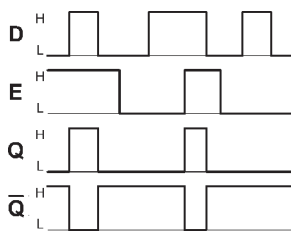
Jednou z možností, jak předejít problému se zakázaným stavem, je zapojit před vstup klopného obvodu invertor. Přidáme-li navíc dvě hradla NAND, získáme



Obr. 98. Zapojení klopného obvodu D řízeného úrovní a), schematická značka klopného obvodu D řízeného úrovní b)

Tab. 50. Tabulka stavů klopného obvodu D řízeného úrovní

D	E	Q_n	\bar{Q}_n
L	H	L	H
H	H	H	L
X	L	Q_{n-1}	\bar{Q}_{n-1}

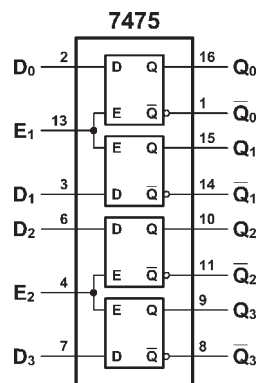


Obr. 99. Časový diagram klopného obvodu D řízeného úrovní

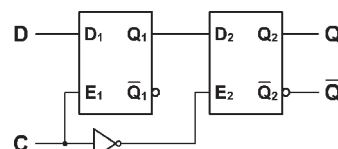
tzv. klopný obvod D řízený úrovní, který je zobrazen na obr. 98. Zapojení vychází z R-S NON klopného obvodu (\bar{R} -SKO) sestaveného z hradel NAND, před jehož vstupy jsou předřazena další dvě hradla NAND, která jsou řízena signálem E (enable, česky povolit [funkci]). Přivedeme-li na vstup E úroveň H, signály R a S jsou negované přenášeny na vstupy \bar{R} -SKO. Úroveň L na vstupu E blokuje přenos signálů R a S, na vstupech \bar{R} -SKO jsou úrovně H a obvod se nachází v paměťovém režimu v souladu se stavovou tab. 49 (viz PE 1/2006). Celý klopný obvod D je řízen signálem D (data), který je přiváděn na vstup S a invertovaný na vstup R. Tím je vyloučen problematický zakázaný stav, se kterým jsme se potýkali u klopného obvodu R-S. Funkce klopného obvodu D je vyjádřena stavovou tab. 50. V případě, že je vstup E v úrovni H, nastaví se obvod při D = H, a při D = L se nuluje. Data ze vstupu D jsou tedy přenášena přímo na výstup Q. Přivedeme-li na vstup E úroveň L, obvod přejde do paměťového režimu a na výstupech budou úrovně, které odpovídají předchozímu stavu nezávisle na momentální úrovni na vstupu D. Chování klopného obvodu D je tak velice podobné paměti. V anglickém jazyce je tento obvod označován jako latch, což v českém překladu znamená závora. Tento termín vcelku trefně vystihuje funkci obvodu, kdy „závora“ ovládaná signálem E umožňuje nebo blokuje přenos dat ze vstupu D na výstup Q. Funkci klopného obvodu D řízeného úrovní lze též vyjádřit časovým diagramem na obr. 99.

Klopných obvodů D řízených úrovní se využívá jako střadačů. Příkladem čtyřbitového střadače je integrovaný obvod TTL 7475, jehož vnitřní zapojení a rozmístění vývodů je uvedeno na obr. 100. V obvodu jsou integrovány čtyři klopné obvody D řízené úrovní (střadače), z nichž vždy dva jsou řízeny stejným signálem uvolnění E. Je-li E = H, jsou data ze vstupů D přenášena na výstupy Q a \bar{Q} . S přechodem signálu E z úrovně H do L jsou data ve střadači uložena až do okamžiku, kdy se jeho úroveň vrátí zpět do H.

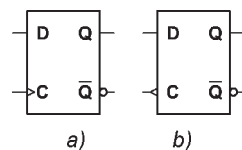
Pokud vás nenapadá, k čemu by se dal takový obvod použít, představte si zapojení, které by měřilo frekvenci na základě počtu impulsů, které přijdou na vstup obvodu za jednu sekundu. Srdcem takové-



Obr. 100. Funkční schéma a rozmístění vývodů střadače 7475. Napájení: U_{CC} – pin 5, GND – pin 12



Obr. 101. Zapojení klopného obvodu D řízeného hranou se dvěma KO D řízenými úrovní



Obr. 102. Schematická značka klopného obvodu D řízeného náběžnou (a) a sestupnou (b) hranou

ho zapojení by byl čítač, který by počítal impulsy a každou vteřinu by byl vynulován. Na jeho výstupu by byl dále dekodér a displej. Abychom však na displeji viděli měřený kmitočet namísto pouhého rychlého sledu nic neříkajících čísel, museli bychom mezi výstupy čítače a dekodér zapojit právě zmíněný střadač, který by uchovával maximální hodnoty čítače těsně před jeho vynulováním.

Klopný obvod D řízený hranou

V mnohých případech je žádoucí, aby se data ze vstupu D na výstupy klopného obvodu nepřenesla po celou dobu, kdy je vstup uvolněn E v úrovni H, ale pouze při náběžné nebo sestupné hraně tohoto signálu. To lze zajistit např. zapojením dvou klopných obvodů D řízených úrovní podle obr. 101. Řídicí signál C (clock – hodinový signál) je přiváděn ke vstupu E_1 prvního klopného obvodu a jeho negovaná úroveň ke vstupu E_2 druhého klopného obvodu. Ze zapojení je patrné, že vstupní signál D nemůže být nikdy přenesen přímo na výstupy Q a \bar{Q} , protože se vždy jeden z klopných obvodů D nachází v paměťovém režimu. Je-li C = L, první klopný obvod si pamatuje úroveň, která byla na jeho vstupu před příchodem sestupné hrany hodinového signálu (tj. než se změnil signál C z úrovně H do L). Druhý klopný obvod je nyní průchozí a přenáší tuto úroveň na výstupy Q a \bar{Q} . S náběžnou hranou signálu C nedojde na výstupech k žádné změně. Druhý klopný obvod totiž přejde do paměťového režimu a na výstupu tak bude stále udržovat úroveň, která byla na vstupu D před příchodem sestupné hrany hodinového signálu. Úrovně na výstupech se změní až s další sestupnou hranou signálu C. V tomto okamžiku přejde první KO do paměťového režimu a druhý KO přeneše úroveň z vstupu prvního klopného obvodu na výstupy Q a \bar{Q} . Vidíme tedy, že velmi krátký přechod signálu C z úrovně H do L je jediným okamžikem, kdy se přenášejí data ze vstupu D na výstupy Q a \bar{Q} . Funkce klopného obvodu řízeného sestupnou hranou je vyjádřena stavovou tab. 51. Jednoduchou úpravou bychom mohli navrhnout klopný obvod D řízený náběžnou hranou. Stačilo by prohodit invertor a přivádět tak negovaný signál \bar{C} ke vstupu E_1 .

Vít Špringl (Pokračování přístě)

Tab. 51. Tabulka stavů klopného obvodu D řízeného sestupnou hranou (\uparrow = náběžná hrana, \downarrow = sestupná hrana)

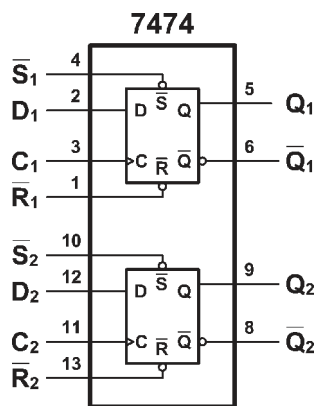
D	C	Q_n	\bar{Q}_n
X	L	Q_{n-1}	\bar{Q}_{n-1}
X	H	Q_{n-1}	\bar{Q}_{n-1}
X	\uparrow	Q_{n-1}	\bar{Q}_{n-1}
L	\downarrow	L	H
H	\downarrow	H	L

Digitální technika a logické obvody

**Jednoduché
sekvenční obvody**
(Pokračování)

Integrovaný obvod TTL 7474

Tento integrovaný obvod, který patří mezi standardní sortiment obvodů TTL, obsahuje dva nezávislé klopné obvody D řízené náběžnou hranou. Jak je patrné z obr. 103, na kterém je zobrazeno funkční schéma a zapojení vývodů IO 7474, klopné obvody D disponují kromě standardních vstupů D a C též vstupy pro asynchronní nastavení (\bar{S}) a nulování (\bar{R}). (Pozn.: pojem asynchronní vyjadřuje, že se změna úrovně na příslušném vstupu \bar{S} nebo \bar{R} projeví okamžitě nezávisle na hodinových impulsích na vstupu C. Přívlastek synchronní by naopak vyjadřoval, že se příslušné změny projeví až po příchodu aktivní hrany na vstup C.) Vstupy \bar{R} a \bar{S} jsou aktivní v úrovni L, klopný obvod se tedy nuluje při $\bar{R}=L$ a nastavuje při $\bar{S}=L$, a to nezávisle na úrovních na vstupech D a C. V případě $\bar{R}=\bar{S}=L$ bude na obou výstupech logická úroveň H a při přechodu obou vstupů současně do úrovně H se výstupy nastaví do náhodného stavu. Takové situaci je v praxi nutno zabránit. Vidíme, že ob-



Obr. 103. Funkční schéma a rozmístění vývodů IO 7474. Napájení: U_{CC} – pin 14, GND – pin 7

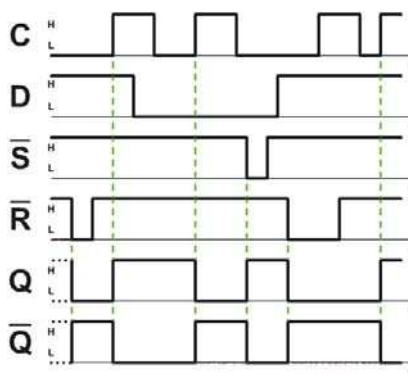
Tab. 52. Tabulka stavů jednoho klopného obvodu D v IO 7474

\bar{S}	\bar{R}	D	C	Q_n	\bar{Q}_n
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H
H	H	X	X	Q_{n-1}	\bar{Q}_{n-1}
H	H	X	↓	Q_{n-1}	\bar{Q}_{n-1}
H	H	L	↑	L	H
H	H	H	↑	H	L

vody typu 7474 mohou pracovat i jako klasické klopné obvody R-S. V takovém případě je vhodné připojit vstupy D a C na definovanou úroveň (je lhostejné zda na L nebo H). Připojíme-li vstupy \bar{S} a \bar{R} na úroveň H, budou se obvody chovat jako klopné obvody D popsané v předchozím dílu, tj. s náběžnou hranou na vstupu C se přenesou data ze vstupu D na výstup Q. Možná vás napadá, k čemu jsou vlastně klopné obvody vybaveny vstupy \bar{R} a \bar{S} , které trpí úplně stejnými nedostatky jako klopné obvody R-S, když právě tyto nedostatky jsme se snažili přechodem na klopný obvod typu D odstranit. Přítomnost vstupů má své opodstatnění, protože umožňuje rychlé nulování a nastavení, čehož lze s výhodou využít např. v zapojení posuvného registru nebo čítače, které budou popsány dále. Funkce jednoho klopného obvodu D integrovaného v IO 7474 je též patrná ze stavové tabulky 52. Časový diagram obvodu 7474 je uveden na obr. 104.

Experimenty s obvodem 7474

Následující jednoduchá zapojení poskytují možnost seznámit se s funkcí klopného obvodu D v praxi. Na nepájivém kontaktním poli si nejprve můžete vyzkoušet funkci klopného obvodu R-S (vstupy C a D můžete ponechat nezapojené nebo je připojit na úroveň L nebo H). Na výstupy Q a \bar{Q} zapojte proti zemi LED s malým příkonem (2 mA) v sérii s předřadným rezistorem přibližně 820 Ω . Vyzkoušej-



Obr. 104. Časový diagram obvodu 7474



te všechny čtyři kombinace úrovní na vstupech \bar{R} a \bar{S} a ověřte, že se obvod chová stejně jako klopný obvod RS-NON sestavený z hradel NAND, který byl popsán v předminulém dílu. Připomeňme, že nezapojené vstupy se chovají stejně, jako by byly připojené na úroveň H. Dále můžete vyzkoušet spojit vstupy \bar{R} a \bar{S} a jedním drátkem přivádět úroveň L na oba vstupy současně. Uvidíte, že po připojení drátku k liště s úrovní L bude na obou výstupech úroveň H. Po vytažení drátku se klopný obvod buď nastaví, nebo vynuluje. Při mém experimentu se klopný obvod většinou vynuloval, v některých případech však došlo k jeho nastavení. Pokud jsem ovšem nechal zatížený pouze výstup Q (LED na výstupu \bar{Q} jsem odpojil), obvod se naopak ve většině případů nastavil. V praxi je takové náhodné chování nepřijatelné a zakázanému stavu $\bar{R}=\bar{S}=L$ je třeba se úplně vyhnout.

Z dalšího experimentu uvidíte, proč je vhodné nepoužít vstupy vždy připojit na definovanou úroveň a nenechávat je nezapojené. Klopný obvod nejprve vynulujte. Vstupy \bar{R} , \bar{S} a D připojte na úroveň H a ke vstupu C připojte kousek drátku, který však nechte nezapojený. Dále budete potřebovat transformátorovou páječku, kterou lze použít jako účinný zdroj rušení. Obvod by se nyní měl nastavit náběžnou hranou na vstupu C. Vstup C však kvůli tomu není třeba zapojovat. Obvod se totiž téměř spolehlivě nastaví při pouhém zapnutí páječky v blízkosti drátku, který je připojen ke vstupu C. Přivedete-li nyní na vstup D úroveň L a opět zapnete páječku v blízkosti obvodu, obvod se vynuluje. Tento experiment názorně ukazuje, jak je nezapojený vstup citlivý na rušivé signály, a proto je v praxi vždy vhodné nepoužité vstupy připojit na takovou úroveň, která neovlivní funkci obvodu.

Dále vyzkoušejte funkci samotného klopného obvodu D. Vstupy nulování a nastavení připojte na úroveň H a vstup C na úroveň L. Úroveň na vstupu D volte podle toho, zda chcete obvod nastavit či vynulovat. Vytáhnutím drátku přivádějícího úroveň L na vstup C z kontaktního pole se přenesou úroveň ze vstupu D na výstup Q (na výstupu \bar{Q} bude invertovaná úroveň). Toto je vlastně ekvivalentní přivedení náběžné hrany na vstup C, protože nezapojený vstup se chová stejně, jako by na něm byla úroveň H. Drátek nyní zapojte zpět do kontaktního pole, aby na vstupu C byla opět úroveň L, a vstup D připojte na opačnou úroveň. Po vytažení drátku z kontaktního pole se stejně jako v předchozím případě přenesou úroveň ze vstupu D na výstup Q.

Vít Špringl
(Pokračování příště)

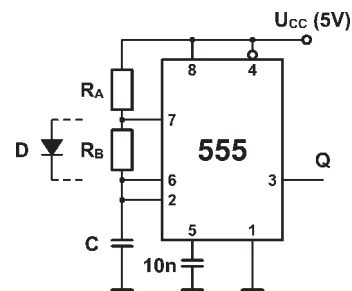
Digitální technika a logické obvody

Jednoduché sekvenční obvody (Pokračování)

Nyní provedte poslední experiment s obvodem 7474. Vstup C ponechte nezapojený, vstup D připojte na úroveň L, je-li obvod nastaven, nebo na úroveň H, je-li obvod vynulován. Vstupy \bar{R} a \bar{S} ponechte na úrovni H. Z funkce obvodu 7474 plyne, že by se úroveň ze vstupu D na výstup měla přenést pouze s naběžnou hranou na vstupu C. Připojíme-li však nyní vstup C propojovacím drátkem k úrovni L, což odpovídá přivedení sestupné hrany, přenesou se data ze vstupu D na výstupy, ačkoliv by obvod na sestupnou hranu reagovat neměl. Je snad něco v nepořádku s integrovaným obvodem 7474? Většinu z vás určitě napadlo, že bude problém v drátku, kterým přivádíme logickou úroveň ke vstupu C. Při dotyku se totiž drátek chvěje, a to způsobí, že se na vstupu C objeví i několik desítek impulsů. V prvním případě jsme na tento problém nenarazili, protože jsme nejprve připojili vstup C k úrovni L a teprve potom změnili úroveň na vstupu D. Ve druhém případě jsme nejprve změnili úroveň na vstupu D a pak teprve připojili vstup C na L. Někteří z vás možná rovnou použili tlačítka, protože se jim zdál mnou popsán přístup příliš neprofesionální. Zadávání údajů by bylo možná o něco jednodušší, problémem s opakovanými impulsy však tímto způsobem neodstraníte. Při spínání a rozepínání tlačítka totiž také vznikají přechodové jevy, jejichž důsledkem je rozkmitání mechanické části. Než se tlačítko ustálí, několikrát za sebou se kontakty spojí a opět rozpojí. Pokud je tlačítko připojeno k hodinovému vstupu nějakého sekvenčního obvodu, bude jeden jeho stisk vyhodnocen jako mnoho krátkých impulsů. Řešení existuje několik. Používá se například zapojení filtru typu dolní propust s jedním rezistorem a kondenzátorem. V našem případě bude nejjednodušší realizovat tzv. bezzákmitové tlačítko pomocí klopného obvodu RS, na jehož vstup zapojíme buď přepínač, nebo ho budeme ovládat dvěma tlačítky. Toto řešení si můžete snadno vyzkoušet. Stačí použít druhý klopný obvod v IO 7474.

Přivádění impulsů na vstup C tímto způsobem je ovšem i tak velice nepohodlné a zdlouhavé. V následujících, ale i v budoucích zapojeních s výhodou využijeme jako zdroj hodinového signálu generátor pravouhých impulsů. Takový obvod lze snadno sestavit z několika hradel (obvykle

postačí např. dva inverytory nebo hradla NAND), rezistorů a kondenzátorů. Ještě jednodušší a spolehlivější generátor pravouhých impulsů můžeme získat zapojením univerzálního časovače 555 ve funkci astabilního multivibrátoru. (Pozn.: Tento integrovaný obvod je vyráběn mnoha výrobci, od čehož se odvíjejí i různá označení – např. NE555, LM555 aj. Jedná se však o identické integrované obvody.) V zapojeních se obvykle udává pouze obecné označení 555, stejně tak lze obvod pod tímto obecným označením zakoupit i v prodejně. Vyrábí se též CMOS verze tohoto obvodu, značená např. GLC555, ICM7555, TLC555 aj., ta je však pro naše účely méně vhodná. O integrovaném obvodu 555 již bylo napsáno nespočet článků a dokonce vyšlo v češtině i několik knih, které uvádějí mnoho praktických zapojení s tímto obvodem. Kdo by se chtěl s ním seznámit blíže, nechť nahlédně do některých z těchto publikací nebo prolistuje starší čísla PE. Zde si obvod popíšeme jen velice stručně. Zapojení IO ve funkci astabilního multivibrátoru je uvedeno na obr. 105. Vývody 2 a 6 jsou připojeny na vstupy vnitřních komparátorů, které řídí vnitřní klopný obvod RS. Zmenší-li se napětí na vstupu 2 pod 1/3 napájecího napětí U_{CC} , obvod se nastaví a na výstupu 3 se objeví napětí blízké napájecímu napětí U_{CC} . Překročí-li naopak napětí na vstupu 6 velikost 2/3 U_{CC} , obvod se vynuluje, na výstupu 3 se objeví napětí blízké nule a navíc se aktivuje nulovací výstup 7. Funkce obvodu na obr. 105 je velice jednoduchá. Kondenzátor C se nejprve nabíjí přes rezistory R_A a R_B až do doby, kdy jeho napětí dosáhne prahové úrovně (2/3 U_{CC}). Do této chvíle bylo na výstupu 3 napětí blízké U_{CC} a nulovací výstup 7 byl odpojen. Po překročení prahové úrovně na vstupu 6 se vnitřní klopný obvod RS vynuluje a na výstupu 3 se objeví nulové napětí. Zároveň se aktivuje výstup 7, který se přes vnitřní tranzistor připojí na nulové napětí. Kondenzátor C se začne vybíjet přes rezistor R_B . Vybíjení kondenzátoru trvá až do doby, kdy se jeho napětí zmenší pod úroveň 1/3 U_{CC} . V tomto okamžiku se obvod opět nastaví, dezaktivuje se nulovací výstup 7, kondenzátor se začne opět nabíjet a celý cyklus se opakuje. K čemu slouží další vývody? Na piny 1 a 8 se přivádí napájecí napětí (pin 1 – GND, pin 8 – U_{CC}). Vstup 5 je připojen k vnitřnímu odporovému děliči a umožňuje změnit komparační úroveň na vstupech 2 a 6. Obvykle se nepoužívá a je možné ho ponechat nezapojený. Lepší variantou je však připojit tento vstup přes kondenzátor (s kapacitou typicky 10 nF) k nulovému potenciálu. Úkolem kondenzátoru je zamezit vstupu rušivých impulsů, které by mohly ovlivnit spolehlivost obvodu. Poslední



Obr. 105. Astabilní multivibrátor s integrovaným obvodem 555

vstup č. 4 umožňuje nulování vnitřního klopného obvodu nezávisle na signálech z komparátorů. Připojíme-li ho k nulovému potenciálu, na výstupu bude napětí blízké nule a zároveň se aktivuje výstup 7. Protože má vstup 4 vyšší prioritu než vstupy 2 a 6, obvod zůstane vynulován až do doby, kdy na vstup 4 přivedeme kladné napětí U_{CC} . Tento vstup můžeme v našem zapojení využít pro zastavení generování impulsů. Chceme-li funkci obvodu povolit, připojíme vstup 4 na U_{CC} .

Doba nabíjení a vybíjení kondenzátoru závisí na odporu rezistorů R_A a R_B a kapacitě kondenzátoru C a lze je vypočítat z exponenciálních průběhů napětí na kondenzátoru a prahových úrovní komparátorů.

Doba nabíjení (na výstupu je napětí blízké U_{CC}) je dána vzorcem:

$$t_1 = 0,693 \cdot (R_A + R_B) \cdot C$$

doba vybíjení (na výstupu je napětí blízké nule) je:

$$t_2 = 0,693 \cdot R_B \cdot C$$

kmitočet výstupního signálu je dán výrazem:

$$f = \frac{1}{T} = \frac{1}{t_1 + t_2} = \frac{1,44}{(R_A + 2R_B) \cdot C}$$

Vidíme, že v uvedeném zapojení nemůžeme dosáhnout u výstupního napětí střídů 1:1. To lze napravit zapojením diody paralelně k rezistoru R_B (viz obr. 105). Pak se bude kondenzátor nabíjet pouze přes rezistor R_A a doba nabíjení bude dána vztahem $t_1 = 0,693 \cdot R_A \cdot C$. Doba vybíjení zůstane beze změny. Střídů 1:1 lze nyní dosáhnout při $R_A = R_B$. Kmitočet výstupního napětí se změní na

$$f = \frac{1}{T} = \frac{1}{t_1 + t_2} = \frac{1,44}{(R_A + R_B) \cdot C}$$

Povolené napájecí napětí obvodu je 4,5 až 16 V. V našem případě budeme obvod napájet napětím 5 V. Výstupní napětí na vývodu 3 lze pak použít jako úroveň L a H pro logické obvody. Na závěr ještě dodejme, že povolený výstupní proud z výstupu 3 je u bipolární verze 200 mA. Nebude tedy problém budit vstupy logických obvodů a zároveň na výstup zapojit běžnou LED (samozřejmě s příslušným rezistorem).

Vít Špringl
(Pokračování příště)

Digitální technika a logické obvody

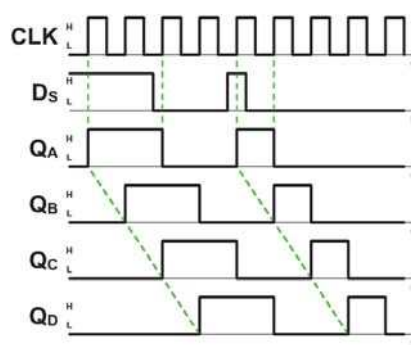
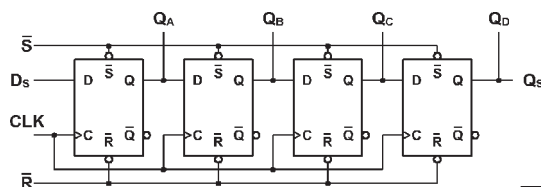
Jednoduché sekvenční obvody (Pokračování)

Další zapojení s klopnými obvody D řízenými hranou ukazuje obr. 110. Vstup D jsou zapojeny vždy na výstup Q předcházejícího klopného obvodu, zatímco hodinový signál je pro všechny klopné obvody stejný (pozn.: stav všech výstupů se v tomto případě mění současně s příchodem náběžné hrany na vstup CLK, jedná se tedy o synchronní obvod). Podobně jako v předchozím případě jsou vyvedeny výstupy Q_A až Q_D , obvod je však kromě hodinového vstupu CLK vybaven též sériovým vstupem dat D_S (vstup prvního klopného obvodu). Výstup Q_D navíc můžeme chápat jako sériový výstup. Funkce obvodu je velice jednoduchá. S každou náběžnou hranou hodinového signálu se posune informace ze vstupu D_S o jeden klopný obvod doprava (tj. na následující výstup), jak je patrné z časového diagramu na obr. 111. Právě popsané zapojení nazýváme posuvným registrem. V závislosti na konkrétní modifikaci lze posuvný registr obecně použít jako sériově-paralelní nebo paralelně-sériový převodník, vyrovnávací paměť, zpožďovací linku apod.

Funkci zapojení můžeme opět ověřit na nepájivém kontaktním poli. Stejně jako v případě čítače s výhodou použijeme jako zdroj hodinového signálu generátor pravoúhlých impulsů s obvodem 555, který byl popsán v PE 4/06, a na výstupy zapojíme proti zemi LED s malým příkonem (2 mA) s předřadným rezistorem asi 800 Ω . Vyzkoušejte měnit úroveň na vstupu D_S a sledujte, jak se příslušná úroveň posouvá s každým hodinovým impulsem doprava na následující výstup. Dále můžeme vyzkoušet propojit výstup Q_S se vstupem D_S , čímž získáme tzv. kruhový registr. Pokud kruhový registr vynulujeme přivedením impulsu L na vstupy \bar{R} všech klopných obvodů a následně přivedeme krátce úroveň L na vstup \bar{S} prvního KO (impuls musí být kratší, než je perioda hodinového signálu, nebo je nutno hodinový signál na chvíli odpojit), získáme zapojení „běžícího světla“, kdy je rozsvícena jedna LED, jejíž pozice se mění zleva doprava. Efekt můžeme samozřejmě znásobit zapojením více klopných obvodů D.

Další klopné obvody D řízené úrovní a hranou

Tab. 53 uvádí přehled vybraných hranou řízených klopných obvodů D

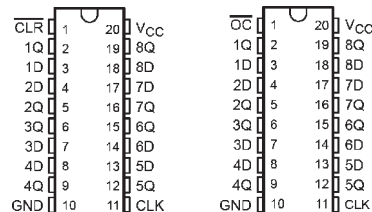


Obr. 111. Časový diagram posuvného registru z obr. 110

řady TTL 7400. Vynecháme-li obvod 7474, kterým jsme se podrobně zabývali v posledních třech dílech, jedná se o integrované obvody sdružující v jednom pouzdře čtyři až osm klopných obvodů D řízených hranou. Pro velký počet vstupů a výstupů jsou hodinové a ovládací vstupy jednotlivých klopných obvodů spojeny do jediného vývodu, přičemž je obvykle vyveden pouze jeden řídicí vstup - vstup nulování, vstup uvolnění nebo vstup řízení výstupu (output enable/output control - u obvodů s třístavovými výstupy). Tabulku bychom dále mohli doplnit o některé další integrované obvody, které se však příliš funkčně neliší od těch v tabulce uvedených (např. obvod 74574 má stejnou funkci jako IO 74374, liší se pouze rozmístěním vývodů; podobně obvod 74564 má stejnou funkci jako IO 74534, opět se ale liší rozmístěním vývodů). Integrované obvody uvedené v tabulce lze použít např. ve funkci vyrovnávacích, paměťových nebo posuvných registrů, budičů sběrnice apod.

Na obr. 112 je zobrazeno rozmístění vývodů obvodu 74273, který obsahuje osm klopných obvodů D řízených náběžnou hranou. Všechny klopné obvody mají společný vstup hodinových impulsů CLK a vstup nulování CLR. Přivedením úrovně L na

Obr. 110. Schéma zapojení čtyřbitového posuvného registru s použitím dvou obvodů 7474



Obr. 112 a 113. Rozmístění vývodů IO 74273 (vlevo) a 74374 (vpravo)

vstup \bar{CLR} je možno nezávisle na ostatních vstupech všechny klopné obvody vynulovat. Při $\bar{CLR} = H$ se klopné obvody D chovají standardním způsobem, tj. s náběžnou hranou hodinového signálu se data ze vstupů D uloží do klopných obvodů a současně se objeví na výstupech Q.

Integrovaný obvod 74374, jehož rozmístění vývodů ukazuje obr. 113, obsahuje stejně jako předchozí obvod osm klopných obvodů D. Ty jsou opět řízeny náběžnou hranou na společném hodinovém vstupu CLK, vstup nulování je zde ovšem nahrazen vstupem \bar{OC} (output control), který slouží k řízení třístavových výstupů. Bude-li na vstupu \bar{OC} úroveň H, výstupy Q budou ve stavu vysoké impedance. V opačném případě bude na výstupu úroveň H nebo L podle toho, zda je daný klopný obvod nastaven nebo vynulován. Vstup \bar{OC} řídí pouze výstupní oddělovače a nemá vliv na funkci samotných klopných obvodů, do kterých mohou být zapisována data jak při $\bar{OC} = L$, tak při $\bar{OC} = H$. Výhodou třístavových výstupů je, že umožňují přímé připojení obvodu na společnou sběrnici. Hodinový vstup obvodu 74374 je navíc vybaven Schmittovým klopným obvodem, který zvyšuje odolnost proti rušení. Integrované obvody 74273 a 74374 lze použít např. pro realizaci osmibitového posuvného registru, který si můžete vyzkoušet sestavit na nepájivém kontaktním poli (jedná se o rozšíření zapojení z obr. 110).

Tab. 53. Přehled vybraných hranou řízených klopných obvodů D řady TTL řady 7400. (TS = třístavové výstupy)

Typ	Funkce	Poznámka
74x74	2x D	samostatné nulování, nastavení i hodiny, výstupy Q i \bar{Q} , více v PE 3/06
74x173	4x D	TS, 2 vstupy uvolnění, 2 vstupy pro řízení výstupu, společné nulování
74x174	6x D	spol. nulování a hodiny
74x175	4x D	spol. nulování a hodiny, výstupy Q i \bar{Q}
74x273	8x D	spol. nulování a hodiny
74x374	8x D	TS, spol. hodiny a vstup pro řízení výstupu
74x377	8x D	spol. vstup uvolnění a spol. hodiny
74x378	6x D	spol. vstup uvolnění a spol. hodiny
74x379	4x D	spol. vstup uvolnění a spol. hodiny, výstupy Q i \bar{Q}
74x534	8x D	funkčně ekvivalentní s 74x374, ale invertované výstupy (\bar{Q})

Digitální technika a logické obvody

Další klopné obvody D (Pokračování)

Přehled vybraných klopných obvodů D řízených úrovní (střadačů) řady TTL7400 je uveden v tab. 54. Klopné obvody D řízené úrovní lze využít např. jako vyrovnávací nebo pracovní registry, buďče sběrnice, ve vstupně-výstupních portech apod.

Klopný obvod J-K

Po klopném obvodu typu D představuje KO J-K druhý základní typ bistabilního klopného obvodu. Podobně jako klopný obvod D, kterým jsme se podrobně zabývali v posledních čtyřech dílech, vychází i klopný obvod J-K z původního KO R-S popsaného v PE1/2006. Opět je tedy nutné nějakým způsobem odstranit problematický zakázaný stav, ke kterému dochází, jsou-li aktivní oba vstupní signály R i S. Zatímco u klopného obvodu D byl tento problém vyřešen zredukováním dvou řídicích signálů R a S na jeden signál D, klopný obvod J-K zachovává oba řídicí signály pro nastavení i nulování, které se označují J a K, zavádí však zpětnou vazbu z výstupů Q a \bar{Q} .

Principiální zapojení klopného obvodu J-K řízeného impulsem je uvedeno na obr. 114. Jedná se o spojení dvou klopných obvodů R-S, jejichž vstupní hradla NAND jsou řízena signálem C (clock – hodinový signál). Tato dvoustupňová struktura bývá nazývána jako MASTER-SLAVE. První klopný obvod je označován jako master – česky pán, druhý jako slave – česky otrok.

Ze schématu na obr. 114 je patrné, že vstupy klopného obvodu nemohou přímo ovlivňovat úroveň na výstupech, protože je signál vždy „uzamčen“ v přední nebo zadní části obvodu. Stav obvodu se tak logicky může měnit pouze se změnou úrovně

Tab. 54. Přehled vybraných klopných obvodů D řízených úrovní (střadačů) řady TTL7400. (TS = třístavové výstupy)

Typ	Funkce	Poznámka
74x75	4bitový střadač D	vstupy uvolnění společně vždy pro 2 klopné obvody, výstupy Q i \bar{Q} , více viz PE 2/2006
74x373	8bitový střadač D	TS, spol. vstup uvolnění a vstup pro řízení výstupu, zapojení vývodů jako u 74x374 (hodinový vstup CLK nahrazen vstupem uvolnění E)
74x375	4bitový střadač D	ekvivalentní s 74x75, liší se však rozmístěním vývodů
74x533	8bitový střadač D	funkčně ekvivalentní s 74x373, ale invertované výstupy (\bar{Q})
74x563	8bitový střadač D	ekvivalentní s 74x533, liší se rozmístěním vývodů
74x573	8bitový střadač D	ekvivalentní s 74x373, liší se rozmístěním vývodů

na vstupu C, tedy s náběžnou nebo spádovou hranou. V tomto případě se přenesou s náběžnou hranou signálu C úrovně ze vstupů J a K na vstupy prvního klopného obvodu R-S. Protože je však ke druhému KO R-S přiváděn negovaný signál C, jsou jeho vstupní hradla NAND blokována nízkou úrovní a signál nemůže projít na výstupy Q a \bar{Q} . Se spádovou hranou hodinového impulsu se „uzamkne“ první klopný obvod R-S, protože je na jeho vstupní hradla NAND přivedena úroveň L. Druhý klopný obvod je nyní naopak průchozí a přenesou úrovně z výstupů prvního KO R-S na výstupy Q a \bar{Q} . Po dobu trvání hodinového impulsu, kdy C = H, se nesmí měnit úrovně vstupů J a K.

Problémem klopných obvodů R-S je jejich zakázaný stav, při kterém jsou oba výstupy v úrovni H, popř. L, v závislosti na konkrétním řešení obvodu. K tomuto zakázanému stavu dochází, jsou-li aktivní oba vstupní signály R i S, tj. snažíme-li se obvod vynulovat i nastavit zároveň. Ke stejným problémům by došlo i u klopného obvodu J-K na obr. 114 při J = K = H, pokud by nebyla zavedena zpětná vazba z výstupu Q na vstup K a z výstupu \bar{Q} na vstup J. Zpětné vazby způsobují, že je průchozí vždy pouze jedno vstupní hradlo NAND, a proto nemůže nastat stav, při kterém je klopný obvod současně nulován i nastavován.

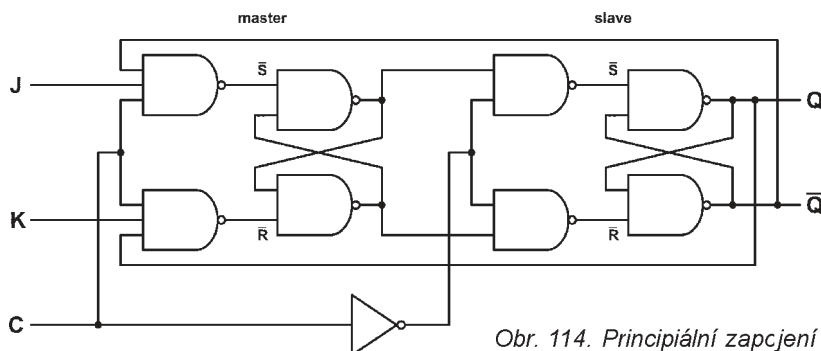
Je-li klopný obvod J-K na obr. 114 vynulován, na výstupu Q je úroveň L, která blokuje hradlo NAND u vstupu K. Nezávisle na úrovni na vstupu K tedy při J = H se po přivedení hodinového impulsu obvod nastaví. Je-li nyní obvod nastaven, je naopak blokováno hradlo NAND u vstupu J, pro-

tože $\bar{Q} = L$. S následujícím hodinovým impulsem se proto může při K = H obvod vynulovat nezávisle na momentální úrovni na vstupu J. Chování klopného obvodu J-K v případě, kdy jsou oba vstupy J i K aktivní (v úrovni H), tedy závisí na předchozím stavu obvodu. Byl-li obvod vynulován, nastaví se a naopak. Při J = K = H se tudíž s každým hodinovým impulsem změní stav klopného obvodu a tedy i úrovně na jeho výstupech Q a \bar{Q} . Toho lze využít u některých složitějších sekvenčních obvodů, jak bude ukázáno v následujícím textu. Při J = K = L se obvod nachází v paměťovém režimu a jeho stav se s příchodem hodinového impulsu nemění. Funkci klopného obvodu J-K shrnuje stavová tab. 55.

Na závěr poznamenejme, že skutečné vnitřní zapojení klopného obvodu J-K je přeci jen o něco složitější. Také není vždy optimální řídit obvod impulsem, vhodnější by bylo, kdyby reagoval pouze na náběžnou nebo sestupnou hranu hodinového signálu. Zatímco klopný obvod typu D řízený hranou byl vlastně založený na podobné struktuře dvou klopných obvodů typu R-S, zde je situace komplikovanější vzhledem k přítomnosti zpětných vazeb a změna stavu klopného obvodu tu probíhá dvoufázově. S náběžnou hranou hodinového impulsu se změní stav prvního klopného obvodu, další změny se však při C = H již neakceptují, protože stav výstupů, který ovlivňuje i vstupní hradla, se změní až se sestupnou hranou hodinového impulsu. Klopné obvody J-K řízené impulsem existují i v integrované podobě, jedná se např. o obvody 7471 nebo 7472. My se v příštím čísle seznámíme s některými klopnými obvody J-K řízenými hranou.

Vít Špringl

(Pokračování příště)



Obr. 114. Principiální zapojení klopného obvodu J-K typu master-slave řízeného kladným impulsem

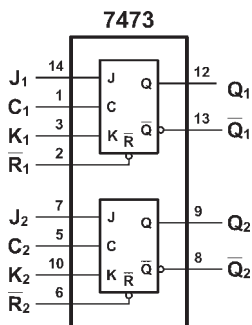
Tab. 55. Stavová tabulka klopného obvodu J-K typu master-slave řízeného kladným impulsem

J	K	C	Q_n	\bar{Q}_n
L	L		Q_{n-1}	\bar{Q}_{n-1}
L	H		L	H
H	L		H	L
X	X	L	Q_{n-1}	\bar{Q}_{n-1}
H	H		\bar{Q}_{n-1}	Q_{n-1}

Digitální technika a logické obvody

Další klopné obvody J-K (Pokračování)

Integrovaný obvod TTL 7473 (2x klopný obvod J-K s nulováním). V minulém čísle jsme se seznámili s funkcí klopného obvodu J-K řízeného impulsem a uvedli jsme si jeho principiální zapojení sestávající z částí master a slave. Integrovaný obvod 7473 obsahuje dva takové klopné obvody J-K řízené kladným impulsem, které jsou navíc vybaveny vstupy nulování. Funkční schéma a rozmístění vývodů je patrné z obr. 115. Funkce klopného obvodu J-K řízeného impulsem byla podrobně popsána v minulém čísle. Uvedme tedy pouze stručně základní vlastnosti. Vstup J slouží k nastavení a vstup K k nulování klopného obvodu, přičemž stav obvodu se mění s příchodem kladného impulsu na vstup C (clock). S náběžnou hranou signálu C se data ze vstupů J a K uloží do pomocného master klopného obvodu, zatímco se spádovou hranou hodinového signálu se data uloží do klopného obvodu slave, a tím i na výstupy Q a \bar{Q} . Po dobu trvání hodinového impulsu, kdy $C = H$, se nesmí měnit úroveň na vstupech J a K. Jsou-li aktivní oba řídicí signály, tedy $J = K = H$, s každým hodinovým impulsem



Obr. 115. Funkční schéma a rozmístění vývodů IO 7473.
Napájení: U_{CC} – pin 4, GND – pin 11

Tab. 56. Tabulka stavů jednoho klopného obvodu J-K v IO 7473

\bar{R}	J	K	C	Q_n	\bar{Q}_n	Funkce
L	X	X	X	L	H	asynchronní nulování
H	L	L	\downarrow	Q_{n-1}	\bar{Q}_{n-1}	paměťový režim
H	L	H	\downarrow	L	H	synchronní nulování
H	H	L	\downarrow	H	L	synchronní nastavení
H	H	H	\downarrow	\bar{Q}_{n-1}	Q_{n-1}	klopný obvod T

Tab. 57. Tabulka stavů jednoho klopného obvodu J-K v IO 74LS73, 74ALS73 a 74F73

\bar{R}	J	K	C	Q_n	\bar{Q}_n
L	X	X	X	L	H
H	L	L	\downarrow	Q_{n-1}	\bar{Q}_{n-1}
H	L	H	\downarrow	L	H
H	H	L	\downarrow	H	L
H	H	H	\downarrow	\bar{Q}_{n-1}	Q_{n-1}
H	X	X	H	Q_{n-1}	\bar{Q}_{n-1}

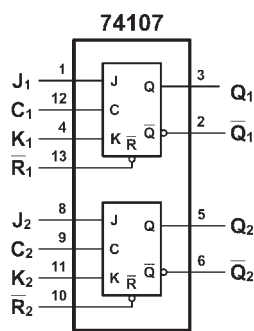
se změni stav výstupů na opačný a obvod se chová jako klopný obvod T. Vstup \bar{R} slouží k asynchronnímu nulování. Po přivedení úrovně L na vstup \bar{R} se obvod vynuluje nezávisle na úrovních na ostatních vstupech. Funkci obvodu přehledně shrnuje stavová tab. 56.

Pokud není uvedena konkrétní modifikace obvodů TTL (např. LS, AS, ALS apod.), ale pouze obecné číselné označení, vždy je tím míněno, že je možné použít jakéhokoli zástupce bipolárních obvodů TTL, ačkoliv konkrétní elektrické parametry jednotlivých modifikací se mohou lišit. Koneckonců integrované obvody základní řady TTL 74xx již obvykle nejsou ani k dostání. Stejnou funkci a zapojení vývodů jako bipolární obvody řady TTL 74 mají rovněž některé obvody vyrobené technologií CMOS (např. 74HCxx, 74HCTxx, 74ACTxx a mnoho dalších), popř. technologií BiCMOS (např. 74ABTxx apod.), ačkoliv většina z nich není kompatibilní s napětovými úrovněmi obvodů TTL.

Přestože jsou obvykle jednotlivé modifikace logických obvodů ekvivalentní jak funkčně, tak rozmístěním vývodů, existují i výjimky a jednou z nich je právě integrovaný obvod 74LS73. Jedná se opět o dva klopné obvody J-K s nulováním, na rozdíl od IO 7473 ovšem nejsou řízeny hodinovým impulsem, ale sestupnou hranou hodinového signálu C, což může zjednodušit návrh zapojení. Ostatní funkce obvodu zůstávají beze změny, včetně rozmístění vývodů (viz obr. 115). Rovněž modernější integrované obvody 74HC73, 74HCT73 a další, které jsou vyrobeny technologií CMOS, obsahují klopné obvody J-K řízené sestupnou hranou. Funkci obvodu shrnuje stavová tab. 57.

Další klopné obvody J-K

V tab. 58 je uveden přehled vybraných klopných obvodů J-K. Integrovaný obvod 74107 obsahuje podobně jako obvod 7473



Obr. 116. Funkční schéma a rozmístění vývodů IO 74107.
Napájení: U_{CC} – pin 14, GND – pin 7

Tab. 58. Přehled vybraných klopných obvodů J-K řady TTL7400

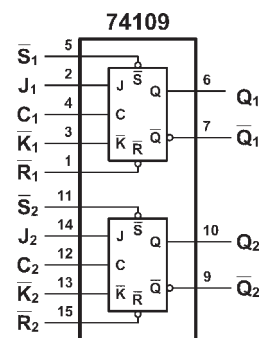
Typ	Funkce	Poznámka
74107	2x KO J-K s nulováním	klopné obvody jsou řízené kladným impulsem
74LS107	2x KO J-K s nulováním	klopné obvody jsou řízené sestupnou hranou
74x109	2x KO J-K s nastavením a nulováním	vstup K je negovaný, KO řízené náběžnou hranou
74x112	2x KO J-K s nastavením a nulováním	KO řízené sestupnou hranou
74x114	2x KO J-K s nastavením a nulováním	KO řízené sestupnou hranou, vstup pro asynchronní nulování a hodinový vstup jsou společné pro oba KO

dva nezávislé klopné obvody J-K vybavené vstupem asynchronního nulování. Stejně jako v předchozím případě, je i zde rozdíl mezi původním obvodem 74107 a jeho nástupcem 74LS107. Zatímco klopné obvody J-K v IO 74107 jsou řízeny kladným impulsem na hodinovém vstupu C, obvody v provedení LS jsou řízeny sestupnou hranou hodinového signálu. Rozmístění vývodů je patrné z obr. 116, tabulky stavů jsou shodné s tab. 56 a 57.

Integrovaný obvod 74109 obsahuje dva nezávislé klopné obvody J-K vybavené nastavením a nulováním, které jsou řízeny náběžnou hranou hodinového signálu C. Na rozdíl od předchozích dvou integrovaných obvodů se již jednotlivé modifikace tohoto obvodu (74, S, LS, AS, ALS, F) od sebe nijak funkčně neliší. Vstupy J a \bar{K} slouží k synchronnímu nastavení a nulování. Vstup \bar{K} je u tohoto obvodu negován, klopný obvod se proto nuluje při $\bar{K} = L$. Spojením obou řídicích signálů J a \bar{K} získáme klopný obvod D. Pomocí vstupů \bar{R} a \bar{S} je možno obvod asynchronně (tj. nezávisle na hodinovém signálu) vynulovat nebo nastavit. Funkční schéma a rozmístění vývodů uvádí obr. 117.

Obvody 74112 a 74114 obsahují opět dva klopné obvody J-K, které jsou řízené sestupnou hranou a vybaveny vstupy nastavení a nulování. Zatímco obvod 74112 má vyvedeny všechny řídicí vstupy obou klopných obvodů zvlášť, u obvodu 74114 je vstup nulování \bar{R} a hodinový vstup C společný pro oba klopné obvody. V IO 74114 proto není možné využívat klopné obvody J-K nezávisle. Vstupy asynchronního nulování a nastavení \bar{R} a \bar{S} se chovají stejně jako u R-S klopného obvodu. Jsou-li oba aktivní, tj. $\bar{R} = \bar{S} = L$, na obou výstupech Q a \bar{Q} je úroveň H, a při současném přechodu obou vstupů \bar{R} a \bar{S} na úroveň H se výstupy nastaví do náhodného stavu.

Vít Špringl (Pokračování příště)



Obr. 117. Funkční schéma a rozmístění vývodů IO 74109. Napájení: U_{CC} – pin 16, GND – pin 8

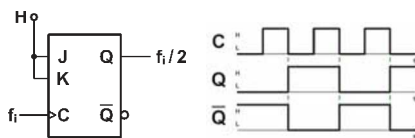
Digitální technika a logické obvody

Další klopné obvody J-K (Pokračování)

Zapojení s klopnými obvody J-K

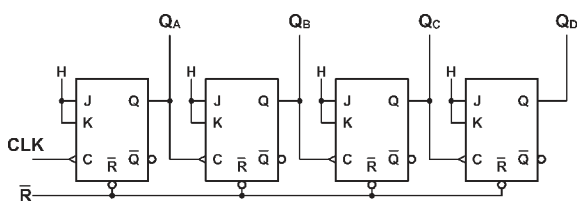
V předchozích dílech jsme se seznámili s vlastnostmi klopných obvodů J-K a představili si několik jejich zástupců z řady 7400. Pomocí klopných obvodů J-K lze realizovat podobná zapojení jako s klopnými obvody D řízenými hranou, tj. čítače, posuvné registry, děličky kmitočtu apod.

Na obr. 118 je uvedeno zapojení kmitočtové děličky dvěma se symetrickým výstupem 1:1. Funkce a použití jsou obdobné jako u kmitočtové děličky realizované pomocí klopného obvodu D (viz obr. 106 v PE 5/06). Zároveň u zmíněného zapojení děličky z obr. 106 se frekvence mění zavedením zpětné vazby z výstupu \bar{Q} na vstup D, v tomto případě se využívá vlastnosti klopného obvodu J-K, kdy při $J = K = 1$ se s každou aktivní hranou hodinového signálu mění úroveň na výstupech Q a \bar{Q} . Za předpokladu, že použijeme klopný obvod J-K řízený sestupnou hranou (např. 74LS73, 74LS107, 74x112, 74x114 apod.), časové průběhy budou totožné s průběhy na obr. 119.

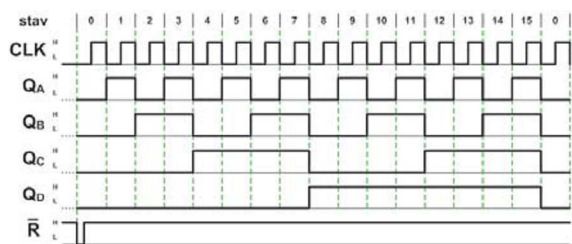


Obr. 118. Zapojení děličky dvěma s klopným obvodem J-K

Obr. 119. Časové průběhy signálů děličky z obr. 118



Obr. 120. Schéma zapojení asynchronního čtyřbitového binárního čítače vpřed se dvěma obvody 74LS73 (vstup \bar{R} je připojen na úroveň H)



Obr. 121. Časové průběhy signálů čtyřbitového binárního asynchronního čítače vpřed z obr. 120

Jak jsme si již ukázali dříve u aplikací s klopnými obvody D, kmitočtová dělička dvěma může posloužit jako základ binárního asynchronního čítače. Sériovým zapojením čtyř klopných obvodů J-K (2x 74LS73) podle obr. 120 jednoduše získáme čtyřbitový binární asynchronní čítač vpřed. Funkce obvodu je patrná z časového diagramu na obr. 121. Obvod je nejprve vynulován přivedením úrovně L na vstup \bar{R} . Čítač se inkrementuje s každou sestupnou hranou hodinového signálu CLK, při které se mění stav prvního klopného obvodu, a tedy i úroveň na výstupu Q_A . Protože jsou hodinové vstupy dalších klopných obvodů připojeny na výstupy Q předchozích KO, jejich stav se změní při změně úrovně z H do L (tedy se spádovou hranou) na výstupu Q předcházejícího KO. Jak je patrné z časového diagramu na obr. 121, po vynulování čítače, kdy je $Q_D Q_C Q_B Q_A = LLLL$, se mění úroveň na výstupu Q_D . Q_A následujícím způsobem: LLLL, LLLH, LLHL, LLHH, ..., HHHH. Tyto úrovně odpovídají binárním číslům 0000, 0001, 0010, 0011, ..., 1111, po převodu do desítkové soustavy pak číslům 0 až 15.

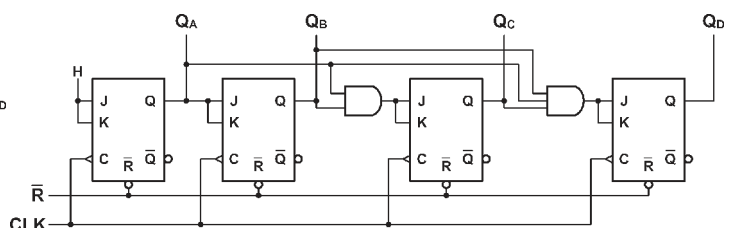
Jednoduchou úpravou zapojení z obr. 120 můžeme získat čtyřbitový binární asynchronní čítač vzad, který bude čítat od 15 do 0. Stačí připojit hodinové vstupy druhého, třetího a čtvrtého klopného obvodu na negované výstupy Q předcházejících KO. Nevýhodou ovšem v tomto případě je, že klopné obvody J-K v IO 74LS73 nejsou vybaveny vstupy nastavení S, a tudíž není možné nastavit hodnotu HHHH odpovídající číslu 15.

Podobně jako u čítače s klopnými obvody D z obr. 108 (PE 5) i v tomto případě se jedná o asynchronní ob-

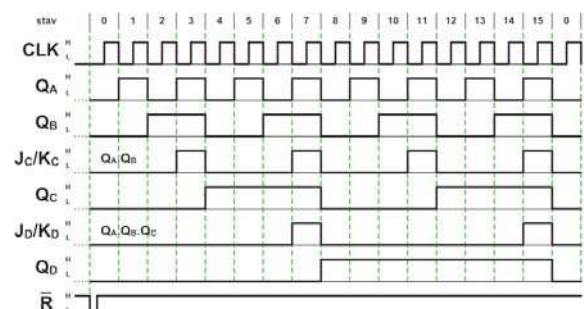
vod. Jednotlivé klopné obvody totiž nejsou řízeny jedním hodinovým signálem, tedy synchronně, ale signálem odvozeným od změny úrovně na výstupu Q předchozího klopného obvodu. Díky tomu se úrovně na výstupech Q_A až Q_D nemění současně, ale s malým zpožděním, které je dáno dobou potřebnou k překlopení klopného obvodu. Toto malé zpoždění může teoreticky způsobit vznik hazardů při dekódování stavu čítače.

Na obr. 122 je zobrazena struktura synchronního čtyřbitového binárního čítače vpřed. Jak již bylo řečeno výše, u synchronního čítače jsou hodinové vstupy všech klopných obvodů propojeny a řízeny jedním hodinovým signálem. Díky tomu se mění úrovně na výstupech Q_A až Q_D současně a nemohou vznikat hazardy. Oproti předchozímu zapojení však přibyla dvě hradla AND, která jsou nezbytná pro dekódování hodnot řídicích vstupů J a K u třetího a čtvrtého KO. Funkce obvodu je patrná z časového diagramu na obr. 123, ve kterém jsou kromě výstupních úrovní Q_A až Q_D zobrazeny též úrovně na vstupech J_C/K_C a J_D/K_D . Porovnáním časových diagramů asynchronního (obr. 121) a synchronního (obr. 123) binárního čítače zjistíme, že se úrovně na výstupech Q_A až Q_D mění naprosto stejným způsobem. Oba čítače se inkrementují se sestupnou hranou hodinového signálu CLK a čítají od 0 do 15. Na rozdíl od obvodu na obr. 120 však nejsou u synchronního čítače řídicí vstupy klopných obvodů J a K trvale připojeny na úroveň H, nýbrž jsou aktivovány pouze v okamžiku, kdy je na výstupech všech předcházejících bloků úroveň H.

Vít Špringl (Pokračování příště)



Obr. 122. Schéma zapojení synchronního čtyřbitového binárního čítače vpřed se dvěma obvody 74LS73 (vstup \bar{R} je připojen na úroveň H)

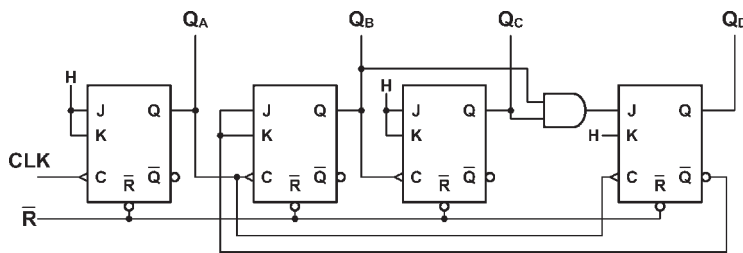


Obr. 123. Časové průběhy signálů synchronního čtyřbitového binárního čítače vpřed z obr. 122

Digitální technika a logické obvody

Další klopné obvody J-K (Pokračování)

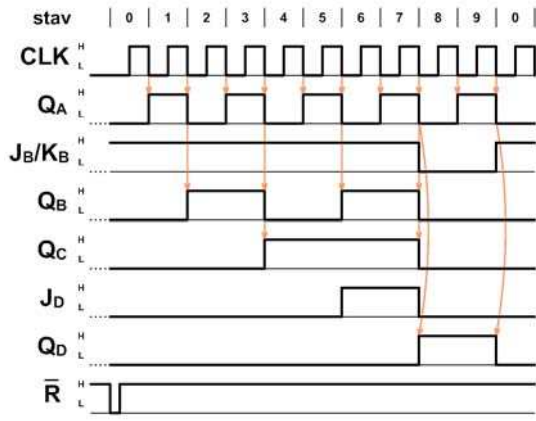
V minulém dílu jsme se seznámili s některými zapojeními využívajícími klopné obvody J-K. Jednalo se o synchronní a asynchronní binární čítač vpřed, jejichž základem byl klopný obvod J-K ve funkci kmitočtové děličky dvěma. Na obr. 124 je uvedena modifikace binárního asynchronního čítače z minulého dílu. Je to opět asynchronní čítač, tentokrát ovšem nikoliv binární, ale dekadický, který čítá od 0 do 9. Výstupní dekadické číslo je vyjádřeno v binárně dekadickém kódu BCD, který je stejný jako kód binární, ale s omezením na čísla 0 až 9, tedy převedeno do binárního vyjádření na čísla 0000 až 1001.



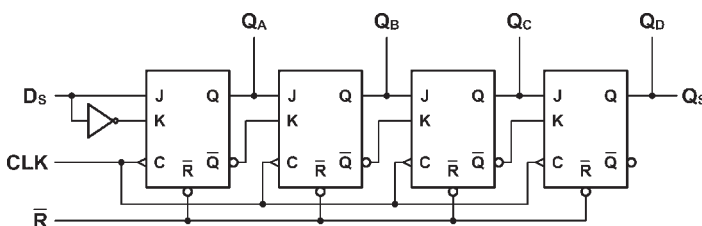
Obr. 124. Schéma zapojení asynchronního dekadického (BCD) čítače vpřed se dvěma obvody 74LS73 (vstup \bar{R} je připojen na úroveň H)

Tab. 59. Stavová tabulka dekadického čítače z obr. 124, stav obvodu se mění při sestupné hraně hodinového signálu CLK, vstup $\bar{R} = H$

Stav	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H



Obr. 125. Časové průběhy signálů asynchronního dekadického čítače z obr. 124



Obr. 126. Schéma zapojení čtyřbitového posuvného registru s použitím dvou obvodů 74LS73

tudíž je i na vstupech J a K druhého klopného obvodu úroveň H. První tři klopné obvody se tak až do stavu 7 chovají jako standardní binární čítač, který se inkrementuje s každou sestupnou hranou hodinového signálu CLK. Protože je ve stavu 7 $Q_C = Q_B = H$, rovněž na vstupu J čtvrtého klopného obvodu je úroveň H a s následující sestupnou hranou signálu Q_A se poslední klopný obvod nastaví a výstup Q_D přejde do úrovně H. Ve stavu 9 je $Q_D = L$, druhý klopný obvod se proto nachází v paměťovém režimu a nereaguje na změny úrovní na výstupu Q_A . Současně je na vstupu J posledního klopného obvodu úroveň L, protože úrovně H na výstupech předchozích dvou klopných obvodů vystřídaly úrovně L. Po jednoduché analýze je zřejmé, že s další sestupnou hranou hodinového signálu CLK obvod přejde do stavu 0 a na výstupech Q_D až Q_A budou úrovně L. Funkce obvodu je též patrná z podrobného časového diagramu na obr. 125.

V PE6/2006 bylo uvedeno zapojení čtyřbitového posuvného registru s klopnými obvody D. Podobné zapojení lze realizovat i s klopnými obvody J-K, jak je patrné z obr. 126. Jednotlivé klopné obvody jsou zapojeny v sérii a vzájemně propojeny pomocí výstupů Q a \bar{Q} , které jsou připojeny na vstupy J a K následujícího klopného obvodu. Tímto způsobem lze jednoduše získat posuvný registr s libovolným počtem bitů, např. 8, 16 apod. Posuvný registr slouží k posouvání vstupní sériové, popř. paralelní informace směrem k výstupu, který může být obecně opět sériový nebo paralelní. Posuvný registr na obr. 126 je vybaven sériovým vstupem dat D_S , sériovým výstupem dat Q_S a výstupy Q_A až Q_D pro paralelní výběr informace. Data (log. 0 nebo 1 reprezentovaná úrovní L nebo H) ze vstupu D_S jsou posunuta o jednu pozici doprava s každou spádovou hranou hodinového signálu CLK. V závislosti na konkrétní modifikaci lze posuvný registr obecně použít jako sériově-paralelní nebo paralelně-sériový převodník, vyrovnávací paměť, zpožďovací linku apod.

Zapojení asynchronního dekadického čítače uvedené výše je příkladem složitějšího sekvenčního obvodu, k jehož syntéze je nutné použít metody pro návrh sekvenčních obvodů, se kterými jsme se seznámili pouze okrajově. Podobným způsobem by bylo možné navrhnout např. synchronní dekadický čítač s J-K klopnými obvody a další zapojení, která si však již uvádět nebudeme. Namísto toho se v následujícím textu seznámíme s integrovanými verzemi složitějších kombinačních a sekvenčních obvodů a některými jejich aplikacemi.

Vít Springl
(Pokračování příště)

Digitální technika a logické obvody

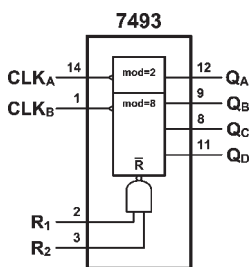
(Pokračování)

Složitější sekvenční logické obvody a jejich aplikace

Čítače

S čítači jsme se již seznámili v souvislosti s aplikacemi klopných obvodů D a J-K. Jsou to sekvenční logické systémy, které čítají hodinové impulsy a jejich stav pak zobrazují na výstupech obvodu v určitém kódu, nejčastěji binárním nebo binárně dekadickým (BCD). Jak již bylo ukázáno v předchozích dílech, strukturu čítače tvoří určitý počet – nejčastěji čtyř – klopných obvodů, ve kterých je uložena informace o stavu čítače.

Čítače lze rozdělit podle několika kritérií. V závislosti na vnitřní struktuře rozlišujeme čítače synchronní a asynchronní, jejichž odlišnosti byly ukázány v minulých dílech. Rozdíl mezi těmito dvěma skupinami čítačů plyne z odlišného vnitřního zapojení hodinových vstupů jednotlivých klopných obvodů. Zatímco u asynchronních čítačů jsou hodinové vstupy vá-



Obr. 127. Funkční schéma a rozmístění vývodů IO 7493. Napájení: U_{CC} – pin 5, GND – pin 10. Piny 4, 6, 7 a 13 jsou nezapojené a nemají tedy žádnou funkci

Tab. 60. Stavová tabulka binárního čítače 7493 pro případ, kdy obvod využíváme jako čtyřbitový čítač (výstup Q_A je připojen na vstup CLK_B)

Stav	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

zány na výstup předchozího stupně, přičemž hodinový vstup prvního klopného obvodu čítá vstupní impulsy, u synchronních čítačů jsou hodinové vstupy všech klopných obvodů propojeny paralelně. Asynchronní čítače jsou sice strukturně jednodušší, jednotlivé klopné obvody jsou však řízeny signálem odvozeným od změny úrovně na výstupu předchozího klopného obvodu, díky čemuž se nemění úrovně na jednotlivých výstupech současně, ale s proměnným zpožděním. Toto zpoždění je dáno dobou potřebnou k překlopení klopného obvodu, přičemž jednotlivá zpoždění se směrem k nejvyššímu bitu výstupního čísla sčítají. Ačkoliv je toto zpoždění velice malé, může teoreticky způsobit hazardy při dekódování stavu čítače navazujícími obvody. U synchronních čítačů se naproti tomu překlápí všechny klopné obvody současně, čímž riziko hazardů odpadá. Vnitřní struktura synchronních čítačů je však o něco složitější vzhledem k nezbytné přítomnosti dalších kombinačních logických obvodů, které slouží k dekódování hodnot řídicích vstupů vnitřních klopných obvodů.

Čítače lze dělit i podle dalších hledisek. Kromě zmíněného kódu, ve kterém je výstupní číslo zobrazeno, a počtu výstupních bitů nás obvykle zajímá tzv. modul čítání, tj. počet čítaných impulsů, po kterých začne opětovně čítání od nuly. Vnitřní struktura čítačů s modulem N (nejčastěji dekadické verze s $N = 10$) je složitější vzhledem k nutné přítomnosti další kombinační logiky, která zajišťuje opětovné čítání po dosažení N-tého stavu (viz např. zapojení asynchronního dekadického čítače na obr. 124). Dále můžeme čítače dělit podle směru čítání na čítače vpřed čítající směrem nahoru, tj. od nuly k maximální hodnotě dané modulem čítání, čítače vzad čítající od maximální hodnoty směrem k nule a čítače reverzibilní, u nichž lze směr čítání měnit.

Každý čítač je vybaven hodinovým vstupem, který slouží k vlastnímu čítání impulsů, a výstupy zobrazující momentální stav čítače. Čítače mohou dále obsahovat další vstupy a výstupy, které slouží k řízení obvodu, ke kaskádnímu řazení čítačů apod. Jsou to např. vstupy asynchronního nulování a nastavení, vstupy pro nastavení výchozího stavu, vstup uvolnění hodinového signálu (clock enable), vstup pro volbu směru čítání nebo vstupy a výstupy sloužící ke kaskádnímu řazení čítačů.

Asynchronní čítač

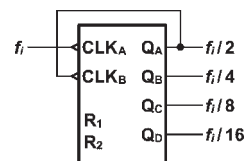
Vnitřní struktura asynchronního čítače je jednoduchá a byla popsána v minulých dílech. Zapojení čtyřbitového binárního asynchronního čítače vpřed s klopnými obvody D bylo uvedeno v PE5/2006 na obr. 108. Obvod

je sestaven ze čtyř klopných obvodů D, jejichž hodinové vstupy C jsou připojeny na výstupy \bar{Q} předchozího klopného obvodu, přičemž hodinový vstup prvního KO čítá vstupní impulsy. U každého klopného obvodu je navíc zavedena zpětná vazba z výstupu \bar{Q} na vstup D, která zajišťuje, že se klopný obvod chová jako kmitočtová dělička dvěma. Zapojení funkčně totožného čítače, tentokrát ovšem s klopnými obvody J-K, bylo uvedeno na obr. 120 v PE9/2006. Hodinový vstup prvního klopného obvodu opět čítá vstupní impulsy, zatímco další hodinové vstupy jsou připojeny na výstupy Q předcházejícího KO. Vstupy J a K všech čtyř klopných obvodů jsou připojeny na úroveň H. Klopný obvod J-K se v této konfiguraci chová opět jako kmitočtová dělička dvěma. Výstupy čítače Q_A až Q_D jsou pak v obou případech připojeny na výstupy Q jednotlivých klopných obvodů.

Na obr. 127 je uvedeno funkční schéma a rozmístění vývodů integrovaného obvodu TTL 7493. Je to čtyřbitový asynchronní binární čítač vpřed, který se skládá ze čtyř klopných obvodů J-K, a jeho vnitřní struktura i vlastnosti odpovídají zapojení uvedenému na obr. 120 v PE9/2006. Pro názornost je též uvedena tabulka stavů čítače (tab. 60). Na rozdíl od čítače z obr. 120 není u integrované verze připojen hodinový vstup druhého klopného obvodu na výstup Q prvního KO, nýbrž je vyveden jako samostatný vstup integrovaného obvodu CLK_B . Obvod 7493 je tak rozdělen na čítač modulo dvě a osm, které lze využívat samostatně. Čtyřbitový čítač modulo 16 získáme až propojením výstupu Q_A se vstupem CLK_B . Vstup CLK_A pak bude sloužit k čítání impulsů. Obvod je dále vybaven nulováním společným pro všechny čtyři klopné obvody. Jak je patrné z obr. 127, nulování čítače je vyvedeno na vstupy R_1 a R_2 integrovaného obvodu přes hradlo NAND. Při $R_1 = R_2 = H$ se nezávisle na stavech ostatních vstupů čítač vynuluje. Je-li alespoň jeden ze vstupů nulování v úrovni L, inkrementuje se čítač s každou spádovou hranou hodinového signálu. Vstupy nulování lze využít ke snížení modulu čítání, popř. dělicího poměru při zapojení obvodu jako děliče kmitočtu.

Vít Špringl

(Pokračování příště)

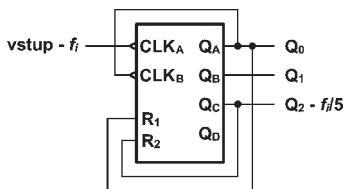


Obr. 128. Obvod 7493 ve funkci kmitočtové děličky dvěma, čtyřmi, osmi nebo šestnácti

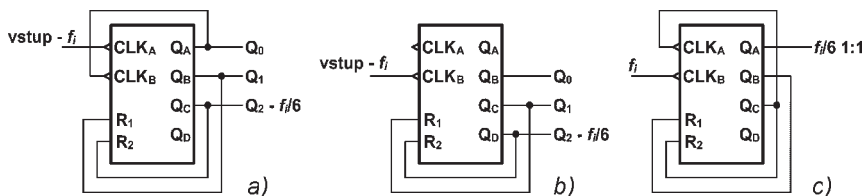
Digitální technika a logické obvody

Čítače (Pokračování)

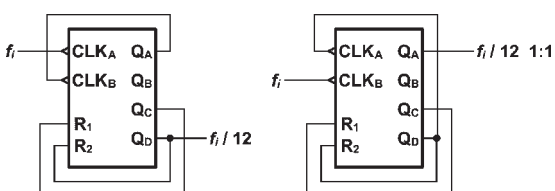
Příklady zapojení čítačů a děličů kmitočtu s obvodem 7493 jsou uvedeny na obrázcích 128 až 131 (obr. 128 je v minulém dílu). V případě, že požadovaný modul čítání vyjádřený v binárním kódu obsahuje maximálně dvě logické jedničky, lze ho realizovat jednoduše propojením příslušných výstupů se vstupy nulování R_1 a R_2 , jak je patrné z obr. 129 až 131. V opačném případě je nutné použít k dekódování výstupního stavu další externí hradla. Chceme-li čítač použít ve funkci děliče kmitočtu, postupujeme zcela analogicky. Pro dělicí poměry 2, 4, 8 a 16 není potřeba zapojovat vstupy nulování, jednoduše stačí použít signál z výstupu Q_A , Q_B , Q_C nebo Q_D (viz obr. 128). Pro ostatní dělicí poměry je nutno zapojit příslušné výstupy na vstupy nulování R_1 a R_2 , a to buď přímo (obsahuje-li dělicí poměr v binárním vyjádření maximálně dvě jedničky) nebo přes pomocné kombinační logické obvody. Výstupní signál kmitočtové děličky je v závislosti na zvoleném dělicím poměru k dispozici na jednom z výstupů Q_A až Q_D . Je-li vstupní signál o kmitočtu f_i přiveden na vstup CLK_A a Q_A



Obr. 129. Zapojení čítače mod 5 nebo kmitočtové děličky pěti s obvodem 7493



Obr. 130. a) Čítač mod 6 nebo kmitočtová dělička šesti, b) čítač mod 6 nebo kmitočtová dělička šesti bez použití prvního klopného obvodu, c) kmitočtová dělička šesti se symetrickým výstupem

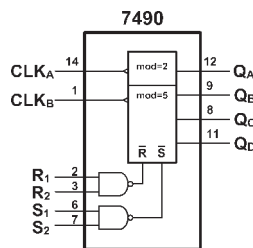


Obr. 131. Kmitočtová dělička dvanácti s nesymetrickým a symetrickým výstupem

připojen na CLK_B , signál o kmitočtu $f_i/2$ odebíráme ze vstupu Q_A , pro dělicí poměry 3 a 4 signál odebíráme ze vstupu Q_B a v případě dělicích poměrů 5 až 8 je signál k dispozici na výstupu Q_C . Pro vyšší dělicí poměry se pak signál odebírá z výstupu Q_D .

Výstupní signál o kmitočtu f_i/n je obecně nesymetrický (tj. střída signálu není 1:1), což může být v některých aplikacích na překážku. Pro sudé dělicí poměry lze provést jednoduchou úpravu, po které bude mít výstupní signál střidu 1:1. Vstupní signál budeme přivádět na vstup CLK_B a bez použití prvního klopného obvodu sestavíme dělič s polovičním dělicím poměrem. Výstup tohoto děliče zapojíme na vstup CLK_A a výstupní signál budeme odebírat ze vstupu Q_A , jak je ukázáno na obr. 130 a 131.

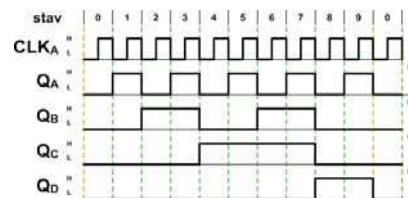
Na obr. 132 je uvedeno funkční schéma a rozmístění vývodů obvodu TTL7490. Je to čtyřbitový asynchronní dekadický čítač, který se podobně jako obvod 7493 skládá ze čtyř klopných obvodů J-K. U dekadického čítače, který čítá s modulem 10, musí být navíc zajištěno nulování po stavu 9, tj. přechod 1001 → 0000. Jeho vnitřní struktura je díky tomu o něco složitější a principiálně odpovídá zapojení uvedenému na obr. 124 v PE10/2006. U integrované verze je navíc vyveden hodinový vstup druhého klopného obvodu (CLK_B), který není vnitřně pro-



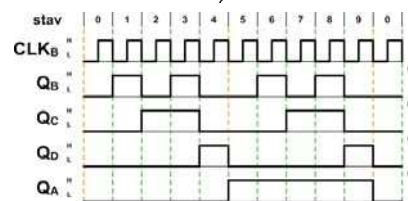
Obr. 132. Funkční schéma a rozmístění vývodů IO 7490. Napájení: U_{CC} – pin 5, GND – pin 10. Piny 4 a 13 jsou nezapojené a nemají tedy žádnou funkci

pojen s výstupem Q_A . Obvod je tak rozdělen na čítač modulu dvě a pět, které lze použít samostatně. Čítač modulu 10 čítající v kódu BCD získáme až propojením výstupu Q_A se vstupem CLK_B . Vstup CLK_A pak slouží k čítání impulsů. Propojíme-li výstup Q_D se vstupem CLK_A , získáme dekadický čítač čítající v kódu 5421. Vstupní impulsy v tomto případě přivádíme na vstup CLK_B a bit s nevyšší vahou je k dispozici na výstupu Q_A . Rozdíly mezi kódy BCD a 5421 ukazují časové diagramy na obr. 133. Kód 5421 využijeme v zapojení děliče kmitočtu se symetrickým výstupním signálem (viz obr. 134). Na rozdíl od zapojení na obr. 124 je navíc čítač 7490 vybaven dvěma vstupy nulování R_1 a R_2 a dvěma vstupy nastavení S_1 a S_2 . Jak je patrné z obr. 132, vnitřní signál nulování \bar{R} , který je aktivní v úrovni L, je vytvářen ze vstupních signálů R_1 a R_2 hradlem NAND. Je-li $R_1 = R_2 = H$ a alespoň jeden ze vstupů S v úrovni L, čítač se vynuluje a všechny výstupy přejdou do úrovně L. Podobně se vytváří i signál pro nastavení obvodu, který má před nulováním přednost. Při $S_1 = S_2 = H$ se nezávisle na stavech ostatních vstupů čítač nastaví na maximální hodnotu, která odpovídá číslu 9, a na výstupech Q_D až Q_A budou úrovně HLLH. Oba hodinové vstupy CLK_A i CLK_B reagují na sestupnou hranu hodinového signálu.

Vít Špringl (Pokračování příště)

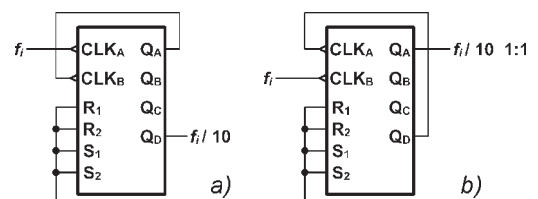


a)



b)

Obr. 133. Časové průběhy signálů dekadického čítače (obvodu 7490) a) čítajícího v kódu BCD (Q_A je propojen s CLK_B), b) čítajícího v kódu 5421 (Q_D je propojen s CLK_A)



Obr. 134. Zapojení kmitočtové děličky deseti s obvodem 7490 a) s nesymetrickým výstupem (obvod čítá v kódu BCD) b) se symetrickým výstupem (obvod čítá v kódu 5421)

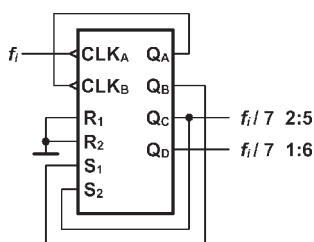
Digitální technika a logické obvody

Čítače (Pokračování)

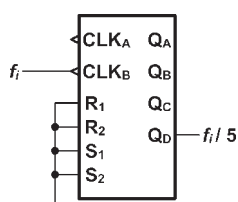
Funkci obvodu 7490 shrnuje tab. 61. Použití dekadického čítače 7490 je obdobné jako u obvodu 7493. Pro snížení modulu čítání lze opět s výhodou využít vstupy R_1 a R_2 . V takovém případě je nutné dekódovat první stav, který překračuje maximální hodnotu čítače při daném modulu čítání a v tomto okamžiku čítač vynulovat. Chceme-li např., aby obvod čítal pouze od 0 do 5, tedy s modulem šest, musíme dekódovat stav 6, kterému odpovídají výstupní úrovně LHHL, a zajistit vynulování čítače. Toho dosáhneme jednoduchým propojením výstupů Q_B a Q_C se vstupy nulování, jak již ostatně bylo ukázáno na obr. 130a. Stav, který v binárním vyjádření obsahuje jednu nebo dvě logické jedničky, lze dekódovat přímo. V opačném případě je nutné použít k dekódování výstupního stavu pomocný kombinační obvod. Podobným způsobem můžeme realizovat i děličky kmitočtu. V tomto případě lze navíc využít i vstupy nastavení S_1 a S_2 . Můžeme tak realizovat i kmitočtovou děličku sedmi bez nutnosti použít k dekódování výstupního stavu další kombinační obvod (hradlo AND). Nastavením čítače na maximální hodnotu získáme totiž o jeden přechod navíc a místo

Tab. 61. Funkční tabuška obvodu 7490

R_1	R_2	S_1	S_2	CLK	Q_D	Q_C	Q_B	Q_A
H	H	L	X	X	L	L	L	L
H	H	X	X	X	L	L	L	L
X	X	H	H	X	H	L	L	H
ostatní kombinace				↓	čítá			



Obr. 135. Zapojení kmitočtové děličky sedmi s obvodem 7490



Obr. 136. Zapojení kmitočtové děličky pěti s obvodem 7490

stavu 7 dekódujeme stav 6. Na výstupech Q_D až Q_A se tak budou objevovat úrovně: HLLH, LLLL, LLLH, LLHL, LLHH, LLLL, LHLH \rightarrow HLLH, ... Výstupní signál děličky můžeme odebrat buď z výstupu Q_D (střída 1:6), nebo z výstupu Q_C (střída 2:5), jak je patrné z obr. 135. Na obr. 136 je uvedena jednoduchá kmitočtová dělička pěti a na obr. 134 byla v minulém díle kmitočtová dělička deseti s nesymetrickým a symetrickým výstupem.

Čítač se dvěma dekadami a displejem

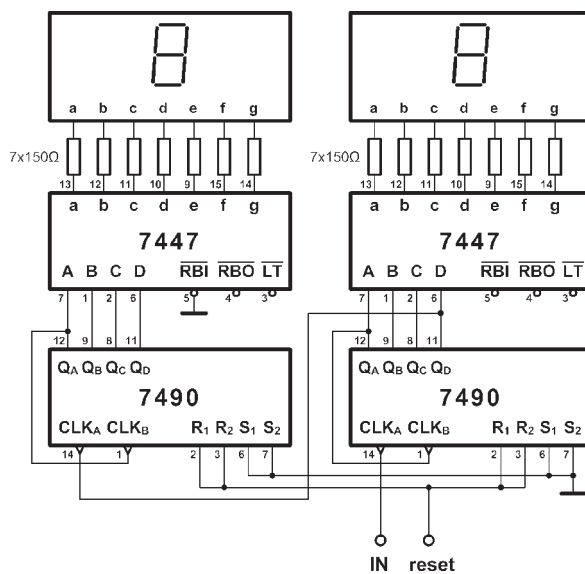
Požadujeme-li od čítače větší rozsah čítaných hodnot, budeme muset použít více obvodů. Ty můžeme jednoduše propojit do kaskády a vytvořit tak teoreticky čítač s libovolným rozsahem. Vyšší čítač v kaskádě musí být překlopen v okamžiku, kdy nižší čítač dosáhne svého maxima a přeteče, tj. kdy se všechny jeho výstupy nastaví do nuly. Jak je patrné z časových diagramů na obr. 121 (časové průběhy signálů čtyřbitového binárního čítače PE 9/06) a obr. 133a (časové průběhy dekadického čítače 7490 PE 12/06), úroveň na nejvyšším bitu výstupního čísla přechází z H do L právě a pouze při přetečení čítače. Takto vytvořenou sestupnou hranu lze s výhodou použít pro generování hodinového signálu následujícího čítače v kaskádě, protože oba zmíněné obvody (7493 a 7490) čítají na sestupnou hranu. Při řazení čítačů za účelem získání většího rozsahu čítání tedy stačí připojit nejvyšší bit výstupního čísla předchozího čítače na hodinový vstup čítače následujícího. Po-

znamenejme, že se opět jedná o řešení asynchronní, a tudíž se zpoždění, které uplyne mezi příchodem aktivní hrany vstupního hodinového signálu a změnou úrovně na příslušném výstupu, zvětšuje s každým dalším takto zapojeným čítačem.

Při experimentování s čítači bychom mohli jejich stav zobrazovat přímo pomocí LED připojených na výstupy čítače podobně, jako jsme zobrazovali stav např. posuvných registrů. Ačkoliv pro základní seznámení s obvodem a vyzkoušení jeho funkce je toto řešení postačující, sledování binárních stavů na výstupu obvodu není nijak záživné, nehledě na to, že pro jakoukoliv praktickou aplikaci i vcelku nepoužitelné. Pokud bychom opravdu chtěli zobrazovat stav čítače pomocí LED, mohli bychom převést výstupní binární číslo např. do kódu 1 z 10 nebo 1 z 16. Pak by každému stavu odpovídala právě jedna rozsvícená LED.

V zapojení čítače se dvěma dekadami, které je uvedeno na obr. 137, však použijeme k zobrazení výstupního čísla sedmissegmentový displej LED, což je řešení podstatně praktičtější. Abychom mohli binárně vyjádřené číslo z výstupu čítače zobrazit na displeji, je nutné mezi výstupy čítače a LED displej zařadit tzv. dekodér, jak je patrné ze schématu. Dekodér je kombinační logický obvod, který převádí číslo vyjádřené v binárním kódu do snadno interpretovatelného tvaru, např. na kód 1 z n nebo na signály pro buzení displeje LED.

Vít Špringl (Pokračování přístě)



Obr. 137. Schéma zapojení čítače se dvěma dekadami a displejem LED. Vstupní signál přivádíme na vstup IN; pro správnou funkci obvodu musí být signál reset připojen na úroveň L. Přivedením úrovně H na vstup reset se čítač vynuluje. Společný vývod displeje je nutno zapojit na U_{CC} (+5 V). Napájení obvodu 7447: U_{CC} – pin 16, GND – pin 8. Napájení obvodu 7490: U_{CC} – pin 5, GND – pin 10. Odpor předřadných rezistorů vypočítáme podle vzorce: $R = (U_{CC} - U_{LED})/I_{LED}$

V TOMTO SEŠITĚ

Náš rozhovor	1
Světlozor	3
AR mládeži:	
Základy elektrotechniky	4
Jednoduchá zapojení pro volný čas	6
Řídicí systém do terária (TERRA CONTROL SYSTEM)	9
Přijem rozhlasu DRM v amatérských podmínkách (pokračování)	13
Mikrofónový predzosilňovač s echo efektem	17
Nové knihy	19
2x 8 LED řízených procesorem AVR ...	20
G_LCD - kit a ovládací prvok pre grafický displej 128x 64 s touch panelom	22
Inzerce	I-XXIV, 48
BTherm - ohřivač kojeneckých láhví s časovaným zapnutím (dokončení) ..	25
Robot v1.1 (dokončení)	28
Desulfatace a regenerace autobaterií ...	30
OC vícepásmových anténách 2	31
PC hobby	33
Rádio „Historie“	42
Z radioamatérského světa	45

Praktická elektronika A Radio

Vydavatel: AMARO spol. s r. o.

Redakce: Šéfredaktor: ing. Josef Kellner, redaktoři: ing. Jaroslav Belza, Petr Havliš, OK1PFM, ing. Miloš Munzar, CSc., sekretariát: Eva Marková.

Redakce: Zborovská 27, 150 00 Praha 5, tel.: 2 57 31 73 11, tel./fax: 2 57 31 73 10, sekretariát: 2 57 31 73 14.

Ročně vychází 12 čísel. Cena výtisku 50 Kč.

Rozšiřuje První novinová společnost a. s. a soukromí distributoři.

Předplatné v ČR zajišťuje Amaro spol. s r. o. - Hana Merglová (Zborovská 27, 150 00 Praha 5, tel.: 2 57 31 73 12; tel./fax: 2 57 31 73 13). Distribuci pro předplatitele také provádí v zastoupení vydavatele společnost Mediaservis s. r. o., Abocentrum, Moravské náměstí 12D, P. O. BOX 351, 659 51 Brno; tel: 5 4123 3232; fax: 5 4161 6160; abocentrum@mediaservis.cz; www.mediaservis.cz; reklamacie - tel.: 800 800 890.

Objednávky a předplatné v Slovenskej republike vybavuje Magnet-Press Slovakia s. r. o., Sustekova 10, 851 04 Bratislava - Petržalka; korešpondencia P. O. BOX 169, 830 00 Bratislava 3; tel./fax (02) 67 20 19 31-33 - predplatné, (02) 67 20 19 21-22 - časopisy; email: predplatne@press.sk.

Podávání novinových zásilek povoleno Českou poštou - ředitelstvem OZ Praha (č.j. nov 6005/96 ze dne 9. 1. 1996).

Inzerce přijímá redakce - Michaela Hrdličková, Zborovská 27, 150 00 Praha 5, tel.: 2 57 31 73 11, tel./fax: 2 57 31 73 13.

Za původnost a správnost příspěvků odpovídá autor (platí i pro inzerce).

Internet: <http://www.aradio.cz>

E-mail: pe@aradio.cz

Nevyžádané rukopisy nevracíme.

ISSN 1211-328X, MKČR E 7409

© AMARO spol. s r. o.



s panem Petrem Burdou a panem Václavem Koubou, jednatelem z firmy Přijímací technika.

Můžete nám ve stručnosti představit - popsat činnost vaší společnosti?

Petr Burda: Základní tři odvětví, kterými se naše firma zabývá, jsou anténní technika, vstupní domovní systémy a montážní práce. Když dovolíte, začal bych onou první částí, která se týká anténní techniky. Z prvního dojmu může nezasvěcený usuzovat, že prodej komponentů anténních soustav koncovým uživatelům na prodejně je naší hlavní náplní. To platilo možná před několika lety. Dnes je pravdou, že v činnosti společnosti převažuje velkoobchodní prodej a maloobchod se stal díky svému minimálnímu podílu na obratu doplňkem, který vzhledem k desetileté tradici naší prodejny nemůžeme opustit. Širokou nabídkou kvalitního „anténářského“ zboží se snažíme uspokojit každodenní potřeby všech našich zákazníků, avšak tlak obchodních řetězců, velkoobchodní prodej přes Internet by firmu, jejíž náplní je pouze maloobchodní prodej, dříve či později donutil skončit. Je to tím, že většina zákazníků sleduje jako hlavní kritérium pouze cenu, což u zboží z oblasti elektroniky platí obzvlášť.

Díky absenci ekonomické závislosti na koncovém prodejci nejsme nuceni zabývat se jen levným a často nekvalitním zbožím, ale můžeme nabízet a dodávat kvalitní výrobky, které si toto specifické odvětví - jímž bezesporu anténní technika je - zaslouží.

Avšak zpátky k náplni společnosti. Základem naší práce je dovoz, distribuce a v neposlední řadě i instalace špičkových anténních zařízení a komponentů. V posledních několika letech se díky nástupu a převaze digitálního vysílání nad vysíláním analogovým (to platí jak pro satelitní, tak pro pozemní vysílání) vynořila potřeba kvalitních technologických systémů. Ty musí být schopny nahradit zastaralá zařízení, používaná v dnešních rozvodech společných televizních antén, malých kabelových rozvodů a hotelových systémů. Díky dlouholetým zkušenostem a praxi v oboru jsme v zahraničí hledali výrobce a dodavatele, kteří by vyhovovali našim představám a požadavkům na funkčnost a spolehlivost. Byli jsme poučeni z minulých dob z práce s výrobky, které nejsou stoprocentní a jejichž kvalita a softwarová a hardwarová podpora od výrobce je mizerná. Podařilo se nám přesvědčit naše odběratele, že právě kvalitní (a tím i dražší) systémy jim v budoucnu uberou starosti a naopak nám přidají další spokojené zákazníky.

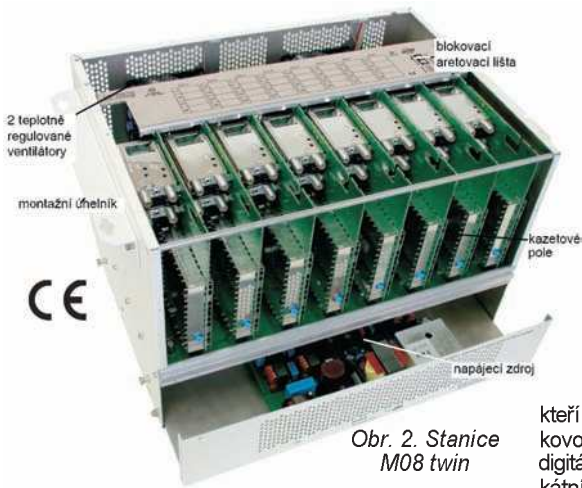
Jaké systémy tedy na náš trh dodáváte, můžete je našim čtenářům popsat?

Petr Burda: V hlavních stanicích pro společné televizní rozvody se specializu-

jeme na německého výrobce Astro. Jeho stanice jsou pro 2, 5 nebo 8 zásuvných kazet. Stanice pro 8 kazet má termostatem řízené chlazení a lze ji umístit i do „racku“ 19". Stanice jdou řídit za sebou, díky tomu lze z nich poskládat „libovolný“ počet programů. Astro vyrábí kompletní sortiment digitálních kazet, které jsou většinou v dvojitém provedení, takže stanice zpracuje 4, 10 nebo 16 programů. Nejvíce se dodávají kazety, které převedou vstupní digitální signál (DVB-S nebo DVB-T) do klasického PAL formátu. Ty se osazují např. do bytových domů jako rychlá náhrada starých analogových systémů. Aktuální novinkou je kazeta pro příjem dvou zakódovaných digitálních satelitních programů, osazená dvěma rozhraními CI, do kterých lze připojit dva dekodéry. Vlastností, zasluhující pozornost, je možnost této kazety dekodovat dva programy pomocí jednoho rozhraní CI - jsou-li oba programy na stejném transpondéru a používají stejný kódovací systém. Myslím si, že v současné době žádný výrobce takovou kazetu dané cenové kategorie nedodává (např. Grundig má dvojité digitální kazety osazené pouze jedním rozhraním CI). Stanice se programují pomocí SW, který se vyznačuje výbornou přehledností, přičemž data stanice jsou trvale uložena v PC. Lze se k nim kdykoliv vrátit a provést úpravy. Základní parametry všech kazet jsou: výstupní kanál nastavitelný v rozsahu 47 až 862 MHz, mono/stereo/duální zvuk, řazení kanál vedle kanálu (výstupní modulatory mají potlačené postranní pásmo), vysoká výstupní úroveň 100 dBμV (plynule nastavitelná HW nebo SW), odstup S/N intermodulačních a harmonických produktů je typ. 60 dB. Datové služby jako VPS, Teletext a rovněž generování kontrolního řádku lze zapínat a vypínat prostřednictvím SW. Stanice splňují požadavky Klasse A. Z uvedených parametrů vyplývá, že se jedná o špičkový systém, který má navíc excelentní poměr cena/výkon. Ještě uvedu, že stanice lze osadit modulem dálkové správy, takže je lze přeladovat na jiné programy, kontrolovat funkčnost, restartovat apod. prostřednictvím telefonní linky prakticky odkudkoliv.



Obr. 1. DVB-S twin CI karta



Obr. 2. Stanice MO8 twin

jednoduše prostřednictvím dodaného dálkového ovladače. Pro montáž je také zajímavé, že stanici lze umístit přímo do původní skříně STA. Uvedené vlastnosti a cena ji přímo předurčují pro přeměnu starých STA na příjem digitálního signálu. Vzhledem k vlastnostem a ceně si myslím, že ji čeká skvělá budoucnost při přechodu z analogového na digitální vysílání. To již naznačil i závěr minulého roku, kdy prodej těchto stanic stoupl několikanásobně.

Vidím, že kromě jiného nabízáte i výrobky značky Televés, která u nás není příliš známá. Můžete ji také představit?

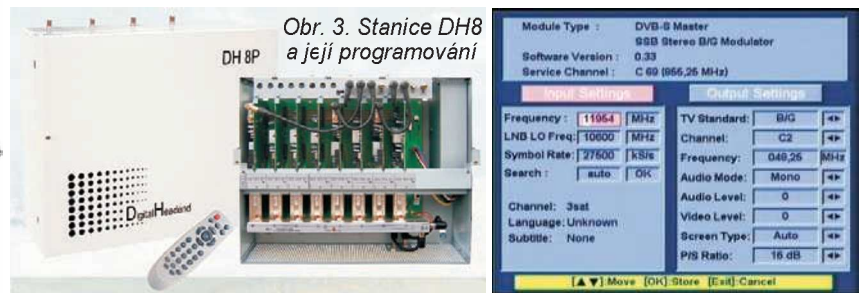
Petr Burda: Delší dobu jsme hledali dodavatele ostatní „bižuterie“, jako jsou antény, koaxiální kabely, rozbočovače, odbočovače, domovní zesilovače aj. Hlavním kritériem byly dodávky kvalitních komponentů od jednoho výrobce a v rozumné cenové kategorii. Podařilo se nám najít u nás méně známého výrobce - španělskou firmu Televés, se kterou v loňském roce započala spolupráce, jež se zakrátko ukázala být opravdu dobrou volbou. Televés, mimo jiné zaujímaví přední místo na evropském trhu, má široký záběr činností - od uvedené „bižuterie“ přes domovní stanice až po vysílání DVB-T. Běžné pasivní komponenty jako antény, kabely, rozbočovače, zásuvky aj. nejen že odpovídají svou kvalitou našim představám o výrobcích pro koncové zákazníky, ale především jsou svou vysokou úrovní předurčené pro náročné aplikace v hromadných televizních rozvodech.

V úvodu jste se zmínili o domovních systémech; jak to souvisí s výrobky, o kterých jsme právě hovořili?

Václav Kouba: Když jsme před několika lety uvažovali o rozšíření našeho sortimentu v rámci komplexního uspokojení požadavků našich partnerů, zjistili jsme, že velmi často se v praxi při instalacích setkáváme s absencí některých kvalitních systémů v oblasti domovních telefonů, videotelefonů a dalších zařízení. Protože jak již z výše popsaného vyplývá, máme rádi moderní technologie, hledali jsme i v této oblasti výrobce, který by svým inovačním řešením pomohl zaplnit onu „díru“ na trhu. Při seznámení s výrobky italské společnosti Comelit jsme pochopili, že to je to pravé.

Takže nám tedy prosím přibližte domovní systémy Comelit.

Václav Kouba: Od Comelit dovážíme systémy určené pro náročné zákazníky,



Obr. 3. Stanice DH8 a její programování

kteří dovedou ocenit luxusní design a špičkovou digitální technologii. Preferujeme digitální systém SIMPLEBUS2, který je unikátní v tom, že pro přenos obrazu a zvuku stačí pouze dva vodiče, které navíc není nutné polarizovat. Obrovská výhoda tohoto systému je tedy v úspoře montážních prací - stačí natáhnout vždy a všude pouze jeden kabel se dvěma „dráty“. Tím odpadá i koaxiální kabel (příp. kroucená dvojlínka) pro přenos videosignálu. Ten, kdo někdy viděl kabeláž klasického systému např. pro 50 účastníků, mi dá za pravdu, že je to věc velmi složitá, nepřehledná, těžko opravitelná a s velkými nároky na objemné patrové instalační krabice se svorkovnicemi.

Digitální systém SIMPLEBUS2 je určen pro maximálně 240 účastníků a vzdálenost do 600 m. Lze v něm použít neomezený počet hlavních i vedlejších vstupních panelů, má možnost několika současných hovorů i funkci interkom. V jednom systému může existovat až 8 interkomových větví. SIMPLEBUS2 má široký výběr vstupních panelů a různých modulů, namátkově uvedu: kódové klávesnice, kartové čtečky, digitální jmenové seznamy, signalizační moduly, programovatelné relé a další, ze kterých se dá poskládat prakticky cokoli. Je zde také výběr z několika variant videomonitorů. Samozřejmostí je přepínací pult centrálního vrátného. Ten může přepojovat hovory od vstupního panelu k libovolnému účastníkovi nebo naopak, a také účastníky mezi sebou. V případě nouze se účastník může okamžitě dovolat pomoci. Pult je tedy vhodný jak pro hotely, tak pro bytové domy se stálou ostrahou. SIMPLEBUS2 se dodává v provedení pro audio nebo pro audio a videosignály, s možností libovolné kombinace videomonitorů nebo audiotelefonů. Na jednu adresu (zvonkové tlačítko) lze přitom připojit až tři vnitřní jednotky (audiotelefon nebo monitor). Všechny vnitřní jednotky také umožňují připojení tlačítka pro dveřní zvonek před bytem s tím, že vyzvánění je odlišné od vyzvánění ze vstupního panelu. Pro tuto funkci nejsou zapotřebí žádné přídavné tónové generátory - jednoduše se dvojlínkou propojí vnitřní jednotka s tlačítkem přede dveřmi. K telefonům a monitorům lze dodat i stolní základny pro umístění na stůl.

Z uvedeného je zřejmé, že se jedná o špičkový systém s nekonečným počtem řešení, který je vhodný jak pro rodinné domy, tak pro velké obytné komplexy, ale i jiné komerční budovy, např. hotely.

Nemohu se zbavit dojmu, že v této oblasti je již dnes na trhu hodně velká konkurence. Existuje důvod, který by vaše potenciální zákazníky přesvědčil?

Václav Kouba: Kromě toho, že se jedná o opravdu vyspělou technologii, od-

povídající dnešní náročným době, je hlavním přínosem (přestože to na první pohled není patrné) výsledná cena. O tento systém stoupá zájem hlavně ve staré panelové zástavbě, protože není zapotřebí náročně vyměňovat celou kabeláž (což je někdy dražší než vlastní nová technologie!) - dva „dráty“ se vždy najdou, a také všude tam, kde není možné (nebo ekonomicky průchodné) vyměňovat celou kabeláž.

Samozřejmě dodáváme i levnější variantu, která je designově shodná s výše popsaným systémem, ale s tím rozdílem, že není digitální. Jedná se o tzv. tradiční kabeláž a je určena všude tam, kde rozhoduje cena zařízení a naopak cena montáže není rozhodující.

Pro rodinné domky nabízíme cenově dostupné sestavy (tzv. kity), ve kterých je již vše potřebné v jednom balení. Vyrábí se pro jednu i dvě rodiny, a to v audio i video provedení. Videosystém může být samozřejmě také barevný. Zde bych upozornil na mimořádný barevný monitor DIVA z leštěného hliníku. Má displej LCD a je v tzv. „hands free provedení“. Svou cenou sice výrazně převyšuje nesrovnatelné konkurenční výrobky čínské proveniencí, které lze zakoupit v hypermarketech, ale díky svému designu tento šperk nachází uplatnění nejen v luxusních rezidencích a kancelářích, ale také všude tam, kde si potrpí na eleganci. Prostřednictvím stolní základny lze i tento monitor nainstalovat např. na ředitelský stůl s tím, že v žádném případě neztratí svůj reprezentační dojem.

V neposlední řadě vizitkou opravdu dobrých firem bývá, že svými produkty obsáhnou danou oblast komplexně, což právě platí pro Comelit. Nabídkou poštovních schránek a vjezdových sloupků s možností vestavění vstupních panelů - a to v luxusním provedení, které svého majitele opravdu reprezentují, dává Comelit naplnit vyniknout svým produktům. Sloupky se vyrábějí ve dvou velikostech - 117 a 170 cm. Používají se před vjezdy do objektů (garáže) pro ovládání vjezdových vrat a závor. Nejčastěji je dodávány osazeny kartovými čtečkami, klávesnicemi, ale také i zvonkovými tlačítky a kamerami. Schránky se vyrábějí v 17 barevných odstínech v horizontálním, vertikálním a úhlovém provedení pro povrchovou montáž i k zasekání, a to s předním i zadním výběrem, popř. také i na sloupcích k zabetonování do země.

Kde se mohou zákazníci s vaší nabídkou seznámit?

Všechna potřebná spojení i webové stránky jsou na II. straně obálky.

Děkuji vám za rozhovor.

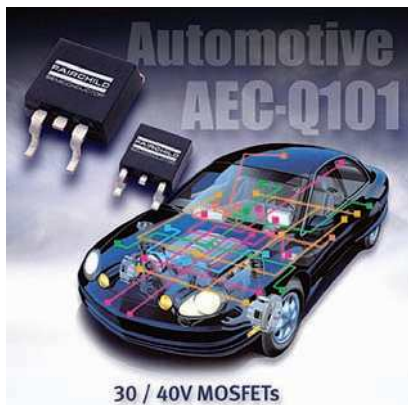
Připravil ing. Josef Kellner.

SVĚTOZOR



Nízkonapětové MOSFET pro automobilovou elektroniku

Firma **Fairchild Semiconductor** (www.fairchildsemi.com) rozšířila své portfolio o 11 výkonových tranzistorů MOSFET se strukturou TRENCH pro napětí 30 V/40 V s malým odporem v sepnutém stavu $R_{DS(ON)}$ s předpokladem aplikace v jednotkách pro ovládání servořízení, ABS, startérech kombinovaných s alternátory, spínání solenoidů a řízení motoru v moderních automobilech. Právě malý odpor v sepnutém stavu těchto tranzistorů (např. FD8860 s kanálem N má $R_{DS(ON)} = 2,3 \text{ m}\Omega$) umožní zmenšit ztráty spojené se vznikem tepla průchodem kolektorového proudu, který může být až 80 A. MOSFET řady 30 V jsou určeny k řízení logickým signálem, tranzistory 40 V mají standardní řízení hradla.



Nové tříosé akcelerometry

STMicroelectronics (www.st.com) patří k předním výrobcům integrovaných obvodů založených na mikromechanické technologii kombinující na čipu ultraminiaturní senzory mechanických veličin s vyhodnocovací elektronikou. První dva tříosé akcelerometry pro malá zrychlení z nové řady LIS302 se vyznačují malými rozměry pouzdra (LGA-14, 3×5×0,9 mm) a malou spotřebou (pod 1 mW). Akcelerometr LIS302DL, který lze napájet ze zdroje 2,16 až 3,6 V, je určen pro měření kmitání v rozsazích od ±1 do ±8 g (1 g = 9,81 m/s²) v kmitočtovém pásmu 100 Hz, případně 400 Hz. Senzor nepoškodí ani ráz s amplitudou 10 000 g. Přenos výstupního, již digitálního signálu probíhá po sériové sběrnici I²C/SPI. Přes tuto sběrnici

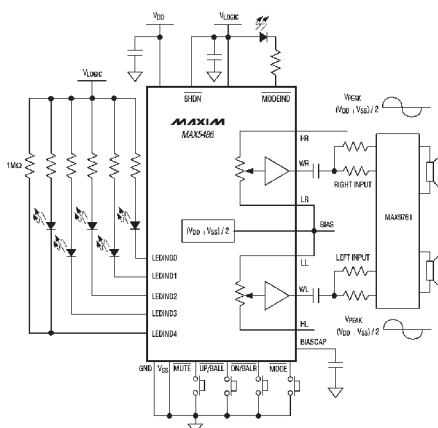
může uživatel naprogramovat i hraniční hodnotu zrychlení v některé z měřených os, při které obvod vytváří signál přerušení. Druhý typ akcelerometru LIS302ALB se liší rozsahem zrychlení ±2 g s kmitočtovým pásmem 2 kHz, analogovými výstupy signálů všech 3 os a napájecím napětím 3 až 3,6 V.

Rostoucí požadavky na tyto senzory přicházejí zvláště od výrobců pevných disků pro notebooky, kde jsou základem ochranných obvodů proti nebezpečným mechanickým vlivům, jako jsou např. detektory volného pádu, případně slouží jako čidla pro ovládací systémy moderních mobilů, digitálních přehrávačů a her založených na využití určitého mechanického pohybu přístroje.

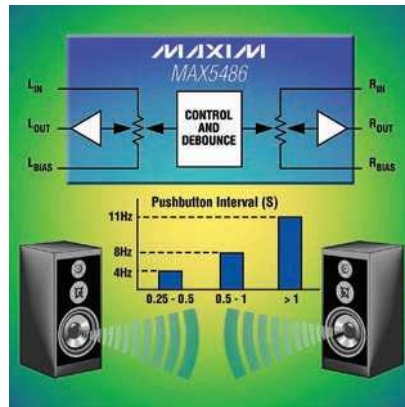


Digitální potenciometr včetně rozhraní pro tlačítka

Integrovaný obvod MAX5486 (www.maxim-ic.com) obsahuje vedle dvojité odporové dráhy s odporem 40 kΩ, s logaritmickým průběhem a s 32 odbočkami rozhraní pro odrušení signálů z externích spínačích tlačítek. Tlačítka lze řídit hlasitost, vyvážení obou kanálů a oddělovací zesilovače. Nejsou tedy třeba žádné další obvody, které by jako dříve tyto funkce realizovaly. To umožňuje snížit cenu a zmenšit potřebný prostor na spojové desce. V závislosti na době stisku tlačítek se mění rychlost pohybu jezdce. Signálem z dalšího tlačítka „MUTE“ se úplně ztlumí signály, MUTE je aktivní i při vypnutí. Po zapnutí napájení se jezdce vrátí na pů-



vodní polohu. Při všech změnách jsou eliminovány případné rušivé zvuky. Aktuální polohu nastavení jezdce lze zobrazit pomocí pěti LED, které jsou spínány přímo z MAX5486. Pro napájení je třeba jediné napětí 2,7 až 5,25 V, případně dvojitě ±2,7 V. Obvod se vyrábí v 24pinovém pouzdře TSSOP o rozměrech 6 × 5 mm a je určen např. pro nř kanály domácího kina, zvukové karty počítačů nebo přesné přehrávače.



Inteligentní spínač pro autoelektroniku

Řadu výkonových spínačů chráněných proti přetížení, přehřátí, přepólování a poškození elektrostatickým nábojem IR331/2/3/6S od firmy **Internationale Rectifier** (www.irf.com) tvoří čtyři typy „horních“ spínačů s odporem v sepnutém stavu 7, 12, 20 a 7 mΩ. Jsou určeny především pro spínání výkonových spotřebičů moderních automobilů, jako jsou žárovky, žhavicí svíčky nebo ventilátory. Jejich vstupní signál je vztažen ke kladnému pólu napájecího zdroje, který může mít napětí 6 až 26 V, případně až 32 V. Jednotlivé typy se liší maximálním proudem, jehož velikost lze volit v rozsazích 10 až 90, 6 až 58, 3 až 30 a 10 až 90 A. Maximální proud, při kterém je proud do zátěže přerušen, lze s přesností ±5 % nastavit volbou odporu programovacího rezistoru. Úbytek na tomto rezistoru je úměrný výstupnímu proudu. Spínače jsou dodávány v 5pinových pouzdech D2PAK a TO-220.

JH



Základy radiotechniky a vf techniky

Antény (Pokračování)

Elektromagnetické vlny lze rozlišit podle jejich vlnové délky, resp. kmitočtu. Pokrývají rozsah od kilometrových délek po vlnové délky srovnatelné s rozměry jaderných částic. U elektromagnetických vln delších jak 1 mm (do kmitočtu 300 GHz) mluvíme o rádiových vlnách. Rozdělení elektromagnetických vln podle vlnové délky je v tab. 4.

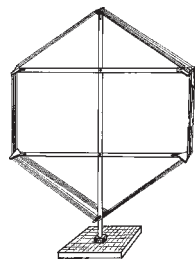
Velmi dlouhé rádiové vlny pronikají pod zemský povrch a částečně i mořskou vodou. Na kmitočtech okolo 10 kHz lze vhodným přijímačem zachytit signál několika radiomajáků, určených pro navigaci ponorek. Vysílače jsou v neobydlených místech a anténní systémy mají kilometrové rozměry. Jejich signál lze zachytit po celé Zemi.

V pásmu dlouhých, středních a krátkých vln vysílalo dříve velké množství rozhlasových a telegrafních stanic, nyní jsou tato pásma pomalu opouštěna. Nově se tu objevuje vysílání digitálního rozhlasu (DRM).

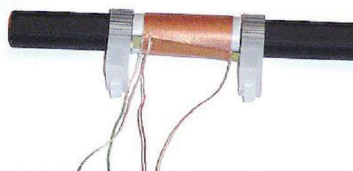
Pro nízké kmitočty můžeme použít drátovou anténu, avšak pokud by její délka měla být srovnatelná s délkou vlny, byla by velmi dlouhá. Můžeme sice použít anténu kratší, ale účinnost se s jejím zkracováním rychle zmenšuje. Pro příjem rádiových vln na nízkých kmitočtech jsou vhodné rámové a feritové antény (obr. 25 a 26). Obě tyto antény využívají magnetickou složku elektromagnetického pole. Jsou to cívky upravené tak, aby jimi prošlo co nejvíce magnetických silo-

čar. Rámová anténa je vlastně velká cívka, feritová anténa je cívka s relativně velkým jádrem – feritovou tyčkou – v její blízkosti se magnetické siločáry „zahušťují“, viz obr. 27. Feritová anténa je poměrně malá a bývá umístěna zpravidla uvnitř skříňky přijímače. Obě tyto antény jsou laděné. Cívka antény bývá součástí vstupního laděného obvodu přijímače.

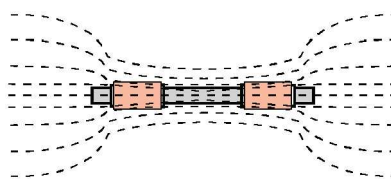
Pro vyšší kmitočty se používají antény, jejichž základem je dipól. Na obr. 24 v minulém čísle je půlvlnný dipól s přímo připojeným koaxiálním kabelem. Tento způsob není nejlepší – impedance kabelu a antény se liší, kabel je navíc nesymetrický napáječ připojený na symetrickou anténu. To zhoršuje ČSV a vyzařovací diagram



Obr. 25. Rámová anténa



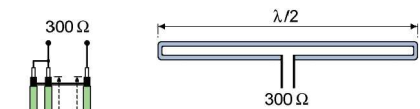
Obr. 26. Feritová anténa



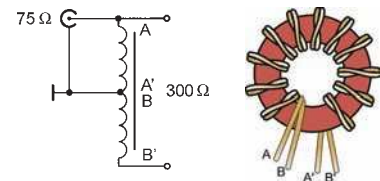
Obr. 27. Magnetické pole v blízkosti feritové antény

je deformovaný. Proto se často používá tzv. skládaný dipól, jehož impedance bývá podle mechanického provedení 200 až 300 Ω. Jsou to vlastně dva dipóly těsně vedle sebe, na koncích spojené. Napáječ je připojen jen k jednomu z nich. K dipólu bývá připojen symetrický transformátor, kterému se říká balun. Ten transformuje impedanci kabelu a převádí symetrický napáječ na nesymetrický a naopak. Může být vyroben z kusu koaxiálního kabelu, jako transformátor či v pásmu UHF jako hybridní člen. Impedance se transformují obvykle v poměru 1:4 (obr. 28 až 32).

VH (Pokračování příště)



Obr. 28 a 29. Skládaný dipól a symetrický transformátor – balun vyrobený z koaxiálního kabelu. Délka smyčky je $\lambda/2 \times$ činitel zkrácení



Obr. 30 a 31. Zapojení vinutí balunu a balun navinutý na toroidním jádře



Obr. 32. Balun na feritovém jádře

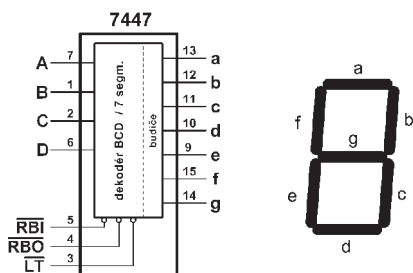
Tab. 4. Kmitočtové spektrum elektromagnetických vln

Název	Anglický název	Kmitočet	Vlnová délka
Extrémně dlouhé vlny	Extremely low frequency (ELF)	3 až 3000 Hz	100 km a více
Velmi dlouhé vlny	Very low frequency (VLF)	3 až 30 kHz	100 až 10 km
Dlouhé vlny (DV)	Long Wave (LW)	30 až 300 kHz	10 až 1 km
Střední vlny (SV)	Medium Wave (MW)	0,3 až 3 MHz	1000 až 100 m
Krátké vlny (KV)	High Frequency (HF)	3 až 30 MHz	100 až 10 m
Velmi krátké vlny (VKV)	Very High Frequency (VHF)	30 až 300 MHz	10 až 1 m
Ultra krátké vlny (UKV)	Ultra High Frequency (UHF)	0,3 až 3 GHz	100 až 10 cm
Mikrovlny 3 – 300 GHz	Microwave	SHF 3 až 30 GHz EHF 30 až 300 GHz	10 až 1 cm 10 až 1 mm
Světlo:			
Infračervené záření	Infrared light (IR)	300 GHz až 400 THz	1 mm až 750 nm
Viditelné světlo		480 až 700 THz	740 až 380 nm
Ultrafialové záření	Ultraviolet (UV)		400 až 10 nm
Rentgenové záření	X-ray		10 až 0,1 nm
Gama záření	Gamma-ray		<0,1 nm

Digitální technika a logické obvody

Čítač se dvěma dekádami a displejem (Pokračování)

Jako budič displeje je použit obvod TTL7447, jehož funkční schéma a rozmístění vývodů je uvedeno na obr. 138. Obvod 7447 je dekodér z kódu BCD na kód sedmisegmentových zobrazovačů LED. Výstupy budičů a až g, které se připojují přes rezistory k příslušným segmentům LED displeje, mají otevřený kolektor a umožňují, aby segmentem protékal proud až 40 mA. Aktivní segmenty mají úroveň L, displej tedy musí být typu se společnou anodou. Hodnota BCD čísla určeného k zobrazení v dekadické podobě na displeji LED se přivádí na vstupy A až D. Obvod je dále vybaven pomocnými vstupy \overline{LT} , \overline{RBI} a \overline{RBO} . Vstup \overline{LT} slouží k testování displeje a za předpokladu, že je $\overline{RBO} = H$, se při $\overline{LT} = L$ rozsvítí všechny segmenty displeje. Vývod \overline{RBO} slouží jako vstup i výstup. Ve funkci vstupu zhasíná při úrovni L všechny segmenty displeje nezávisle na úrovních ostatních vstupů. Toho lze využít při regulaci jasu displeje např. v závislosti na intenzitě okolního osvětlení. Jas měníme jednoduchou změnou střidy signálu o kmitočtu alespoň 40 Hz přivedeného na vstup \overline{RBO} . Vývod \overline{RBO} je současně i výstupem, který nabývá úrovně L, je-li detekována tzv. nevýznamná nula, k čemuž dochází při $A = B = C = D = \overline{RBI} = L$. Vstup \overline{RBI} slouží k potlačení svitu nuly. Při $\overline{RBI} = L$ se symbol 0 nezobrazí a displej zůstane zhasnutý. Tímto je možné potlačit zobrazování nul na začátku a popř. i na konci čísla (použijeme-li desetinnou tečku) tak, aby se např. na šestimístním displeji číslo 005,100 zobrazilo pouze jako 5,1. Zvýší se tak přehlednost zobrazovaného údaje a též se zmenší spotřeba displeje. Chceme-li dekodéry zapojit tak, aby byly potlačeny nevýznamné nuly, budeme postupovat následujícím způsobem:

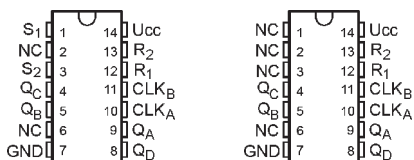


Obr. 138. Funkční schéma a rozmístění vývodů IO 7447. Napájení: U_{CC} – pin 16, GND – pin 8

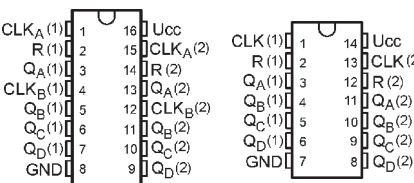
Obr. 139. Rozložení segmentů u sedmisegmentového displeje LED

- ♦ Vstup \overline{RBI} u nejvyššího řádu připojíme na úroveň L.
- ♦ Vstupy \overline{RBI} u nižších řádů vždy spojíme s výstupem \overline{RBO} řádu vyššího. Takto zapojíme všechny dekodéry, u nichž si přejeme potlačit svit nuly v případech, kdy je nula též na všech vyšších řádech. U nejnižšího řádu obvykle zobrazujeme nulu vždy, vstup \overline{RBI} zde tudíž připojíme na úroveň H.
- ♦ Podobně postupujeme při potlačení nevýznamných nul na pozici desetinných čísel, tentokrát ovšem zprava doleva.

Popíšeme si nyní stručně funkci celého zapojení na obr. 137 (v minulém čísle PE). Jedna dekáda sestává z čítače BCD 7490, který byl také podrobně popsán dříve, dekodéru, rezistorů a zobrazovače LED. V tomto případě jsou zapojeny dekády pouze dvě, nic nám však nebrání podobným způsobem zapojit třeba čtyři. Vstupní hodinové impulsy jsou přiváděny na vstup CLK_A prvního čítače, další čítače jsou zapojeny do kaskády výše popsaným způsobem. Podle počtu dekád a umístění desetinné tečky je pouze v případě potřeby nutné správně zapojit vstupy \overline{RBI} a \overline{RBO} u jednotlivých dekodérů. Odpory předřadných rezistorů jsou vypočteny na základě předpokládaného úbytku napětí na LED segmentech a požadovaného proudu jedním segmentem (výpočet je vysvětlen v PE5/2005 a PE6/2005). Společný vývod displeje se připojuje na kladné napětí, je proto nutné použít displej se společnou anodou. Zapojení jednotlivých segmentů u konkrétního LED zobrazovače lze vyhledat v katalogu, nalezení správného rozmístění vývodů metodou pokus-omyl bývá otázkou několika minut.



Obr. 140. Rozmístění vývodů IO 74290 a 74293 (NC = nezapojený vývod)



Obr. 141. Rozmístění vývodů IO 74390 a 74393 (NC = nezapojený vývod)

Další asynchronní čítače

Přehled vybraných asynchronních čítačů řady TTL 7400 je uveden v tab. 62. Čítače 74290 a 74293 jsou funkčně ekvivalentní s čítači 7490 a 7493, které byly popsány v minulých dílech. Obvody se liší pouze zapojením vývodů (viz obr. 140). Oba čítače 74290 a 74293 jsou tedy opět vybaveny dvěma vstupy nulování R_1 a R_2 (čítače se vynulují při $R_1 = R_2 = H$). Dekadický čítač 74290 navíc stejně jako obvod 7490 disponuje dvěma vstupy nastavení S_1 a S_2 . Bude-li $S_1 = S_2 = H$, čítač se nastaví na maximální hodnotu, tj. do stavu 9, a výstupy Q_D až Q_A přejdou do úrovní HLLH. U obou čítačů je opět samostatně vyveden hodinový vstup druhého klopného obvodu (CLK_B), který není vnitřně propojen s výstupem Q_A . Tím je obvod 74290 rozdělen na čítač modulo dvě a pět a obvod 74293 na čítač modulo dvě a osm. Čítač mod 10 čítající v kódu BCD, resp. čítač mod 16 získáme až propojením výstupu Q_A se vstupem CLK_B . Oba čítače jsou řízeny sestupnou hranou hodinového signálu.

Obvody 74390 a 74393 obsahují dva nezávislé dekadické, resp. binární čítače, které opět vycházejí z čítačů 7490 a 7493. Jak je však patrné z obr. 141, byly vynechány některé vývody. Čítače u obvodů 74390 a 74393 jsou vybaveny pouze jedním vstupem asynchronního nulování R, který je aktivní v úrovni H (při $R = H$ se všechny výstupy nastaví do úrovně L). U obvodu 74393 byl rovněž zredukován počet hodinových vstupů. Hodinový vstup druhého klopného obvodu je nyní vnitřně propojen s výstupem Q_A a vyveden je pouze hodinový vstup prvního klopného obvodu. U dekadických čítačů v obvodu 74390 bylo zachováno rozdělení na čítač modulo dvě a pět, které mají samostatné hodinové vstupy CLK_A a CLK_B . Na vstup CLK_B obvykle přivádíme signál z výstupu Q_A , čímž získáme dekadický čítač čítající v kódu BCD (vstupní impulsy přivádíme na vstup CLK_A). Rovněž ovšem můžeme propojit vstup CLK_A s výstupem Q_D a vstupní impulsy přivádět na vstup CLK_B , čímž získáme dekadický čítač čítající v kódu 5421 (bit s nejvyšší vahou je nyní na výstupu Q_A , následovaný Q_D , Q_C a Q_B , na kterém je bit s nejnižší vahou). Čítače u obou obvodů jsou opět řízeny sestupnou hranou hodinového signálu.

Vít Špringl
(Pokračování příště)

Tab. 62. Přehled asynchronních čítačů řady TTL7400

Typ	Funkce	Poznámka
74xx90	4-bit. dekadický čítač	modulo 2+5, 2x nulování, 2x nastavení (popis v PE12/2006)
74xx93	4-bit. binární čítač	modulo 2+8, 2x nulování (popis v PE11/2006)
74xx290	4-bit. dekadický čítač	funkčně ekvivalentní s 7490, pouze jiné rozmístění vývodů
74xx293	4-bit. binární čítač	funkčně ekvivalentní s 7493, pouze jiné rozmístění vývodů
74xx390	2x BCD čítač	modulo 2+5, vstup nulování
74xx393	2x 4-bit. binární čítač	vstup nulování

JEDNODUCHÁ ZAPOJENÍ PRO VOLNÝ ČAS

Časový spínač osvetlenia chodby

Chcel by som predstaviť výrobok, ktorý som pomenoval ako časový spínač. Ja som ho použil pre zapínanie osvetlenia chodby.

Schéma časového spínača je na obr. 1. V prístroji som použil časovací obvod NE555 (IO1). Ten je zapojený ako astabilný multivibrátor. Kmitočet obvodu sa dá nastaviť rezistorami R1 až R4 s pomocou spínača DIP4. Taktiež kmitočet môžeme meniť, keď miesto rezistoru R5 použijeme potenciometer s odporom 5 MΩ.

Ako spínací obvod som použil relé RE1 na 12 V pripojené k IO1 cez tranzistor T1.

Obvod je napájaný priamo ze siete cez poistku F1 a kondenzátor C5. Rezistor R11 omezuje nabíjací prúd kondenzátora C5 a musí byť drôtový na zaťaženie 2 W. Mostík D1 až D4 usmerňuje napájacie napätie, Zenerova dióda D8 omezuje jeho veľkosť na 12 V.

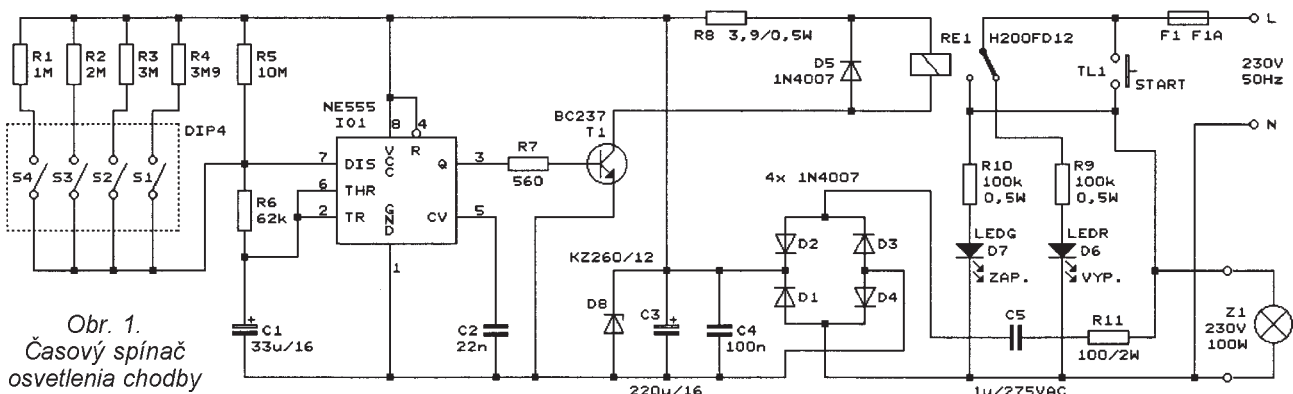
Pri stlačení tlačidla TL1 (START) sa nastaví časovač IO1 a cez tranzistor T1 zopne relé RE1, pričom sa rozsvieti žiarovka Z1 na chodbe. Keď uplynie čas, ktorý sme vopred nastavili pomocou spínača DIP4, relé sa vypne. Tým sa vypne aj celý obvod. Pri opakovanom stlačení tlačidla TL1 sa cyklus opakuje.

Rozsah času je nastaviteľný od 30 s do 5 min. Samozrejme, že se to dá zmeniť, ako som už popísal.

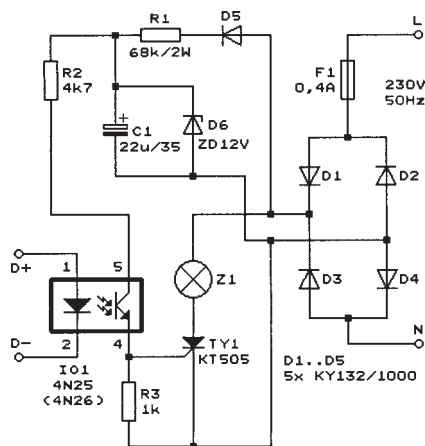
Vzhľadom k jednoduchosti bude zariadenie pri správnej realizácii, oživení a nastavení pracovať na prvýkrát.

Pozn. red.: Popisovaný obvod je galvanicky spojen se sítí, a preto je nutné dodržiavať zásady bezpečnosti práce! Pri experimentovaní je vhodné pripojiť obvod k sítí přes oddělovací transformátor!

Branislav Janták



Obr. 1. Časový spínač osvetlenia chodby



Obr. 2. Tyristorový výkonový spínač s optočlenom

Tyristorový výkonový spínač s optočlenom

Občas jsem potřeboval ovládat nějakým elektronickým obvodem žárovku na 230 V (nebo i jiný spotřebič, kterému nevadí stejnosměrné napájení).

Chtěl jsem, aby výkonový obvod měl v klidu malý odběr, spínal bezkontaktně a byl z bezpečnostních důvodů dokonale oddělen od řídicí elektroniky.

Schéma spínače je na obr. 2. Rozsvícená LED v optočlenu IO1 otevře fototranzistor, ten pak otevře thyristor TY1 a žárovka Z1 se rozsvítí. Spínač je napájen usměrněným síťovým napětím přes předřadný rezistor R1.

Je možné do série s LED optočlenu zapojit další LED, která nás informuje o stavu řídicího signálu a tím o chodu ovládaného zařízení.

Popisovaný spínač lze ovládat časovým spínačem, obvodem pro zapínání a vypínání jedním tlačítkem, astabilním multivibrátorem ve funkci blikáče a mnoha dalšími číslicovými i jinými obvody.

Pozn. red.: I tento obvod je galvanicky spojen se sítí, a proto je nutné dodržiavať zásady bezpečnosti práce a při experimentovaní pripojiť obvod k sítí přes oddělovací transformátor!

Ivan Hůževka

Elektronická siréna s multiplexerem 4051

Elektronické sirény jsou oblíbeným konstrukčním námětem a existuje obrovský množství jejich různých zapojení. V dále popisované elektronické siréně je k modulaci výšky tónu využit osmikanálový analogový multiplexer CMOS typu 4051. Multiplexerem se přepínají rezistory, jejichž odpory je určován kmitočet generovaného signálu.

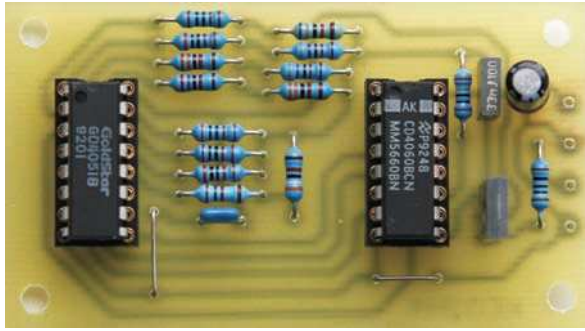
Abyste bylo možné posoudit funkci sirény a její zvuk, byl vzorek sirény realizován na desce s plošnými spoji a vyzkoušen. Fotografie desky se součástkami je na obr. 3.

Popis funkce

Schéma elektronické sirény je na obr. 4. Signál tónu sirény je generován oscilátorem RC, který je obsažen v obvodu CMOS 4060 (IO1). Výška tónu je ovládána odporem rezistorů R1 až R8, které se zařazují mezi vývod 10 IO1 a horní vývod kondenzátoru C1 osmikanálovým multiplexerem 4051 (IO2). Rezistory R1 až R8 mají odpory 10, 20 atd. až 80 kΩ.

V původním prameni jsou odpory co nejbližší uvedeným hodnotám vybrány z řady E96. V našich podmínkách, kde se běžně vyskytují pouze odpory v řadě E24, byly požadované odpory složeny vždy ze dvou hodnot ($R4A + R4B$ atd.).

Při zařazeném rezistoru R1 o odporu 10 kΩ je kmitočet generovaného tónu asi 1,25 kHz, při zařazeném rezistoru R2 o odporu 20 kΩ je kmitočet



Obr. 3. Elektronická siréna s multiplexerem 4051

seli přizpůsobit zapojení zesilovače na výstupu sirény a napájení sirény (siréna by se musela napájet z akumulátoru 12 V nebo ze síťového zdroje). Tyto úpravy však v původním prameni nejsou popsány.

Konstrukce a oživení

Elektronická siréna je zkonstruována z vývodových součástek na desce s jednostrannými plošnými spoji. Obrázec spojů je na obr. 5, rozmístění součástek je na obr. 6.

Osazení desky součástkami je bezproblémové, dvě drátové propojky jsou zhotoveny z odštířených vývodů rezistorů. U realizovaného vzorku jsou oba IO vloženy do objímek, aby je bylo možné později použít i do jiných konstrukcí.

Vzorek sirény fungoval na první zapojení. Generovaný zvuk je dramatický a připomíná zvuk „rušiček“ bývalé stanice Svobodná Evropa.

Na výsledný zvuk by však pravděpodobně nemělo vliv, kdyby rezistory R1 až R8 neměly přesné odpory 10 až 80 kΩ. Zřejmě by bylo možné použít odpory z řady E12 (10, 18, 27, 39, 47, 56, 68 a 82 kΩ) a nadbytečné rezistory nahradit drátovými propojkami (nebylo vyzkoušeno).

Pokud bychom chtěli zvuk sirény změnit, je možné experimentovat s odpory rezistorů R1 až R8.

generovaného tónu asi 670 Hz atd., až při zařazených rezistorech R8A a R8B o odporu 80 kΩ je kmitočet generovaného tónu asi 200 Hz.

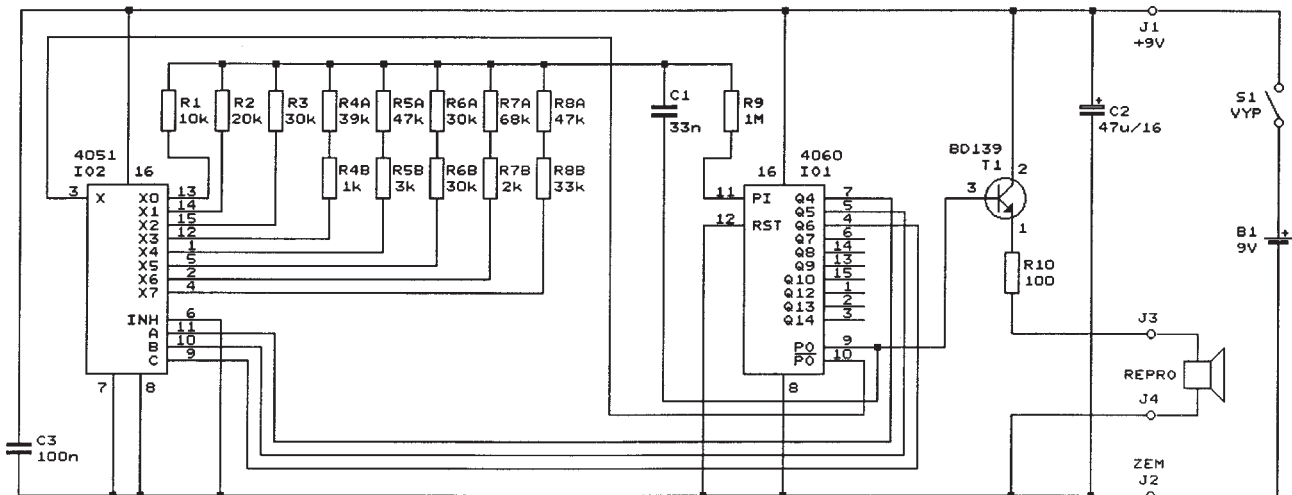
Multiplexer IO2 se ovládá binárními signály A, B a C, které se odebírají z výstupů Q4 až Q6 binárního čítače obsaženého v IO1. Bity Q4 až Q6 definují potřebných osm stavů multiplexeru IO2, které se střídají vždy po osmi periodách generovaného tónu. Všechny osm stavů multiplexeru se projeví během 8 x 8 period generovaného signálu, což trvá asi 194 ms.

Signál tónu sirény se odebírá z vývodu 9 IO1 a proudově se zesiluje emitorovým sledovačem s tranzistorem T1 typu BD139. Pozor, některé tranzistory tohoto typu mají prohozenou bázi s emitorem, proto je vhodné bázi předem identifikovat! Tón se akusticky vyznačuje miniatur-

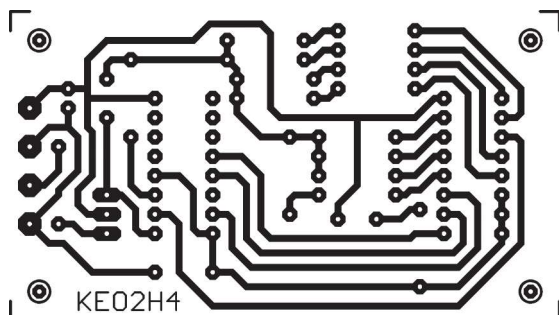
ním reproduktorem REPRO o impedanci 8 Ω.

Siréna je napájena napětím 9 V z destičkové baterie. Při tomto napětí je napájecí proud s odpojeným reproduktorem asi 0,5 mA. Po připojení reproduktoru 8 Ω se střední napájecí proud zvětší na asi 40 mA. Napájecí napětí není kritické a může se pohybovat v rozmezí 4 až 15 V. K napájení lze použít baterii i síťový zdroj.

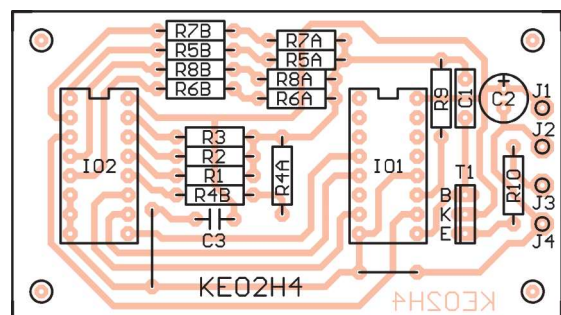
Abyste při napájení z destičkové baterie neměla siréna příliš velký odběr, je reproduktoru předřazen rezistor R10 o odporu 100 Ω. Rezistorem R10 je výkon sirény omezen na několik mW, takže zvuk z reproduktoru je jen jakýsi kontrolní odposlech. Pokud bychom chtěli, aby siréna vydávala hlasitý zvuk, museli bychom použít výkonový reproduktor s ozvučnicí a požadovanému výkonu bychom mu-



Obr. 4. Elektronická siréna s multiplexerem 4051



Obr. 5. Obrázec plošných spojů elektronické sirény (měř.: 1 : 1, rozměry 72,4 x 40,6 mm)



Obr. 6. Rozmístění součástek na desce elektronické sirény

Seznam součástek

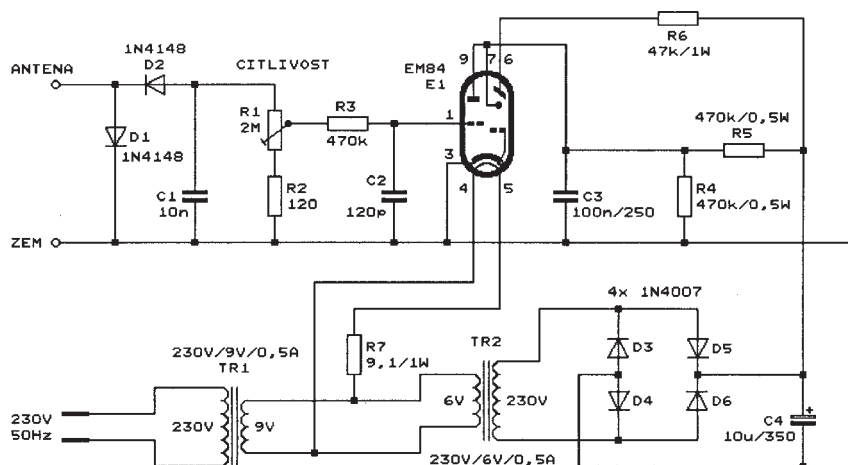
R1	10 k Ω /0,6 W/1 %, metal.
R2	20 k Ω /0,6 W/1 %, metal.
R3	30 k Ω /0,6 W/1 %, metal.
R4A	39 k Ω /0,6 W/1 %, metal.
R4B	1 k Ω /0,6 W/1 %, metal.
R5A	47 k Ω /0,6 W/1 %, metal.
R5B	3 k Ω /0,6 W/1 %, metal.
R6A	30 k Ω /0,6 W/1 %, metal.
R6B	30 k Ω /0,6 W/1 %, metal.
R7A	68 k Ω /0,6 W/1 %, metal.
R7B	2 k Ω /0,6 W/1 %, metal.
R8A	47 k Ω /0,6 W/1 %, metal.
R8B	33 k Ω /0,6 W/1 %, metal.
R9	1 M Ω /0,6 W/1 %, metal.
R10	100 Ω /0,6 W/1 %, metal.
C1	33 nF/J/100 V, fóliový
C2	47 μ F/16 V, radiální
C3	100 nF, keramický
T1	BD139
IO1	CMOS 4060 (DIL16)
IO2	CMOS 4051 (DIL16)
objímka precizní DIL16	2 kusy
S1	páčkový spínač, jednopólový
REPRO	miniaturní reproduktor 8 Ω
B1	destičková baterie 9 V
klips k destičkové baterii	
deska s plošnými spoji č. KE02H4	

Elektor, prosinec 2006

Indikátor vyzařovaného výkonu vysílače s „magickým okem“

Indikátor vyzařovaného výkonu, jehož schéma je na obr. 7, je určen pro radioamatéry, kteří by si rádi postavili něco s elektronkou. V indikátoru je totiž pro zobrazení výkonu v anténě použito „magické oko“ typu EM84.

Zapojení indikátoru je velmi jednoduché. Signál z pomocné antény, která je umístěna v blízkosti vysílací antény, je veden na vstupní svorku ANTENA indikátoru. Vf signál, který se do pomocné antény indukuje během vysílání, se usměrňuje diodami D1, D2 a filtruje součástkami C1, R1 až R3 a C2. Trimrem R1 se usměrněný signál volitelně zeslabuje a tím se nastavuje citlivost indikátoru. Vyfiltrovaný ss signál z usměrňo-



Obr. 7. Indikátor vyzařovaného výkonu vysílače s „magickým okem“

vače je přiváděn na řídicí mřížku „magického oka“ E1 typu EM84. Je samozřejmě možné použít i jiný typ „magického oka“, který máme právě k dispozici. Anoda pomocné triody 9 E1 je připojena k ovládací elektrodě 7 E1 a je napájena ze zdroje anodového napětí přes odporový dělič R4, R5. Filtrační kondenzátor C3 zpomaluje změny ovládacího napětí a tím zabraňuje rychlému „mrkání“ „magického oka“. Na světélkující stínítko 6 E1 je přiváděno anodové napětí přes předřadný rezistor R6.

V klidu je na řídicí mřížce vůči katodě nulové napětí, při „zaklívání“ vysílače se na mřížce objeví záporné napětí. Změnou napětí na řídicí mřížce se mění tvar světelných segmentů na světélkujícím stínítku uvnitř elektronky a tím je výrazně indikována činnost vysílače.

Indikátor je napájen ze sítě a napájecí zdroj je vyřešen tak, aby obsahoval jen běžně dostupné součástky.

K získání anodového napětí galvanicky odděleného od sítě jsou použity dva síťové transformátory TR1 a TR2 s navzájem propojenými vinutími s nízkým napětím. V původním prameni je doporučováno, aby TR1 měl nízké napětí 9 V/0,5 A a TR2 měl nízké napětí 6 V/0,5 A. Důvodem je zřejmě okolnost, že sekundární napětí zatíženého TR1 je podstatně menší než jmenovité napětí 9 V.

K sekundárnímu vinutí TR1 je přes předřadný rezistor R7 připojeno žhavicí vlákno „magického oka“ E1.

Podle použitého transformátoru se musí odpor rezistoru R7 upravit tak, aby mezi žhavicími vývody E1 bylo napětí 6,3 V \pm 5 %.

Vysoké napětí z TR2 je dvoucestně usměrňováno můstkem s diodami D3 až D6 a vyhlazováno kondenzátorem C4. V původním prameni byl k filtraci anodového napětí uveden na schématu filtr ve tvaru II, který obsahoval dva kondenzátory 47 μ F/350 V a blíže nespecifikovanou tlumivku. Tento filtr byl však asi jen výsledkem fantazie překreslovače schématu, protože v původním prameni na fotografii vnitřku indikátoru žádná tlumivka není. Proto je na našem schématu uveden jen jeden kondenzátor (C4), který je podle názoru redaktora postačující.

Indikátor je zkonstruován na desce s univerzálními plošnými spoji a je vestavěn do ploché kovové skříňky. Na předním panelu je za okénkem umístěno „magické oko“ E1. Zvnějšku je okénko olemováno plastovým rámečkem určeným pro digitální displeje. Z bezpečnostních důvodů musí být pro připojení k síti použita třížilová síťová napájecí šňůra, jejíž ochranný vodič PE musí být spojen se skříňkou.

Přístroj by po zhotovení měl pracovat bez jakýchkoliv problémů. Nutné je pouze vyhledat nejvhodnější umístění pomocné antény, která je připojena ke vstupu indikátoru.

CQ DL, 9/2003

**PRAKTICKÁ
ELEKTRONIKA**
A Radio

PŘIPRAVUJEME
do příštích čísel

PRO KONSTRUKTORY
RADIO KONSTRUKČNÍ
ELEKTRONIKA
A Radio

Digitální laboratorní napájecí zdroj + Hledač kovů ClonePI + CD ROM 2006 + Vyhlášení Konkursu 2007 + Kompresor dynamiky signálu z mikrofónu + Řídicí systém do terária (dokončení) + Příjem rozhlasu DRM (dokončení)

Tématem čísla 1/2007, které vychází začátkem února 2007, je mikrořadič Atmel ATtiny2313. Článek navazuje na první díl z KE 5/2006. Jsou popisovány další vlastnosti a další vyspělejší aplikace tohoto mikrořadiče (USART, USB atd.)

Řídicí systém do terária (TERRA CONTROL SYSTEM)

Tomáš Solarski

Řídicí systém má za úkol měřit teplotu v teráriu, vyhodnocovat ji a posléze rozhodnout, zdali se má ještě dané terárium vytápět či již nikoliv, systém také rozlišuje rozdílné hodnoty požadovaných teplot pro den a noc. Udržování stabilní a hlavně vyšší teploty v teráriu po 24 hodin denně má jistě blahodárné účinky na chování zvířata (v mém případě sklípkani), která většinou pocházejí z tropických oblastí.

Technická data

Počet regulovaných okruhů: 6.
Výstup: 6x 230 V/250 mA.
Použitá čidla: KTY81-210.
Přesnost měření teploty: ±0,2 °C pro interval 20 až 30 °C.
Signalizace: 2x 16 znaků LCD + 6x DuoLED.
Komunikace s PC: RS-232 na 19 200 bps.
Rozměry (š x d x v): 160 x 140 x 60 mm.
Hmotnost přístroje: 650 g.
Vlastní spotřeba ze sítě: 3,7 W.
Orientační cena: 1 000 Kč.

Celý systém je vybaven 6 smyčkami, což jsou vlastně samostatné měřicí a řídicí okruhy, stávající z teplotního čidla KTY81-210 na vstupu a výkonového členu v podobě triaku TIC206M spínaného přes optotriak MOC3020 na výstupu. K výkonovému členu je pak připojen některý možný topný předmět. Ukolem zařízení je dohled nad teplotou v teráriu, nebo spíše její udržování na dané hodnotě. To vše řídí microprocesor AVR, který jednotlivé teploty zobrazuje na dvouřádkovém displeji LCD a pomocí LED signalizuje stavy v daném teráriu. Je vybaven rozhraním USART,

kterého využívá pro komunikaci s PC. Program v PC je jediná možnost, jak nastavit dané hodnoty v řídicím systému. Systém komunikuje po rozhraní RS-232 na standardní rychlosti 19 200 bps.

Blokové schéma

Jádrum řídicího systému je microprocesor Atmel z řady AVR ATmega8-16PI, jehož výhodou je příznivá cena (v GM asi 72 Kč), 10bitový převodník A/D s 6x multiplexem, 8 kB paměti flash pro program s možností sériového „downloadu“ a dokonce i „Boot Loader“ pro samo-programovací algoritmus, 1 kB SRAM a 0,5 kB EEPROM. Pro vlastní měření teploty jsou použita teplotně závislá odporová čidla KTY 81-210, která jsou zapojena v sérii s rezistory tak, aby tvořila napěťové děliče. Takto se změna teploty převeďe na změnu napětí (teplota - odpor - napětí). Napětí poté měří převodník A/D, který je integrován v microprocesoru. Algoritmus v microprocesoru poté vypočítá danou teplotu a vyhodnotí ji. Výstupem je informace na displeji LCD, signalizačních LED a výkonový spínač. Sériový řadič s obvodou 74HCT595 byl



použit pro rozšíření výstupů, jeho „pomalost“ zde není vůbec na škodu.

Měření teploty

Jako čidla snímající teplotu byly vybrány KTY81-210, která změnu teploty převádí na změnu odporu. Jejich charakteristika je téměř lineární a proto lze její průběh vyjádřit funkcí:

$$R_t = R_{t0} + k \cdot \vartheta,$$

kde: R_t ... odpor čidla [Ω],
 R_{t0} ... odpor čidla při 0° C [Ω],
 k ... konstanta
- změna odporu na 1 °C [Ω, °C⁻¹]
 ϑ ... teplota [° C].

Tato čidla jsou zapojena v odporovém děliči s rezistory 3,3 kΩ (R1 - R6) a to proto, aby při napájení +5 V jimi tekla proud přibližně 1 mA. Výstupní napětí odporového děliče je:

$$U = U_{cc} \cdot R / (R + R_t),$$

kde: U ... výstupní napětí děliče [V],
 U_{cc} ... napájecí napětí [V],
 R ... odpor v sérii s čidlem [Ω],
 R_t ... odpor teplotního čidla [Ω].

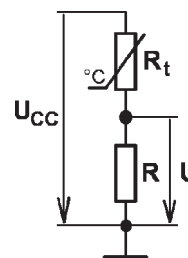
Dosažením získáme:

$$U = U_{cc} \cdot R / (R + (R_{t0} + k \cdot \vartheta)).$$

Toto je funkce vyjadřující napětí U v závislosti na teplotě ϑ , ostatní bereme jako konstanty (U_{cc} , R , R_{t0} a k). My však nepotřebujeme znát napětí U , ale teplotu ϑ , proto ji vyjádříme:

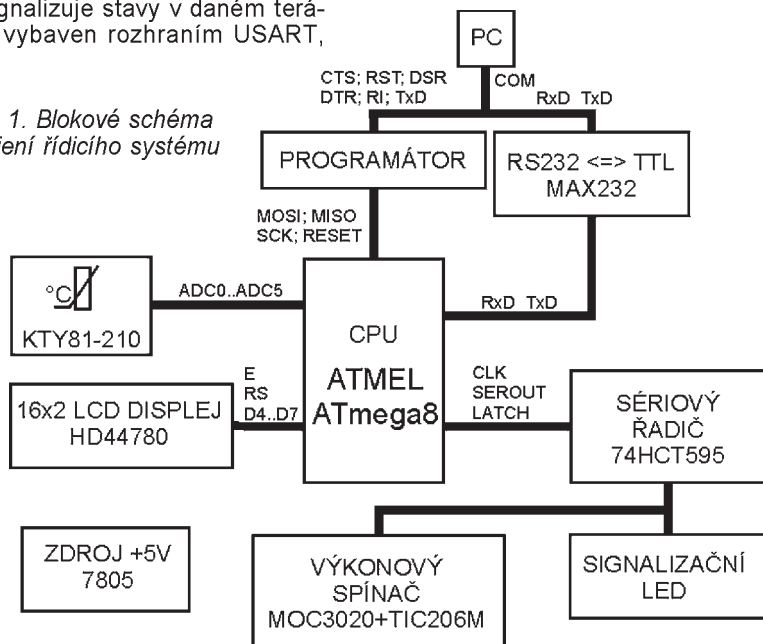
$$\vartheta = (U_{cc} \cdot R - U(R + R_{t0})) / kU \quad (1).$$

U_{cc} je 5 V, R je 3300 Ω, R_{t0} bude sloužit pro kalibraci, pokud si všimneme, tak funkce R_t je vyjádřena přímkou (je lineární), a proto změna hodnoty R_{t0} bude znamenat posun „nahoru/dolů“ této přímky, tzn. budeme hledat správnou polohu => kalibrace. U každého čidla je tato hodnota jiná (podle výrobce je typická R_{t0} 1630 Ω).



Obr. 2. Odporový dělič pro převod odpor - napětí

Obr. 1. Blokové schéma zapojení řídicího systému



Digitální technika a logické obvody

(Pokračování)

Synchronní čítače

V minulých dílech jsme se seznámili s čítači asynchronními a některými jejich základními aplikacemi. Klopné obvody, které tvoří vnitřní strukturu čítače, jsou u asynchronního čítače řízeny signálem odvozeným od změny úrovně na výstupu předchozího klopného obvodu. Díky zpoždění, které je dáno dobou potřebnou k překlopení klopného obvodu, nepřicházejí aktivní hrany hodinových signálů u jednotlivých klopných obvodů současně (tj. synchronně), a proto tyto čítače nazýváme asynchronními. V důsledku tohoto zpoždění se ani klopné obvody a jejich výstupy nepřeklopí současně, což může způsobit hazardy při dekódování stavu čítače.

Naproti tomu u čítače synchronního jsou hodinové vstupy všech klopných obvodů propojeny paralelně a řízeny jedním signálem, díky čemuž se klopné obvody překlápějí současně. Tím odpadá riziko hazardů při dekódování stavu čítače, protože se i úrovně na výstupech klopných obvodů mění současně. Vnitřní struktura synchronních čítačů je však složitější vzhledem k nezbytné přítomnosti dalších kombinačních logických obvodů, které slouží k dekódování signálů řídicích vstupů jednotlivých klopných obvodů. Schéma jednoduchého synchronního čtyřbitového čítače s klopnými obvody J-K bylo

uvedeno na obr. 122 v PE 9/2006. Nevýhodou synchronního čítače může být větší riziko rušení vlivem impulsního odběru ze zdroje v době překlápění výstupů. Tento špičkový odběr by měl pokrýt blokovací kondenzátor umístěný co nejbližší napájecím vývodům integrovaného obvodu. Synchronní čítače obvykle nabízejí oproti čítačům asynchronním více možností, např. volbu směru čítání nebo přednastavení hodnoty čítače. Přehled vybraných integrovaných synchronních čítačů řady TTL 7400 uvádí tab. 63.

Integrované obvody 74160 až 74163 jsou čtyřbitové čítače s předvolbou, které mají stejné rozmístění vývodů (viz obr. 142). Čítače se liší pouze způsobem čítání (čítače 74160 a 74162 čítají v kódu BCD, zatímco čítače 74161 a 74163 jsou binární) a způsobem nulování (synchronní nebo asynchronní). Čítače jsou řízeny náběžnou hranou hodinového signálu (vstup CLK), se kterou se zvyšuje obsah čítače, jsou-li oba vstupy uvolnění čítání (vstupy E_1 a E_2) v úrovni H. Vstup D_A až D_D slouží k přednastavení obsahu čítače. Data ze vstupů D_A až D_D se do čítače nahrají synchronně s následující náběžnou hranou hodinového signálu v případě, že je vstup LD (LOAD) v úrovni L (data se do čítače uloží nezávisle na vstupech E). Vstup R slouží k nulování čítače. Obvody 74160 a 74161 se nulují asynchronně nezávisle na hodinovém signálu. Výstupy Q_A až Q_D proto přejdou do úrovně L okamžitě s příchodem úrovně L na vstup R. Výstupy Q u obvodů 74162 a 74163 se naproti tomu vynulují až s příchodem náběžné hrany hodinového signálu. Synchronní nulování umožňuje bezpečnější zkrácení cyklu čítače (např. hradlem NAND). Výstup TC indikuje úroveň H naplnění čítače, tj. nejvyšší hodnotu, po které čítač

přeteče. Tento vstup lze využít k synchronnímu kaskádnímu řazení čítačů. V takovém případě propojíme výstup TC se vstupem uvolnění E_2 následujícího čítače v kaskádě. Vstupy E_1 lze pak použít k řízení čítače.

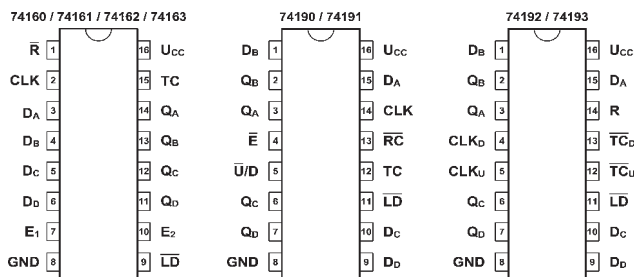
Integrovaný obvod 74169 je čtyřbitový vratný (tj. umožňuje čítání jak nahoru, tak dolů) binární čítač s předvolbou. Jeho rozmístění vývodů je až na několik rozdílů shodné s obr. 142. Vstup nulování (pin 1) je zde totiž nahrazen vstupem pro řízení směru čítání U/D. Čítač čítá na náběžnou hranu hodinového signálu směrem nahoru při $U/D = H$ (obsah čítače se zvětšuje) nebo směrem dolů při $U/D = L$ (obsah čítače se zmenšuje). Oproti předchozím obvodům jsou dále negované vstupy uvolnění E a výstup přetečení TC. Aby čítání bylo povoleno, musí mít oba vstupy \bar{E} úroveň L. Na výstup \bar{TC} je úroveň L, dosáhne-li čítač stavu HHHH při čítání nahoru nebo stavu LLLL při čítání dolů. Tento výstup lze obdobným způsobem použít ke kaskádnímu řazení čítačů.

Integrované obvody 74190 a 74191 jsou synchronní čtyřbitové vratné čítače s předvolbou, jejichž rozmístění vývodů je uvedeno na obr. 143. Je-li vstup uvolnění \bar{E} v úrovni L, s každou náběžnou hranou na hodinovém vstupu CLK se zvětší obsah čítače o 1, je-li $U/D = L$, nebo o 1 zmenší, je-li $U/D = H$. K přednastavení obsahu čítače opět slouží vstupy D_A až D_D . Data z těchto vstupů se do čítače nahrají nezávisle na ostatních vstupech aktivací signálu $\bar{LD} = L$. Na rozdíl od výše uvedených obvodů probíhá přednastavení čítače asynchronně, tj. nezávisle na hodinovém signálu. Výstup TC indikuje úroveň H při čítání nahoru maximum hodnoty čítače (tj. HLLH u BCD čítače 74190 nebo HHHH u binárního čítače 74191), nebo dosažení minimální hodnoty čítače (tj. LLLL) při čítání směrem dolů. Podobnou funkci jako výstup TC plní i výstup RC, který nabývá úrovně L při přetečení (nebo podtečení) čítače a je určen pro kaskádní řazení čítačů. Pomocí vstupu RC lze čítače řadit za účelem získání většího rozsahu čítání buď synchronně propojením RC se vstupem \bar{E} následujícího čítače v kaskádě, nebo též asynchronně propojením vstupu RC s hodinovým vstupem CLK následujícího čítače.

Obvody 74192 a 74193 jsou opět synchronní čtyřbitové vratné čítače s předvolbou. Rozmístění vývodů ukazuje obr. 144. Na rozdíl od předchozích obvodů mají čítače oddělené hodinové vstupy pro čítání nahoru (CLK_U) a pro čítání dolů (CLK_D). S náběžnou hranou na vstupu CLK_U se zvětší obsah čítače o 1, zatímco s náběžnou hranou na vstupu CLK_D se obsah čítače o 1 zmenší. Změnit směr čítání lze pouze za stavu, kdy je druhý hodinový vstup v úrovni H. Stejně tak jsou obvody vybaveny i dvěma výstupy přetečení \bar{TC}_U a \bar{TC}_D . Tyto výstupy mohou být použity pro asynchronní kaskádní řazení čítačů. Za tímto účelem stačí propojit výstupy \bar{TC}_U a \bar{TC}_D s hodinovými vstupy CLK_U a CLK_D následujícího čítače v kaskádě. Data z paralelních vstupů D_A až D_D se nahrají do čítače aktivací signálu $\bar{LD} = L$ (opět asynchronně, tj. nezávisle na hodinových vstupech). Rovněž asynchronně lze čítače vynulovat úrovní H na vstupu R.

Vít Špringl

(Pokračování příště)



Obr. 142 až 144.
Rozmístění
vývodů obvodů
74160 až 74163,
74190/74191
a 74192/74193

Tab. 63. Přehled synchronních čítačů řady TTL7400

Typ	Funkce	Poznámka
74xx160	BCD čítač	předvolba, vstup asynchronního nulování, 2x vstup uvolnění čítání, výstup přetečení
74xx161	4bitový binární čítač	předvolba, vstup asynchronního nulování, 2x vstup uvolnění čítání, výstup přetečení
74xx162	BCD čítač	předvolba, vstup synchronního nulování, 2x vstup uvolnění čítání, výstup přetečení
74xx163	4bitový binární čítač	předvolba, vstup synchronního nulování, 2x vstup uvolnění čítání, výstup přetečení
74xx169	4bit. vratný binární čítač	předvolba, 2x vstup uvolnění čítání, výstup přetečení
74xx190	vratný BCD čítač	předvolba, vstup uvolnění čítání, výstup přetečení, výstup pro kaskádní řazení
74xx191	4bit. vratný binární čítač	předvolba, vstup uvolnění čítání, výstup přetečení, výstup pro kaskádní řazení
74xx192	vratný BCD čítač	předvolba, oddělené hodinové vstupy pro čítání nahoru a dolů, výstupy přetečení při čítání nahoru a dolů, vstup nulování
74xx193	4bit. vratný binární čítač	předvolba, oddělené hodinové vstupy pro čítání nahoru a dolů, výstupy přetečení při čítání nahoru a dolů, vstup nulování

Digitální technika a logické obvody

(Pokračování)

Logické obvody CMOS

V předchozích dílech jsme se seznámili se základními typy kombinačních a sekvencních logických obvodů, popsali jsme si jejich funkci a rovněž jsme uvedli jejich zástupce mezi integrovanými obvody řady TTL7400. Doposud jsme se však zabývali pouze obvody bipolárními. Pro první seznámení a experimentování s logickými obvody jsou bipolární obvody sice vhodnější, v praktických zapojeních však mají jednu velkou nevýhodu, a tou je jejich příkon, který je pro některé aplikace příliš velký. Proto byly již koncem šedesátých let vyvinuty logické integrované obvody CMOS (*Complementary Metal Oxide Semiconductor*), které mají oproti obvodům TTL o několik řádů menší statický příkon. Toho se dosahuje použitím polem řízených tranzistorů MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) s kanálem typu N a P v komplementárním zapojení. Tranzistory MOSFET jsou charakteristické svým velkým vstupním odporem, který se pohybuje v řádech 10^{13} až 10^{17} Ω . Navíc je úbytek na otevřeném tranzistorovém spínači MOS zanedbatelný oproti bipolárnímu tranzistoru. Nevýhodou naopak může být relativně velký výstupní odpor (řádu k Ω) a při obvyklých kapacitách v řádu jednotek pF i obecně nižší horní mezní kmitočet.

Další výhodou unipolární technologie obecně je možnost podstatně větší hustoty obvodů na čipu při jednodušších výrobních postupech. Byla navržena celá nová řada logických obvodů CMOS označovaná jako 4000. Později se však technologií CMOS začaly vyrábět i ekvivalenty obvodů řady 7400. V souvislosti s tím bylo s postupem času vyvinuto velké množství nových modifikací, které zohlednily zejména požadavky na vyšší rychlost a menší napájecí napětí. Právě nižší rychlost původních CMOS obvodů oproti obvodům TTL byla jejich podstatnou nevýhodou. Kromě bipolárních a unipolárních integrovaných obvodů se později objevily obvody vyráběné technologií Bi-CMOS, která používá na jednom čipu bipolární i unipolární tranzistory a spojuje tak

výhody obou technologií. Jádro čipu s velkou hustotou integrace a malou spotřebou je tvořeno unipolární technologií, rychlá výstupní část s velkými výstupními proudy je bipolární.

Na obr. 145 je uvedeno schéma základního invertoru CMOS, který sestává z komplementární dvojice tranzistorů. Je-li na vstupu napětí $U_1 = U_{SS}$, tranzistor T_1 s kanálem typu P je otevřený, zatímco tranzistor T_2 s kanálem typu N je uzavřený a na výstupu Y je napětí $U_2 = U_{DD}$. S rostoucím napětím na vstupu A se postupně otevírá tranzistor T_2 , zatímco T_1 se uzavírá. Při dosažení rozhodovací úrovně, která je přibližně $U_T = 0,5(U_{DD} - U_{SS})$, částečně vedou oba tranzistory a protéká jimi proud. Při $U_1 = U_{DD}$ je již tranzistor T_1 plně uzavřen a T_2 otevřen a na výstupu Y je napětí $U_2 = U_{SS}$. Z výše popsané funkce CMOS invertoru je patrné, že při překlápní hradla se krátkodobě zvětší odběr v důsledku příčného proudu I_{DD} , který prochází oběma tranzistory T_1 i T_2 , jak je patrné z charakteristiky na obr. 146. Zatímco ve statickém stavu je tedy příkon hradla velice malý (při $U_{DD} = 5$ V je příkon asi 5 nW), s rostoucím kmitočtem vstupního signálu příkon obvodů CMOS roste. Při kmitočtech nad 1 MHz je již ztrátový výkon hradel CMOS srovnatelný s hradly TTL. Odběr ze zdroje má navíc charakter impulsů, které mohou rušit další obvody, a proto je nutné blokovat napájení obvodu kondenzátory, což je ovšem běžnou praxí i u obvodů TTL.

Obr. 147 ukazuje principiální zapojení hradla NAND v provedení CMOS. Každý z tranzistorů s indukovaným kanálem typu N má opět svůj komplementární protějšek v podobě tranzistoru s kanálem P. V případě, že je na obou vstupech úroveň H (které odpovídá napětí U_{DD}), tranzistory T_3 a T_4 jsou otevřené, zatímco T_1 a T_2 jsou uzavřené. Na výstupu Y tak bude úroveň L. Je-li alespoň na jednom vstupu úroveň L (které odpovídá napětí U_{SS}), jeden z tranzistorů T_1 nebo T_2 bude otevřen, zatímco T_3 nebo T_4 bude uzavřen a na výstupu bude úroveň H.

První CMOS obvody byly velice náchylné na poškození statickou elektřinou. Řídicí elektroda tranzistoru MOSFET je totiž izolována od substrátu velmi tenkou vrstvou SiO_2 , k jejímuž průrazu stačí díky značně velkému vstupnímu odporu nepatrná energie elektrostatického náboje. Elektrostatické napětí na člověku může běžně dosahovat i desítek kilovoltů. V horším případě tak stačí ke zničení obvodu pouhý dotyk s jeho vývody. Vstupy a výstupy CMOS obvodů

jsou proto chráněny speciálními obvody, které obvykle sestávají z diod a rezistorů a které mají za úkol ochránit citlivou řídicí elektrodu tranzistoru. Přesto obvody CMOS vyžadují oproti bipolárním obvodům opatrnější zacházení, o kterém se zmíníme v příštím dílu.

Logické obvody CMOS řady 4000

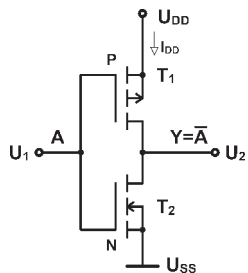
Tyto standardní logické obvody řady 4000 jsou vývojově nejstarší. Vyznačují se velkým rozsahem napájecího napětí, které je typicky 3 až 15 V (jako maximum je obvykle udáváno 18 V), malým příkonem a nižší rychlostí ve srovnání s novějšími CMOS logickými obvody. S rostoucím napájecím napětím se zvětšuje šumová imunita a výrazně se zlepšují dynamické vlastnosti obvodu (viz tab. 64). Při zvětšení napájecího napětí z 5 na 10 V se zkrátí zpoždění hradla asi na polovinu. S dalším zvětšováním napájecího napětí se již zpoždění výrazně nenižuje, prudec však roste spotřeba.

Rozhodovací úroveň na vstupu je přibližně $U_T = 0,5(U_{DD} - U_{SS})$, minimální vstupní napětí pro úroveň H je definováno jako $U_{IHmin} = 0,7(U_{DD} - U_{SS})$ a maximální vstupní napětí pro úroveň L jako $U_{ILmax} = 0,3(U_{DD} - U_{SS})$. Výstupní napětí při úrovni H je v nezátčeném stavu přibližně rovno U_{DD} , při úrovni L je na výstupu přibližně U_{SS} . Z uvedených údajů je patrné, že vstup CMOS není přímo slučitelný s výstupem TTL. Při napájecím napětí 5 V je totiž u CMOS obvodu pro úroveň H požadováno minimální vstupní napětí $U_{IHmin} = 0,75 = 3,75$ V, zatímco u TTL obvodů je minimální vstupní napětí při úrovni H pouze 2,4 V. Tento problém lze vyřešit např. zapojením rezistoru 1,5 až 4,7 k Ω mezi výstup TTL a +5 V. Při propojení výstupu CMOS ke vstupu TTL jsou sice dodrženy napěťové úrovně (při napájecím napětí 5 V u obvodu CMOS), problém ale nastává s výrazně menším maximálním výstupním proudem obvodů CMOS. Na výstup CMOS obvodu lze tak připojit maximálně jeden vstup LS TTL nebo dva vstupy ALS TTL.

Logické obvody řady 4000 jsou obvykle standardně vybaveny výstupními oddělovači, které zlepšují strmost převodní charakteristiky a strmost hran výstupních signálů a zmenšují vliv kapacity zátěže. Tyto obvody nesou označení B (např. CD4000B). Pro některé lineární aplikace jsou vhodnější obvody bez výstupních oddělovačů, které se označují UB (např. CD4069UB).

Vít Špringl

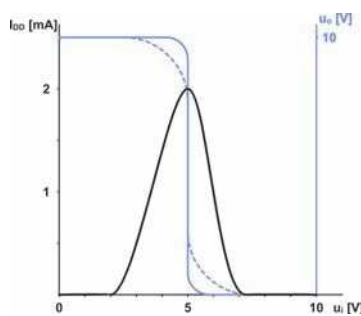
(Pokračování příště)



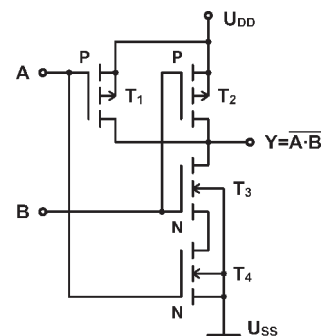
Obr. 145. Invertor CMOS

Tab. 64. Závislost zpoždění invertoru CMOS na velikosti napájecího napětí

U [V]	5	10	15
t_{PD} [ns]	125	50	40



Obr. 146. Odběrová charakteristika (černě) a převodní charakteristika (modře) pro invertor CMOS v provedení B (plná čára) a UB (přerušovaná čára) při $U_{DD} = 10$ V a $U_{SS} = 0$ V



Obr. 147. Principiální zapojení CMOS hradla NAND

Digitální technika a logické obvody

(Pokračování)

Další unipolární logické obvody

Kromě logických obvodů řady CMOS 4000, s jejichž základními vlastnostmi jsme se seznámili v minulém dílu, se později začaly unipolární technologií vyrábět i ekvivalenty řady 7400. Snahou výrobců bylo zachovat malý příkon, který je pro tuto technologii charakteristický, a zároveň zvýšit rychlost a zmenšit napájecí napětí. Právě nižší rychlost původních unipolárních obvodů řady 4000 oproti obvodům bipolárním byla jejich podstatnou nevýhodou. S postupem času bylo proto vyvinuto velké množství nových modifikací, které jsou ve stručnosti představeny dále. Jednotlivé typy se liší rozsahem napájecího napětí, rychlostí, maximálními výstupními proudy, vstupními a výstupními napětími a dalšími parametry. Napájecí napětí a výstupní proudy jsou uvedeny v tab. 65. Některé modifikace, které jsou na konci označeny písmenem T, mají napětově úrovně slučitelné s obvody TTL.

Řada 74C

Obvody s označením C jsou obdobou řady CMOS 4000. Mají též napájecí napětí 3 až 15 V a jejich statické i dynamické parametry jsou podobné obvodům 4000 (tj. mají malý příkon a jsou relativně pomalé). Typové označení a rozložení vývodů je však shodné s řadou 7400.

Řada 74HC, 74HCT, 74HCU (High speed CMOS)

Rozšířené a běžně dostupné obvody HC a HCT jsou při běžném napájecím napětí 5 V asi pětikrát rychlejší než obvody řady 4000. Na výstupu lze přitom připojit podstatně větší zátěž (až deset vstupů LSTTL oproti jednomu vstupu LSTTL u řady 4000). Obvody HCU se liší tím, že na výstupech nemají oddělovače, které zvětšují strmost hran. Obvody HCT jsou kompatibilní s napětími úrovněmi TTL a lze je přímo kombinovat s bipolárními obvody TTL. Ve verzi HC a HCT je nabízena většina běžných obvodů řady 7400, a proto se často používají jako náhrady za staré bipolární typy.

Řada 74AC/T, 74AHC/T (Advanced CMOS, Advanced High Speed CMOS)

Velmi rychlé obvody využívající pokročilých technologií jsou vhodnými nástupci řad HC/HCT. Opět se vyrábějí i verze T kompatibilní s logikou TTL. S parametry podobnými modifikacím AHC/AHCT nabízejí někte-

ré firmy obvody s označením VHC a VHCT (Very High Speed CMOS).

Nízkonapětové CMOS obvody:

74LV (Low Voltage HCMOS), 74LVC (Low Voltage CMOS), 74ALVC (Advanced Low Voltage CMOS), 74AVC (Advanced Very-LV CMOS), 74AUC (Advanced Ultra-LV CMOS) a další (LCX, LVQ, LVX, VCX...).

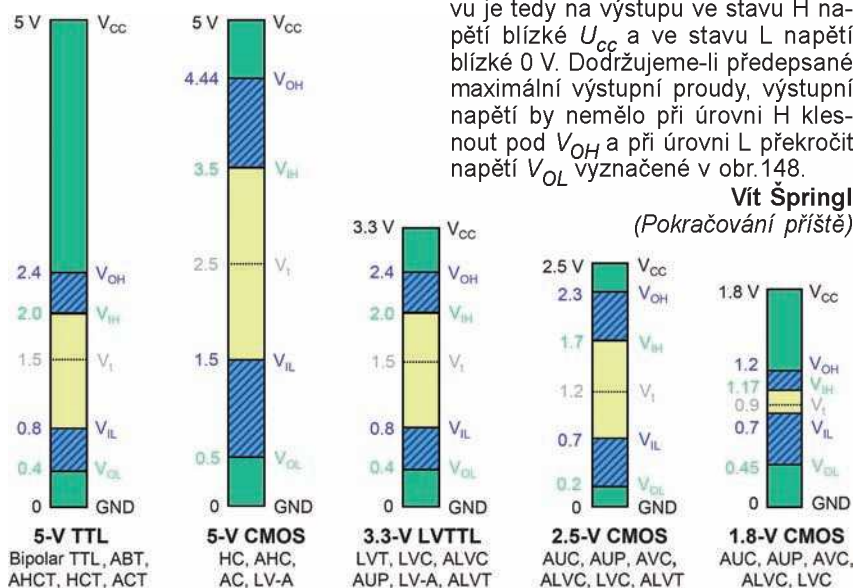
Obvody LV, LVC, ALVC, LCX, LVQ a LVX jsou primárně určeny pro logiku 3,3 V, ačkoliv všechny tyto obvody pracují i při menším napájecím napětí (viz tab. 65). Obvody LVC, LVX a LCX jsou navíc schopny na vstupu tolerovat i napětí 5 V, a lze je proto použít v zapojeních, která používají logiku s napětím jak 3,3 V, tak i 5 V.

Obvody AVC a VCX jsou primárně určeny pro logiku 2,5 V a pro zařízení napájená 1,8 V byly vyvinuty obvody AUC, které jsou plně funkční při napájecím napětí 0,8 až 2,7 V, a řadí se tak mezi logické obvody s nejmenším napájecím napětím vůbec. Vstupy jsou navíc tolerantní vůči napětí až 3,6 V. Sortiment nízkonapětových logických obvodů je obecně omezenější, v nabídce jsou zejména obvody orientované na sběrnicové funkce pro připojení mikroprocesorů nebo jiné specializované obvody. K dispozici jsou však i některé tradiční logické obvody (např. hradla NAND: SN74AUC00, inventory: SN74AUC04, klopné obvody D: SN74AUC74 apod.). Nízkonapětové obvody jsou rovněž většinou velmi rychlé (srovnej: řada AUC má při $U_{CC} = 1,8$ V zpoždění $t_{pd} = 2$ ns; CD4000 při $U_{CC} = 5$ V zpoždění $t_{pd} = 120$ ns; a řada HC při $U_{CC} = 5$ V: $t_{pd} = 20$ ns).

Základní vlastnosti obvodů CMOS

Napětové úrovně

Rozhodovací úroveň na vstupu je přibližně polovina napájecího napětí



Obr. 148. Vstupní a výstupní napětové úrovně vybraných typů logických obvodů při uvedeném napájecím napětí

Tab. 65. Napájecí napětí a výstupní proudy CMOS obvodů (údaje se mohou mírně lišit v závislosti na konkrétním typu a výrobci)

Řada	U_{CC} [V]	I_{OLmax} [mA]	I_{OHmax} [mA]
HC	2 až 6	4	-4
HCT	4,5 až 5,5	4	-4
AC	2 až 6	24	-24
ACT	4,5 až 5,5	24	-24
AHC	2 až 5,5	8	-8
AHCT	4,5 až 5,5	8	-8
VHC	2 až 5,5	8	-8
VHCT	4,5 až 5,5	8	-8
LV	2 až 5,5	8	-8
LVC	1,65 až 3,6	24	-24
ALVC	1,65 až 3,6	24	-24
AVC	1,4 až 3,6	8	-8
AUC	0,8 až 2,7	8	-8
LCX	2 až 3,6	24	-24
LVQ	2 až 3,6	12	-12
LVX	2 až 3,6	4	-4
VCX	1,4 až 3,6	24	-24

($U_t = 0,5 \cdot U_{CC}$), minimální vstupní napětí pro úroveň H je obvykle definováno jako $U_{IHmin} = 0,7 \cdot U_{CC}$ a maximální vstupní napětí pro úroveň L jako $U_{ILmax} = 0,3 \cdot U_{CC}$. Tyto hodnoty se však mohou mírně lišit v závislosti na konkrétní modifikaci obvodu a jeho napájecím napětí. Při napájecím napětí $U_{CC} = 5$ V je tedy $U_{IHmin} = 3,5$ V, což neumožňuje přímé připojení obvodů CMOS na výstup TTL. V takovém případě je možné zapojit rezistor 1,5 až 4,7 k Ω mezi výstup TTL a +5 V, nebo použít obvody kompatibilní s napětími úrovněmi TTL (74HCT, 74ACT, 74AHCT, ...), u kterých je rozhodovací úroveň U_t asi 1,5 V, $U_{IHmin} = 2$ V a $U_{ILmax} = 0,8$ V.

Výstup se chová ve stavu H jako zdroj napětí $U_o = U_{CC}$ s vnitřním odporem 20 až 100 Ω a ve stavu L jako zdroj napětí $U_o = 0$ V s vnitřním odporem 15 až 70 Ω . V nezátíženém stavu je tedy na výstupu ve stavu H napětí blízké U_{CC} a ve stavu L napětí blízké 0 V. Dodržujeme-li předepsané maximální výstupní proudy, výstupní napětí by nemělo při úrovni H klesnout pod V_{OH} a při úrovni L překročit napětí V_{OL} vyznačené v obr. 148.

Vít Špringl

(Pokračování příště)

Digitální technika a logické obvody

Základní vlastnosti obvodů CMOS (Pokračování)

Příkon

Obvody CMOS mají ve srovnání s bipolárními obvody velmi malý příkon. U řady 4000 se udává příkon pouhých 10 nW na hradlo ve statickém režimu. U modernějších CMOS obvodů je statický příkon zpravidla větší a pohybuje se v řádu jednotek μW . V dynamickém režimu při překlápění hradla ovšem na krátký okamžik částečně vedou oba tranzistory, a proto se se zvyšujícím kmitočtem zvětšuje i příkon, který je při kmitočtech v řádu MHz srovnatelný s příkonem obvodů LSTTL. Pro zmenšení spotřeby je proto nutno zajistit, aby měly signály strmé hrany.

Napájecí napětí

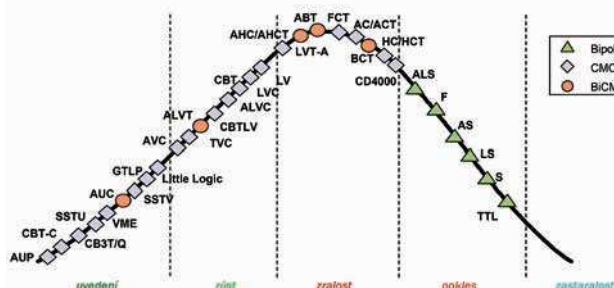
Původní obvody CMOS řady 4000 a obvody 74C mají napájecí napětí 3 až 15 V (18 V). U ostatních obvodů CMOS obecně horní hranice napájecího napětí nepřekračuje 6 V. Konkrétní rozsahy napájecího napětí se mohou lišit i u obvodů stejné modifikace a pro daný typ je vhodné tyto údaje vyhledat v katalogových listech, které jsou dostupné na internetu. S ohledem na zmenšování spotřeby se postupně zmenšuje i napájecí napětí logických obvodů a v posledních deseti letech se již převážně používá 3,3 V logika.

Logický zisk

Protože jsou vstupní proudy obvodů CMOS velmi malé, lze teoreticky z jednoho výstupu budít velké množství vstupů. V praxi je však třeba si

Tab. 66. Orientační logický zisk vybraných CMOS obvodů při buzení vstupů LSTTL

výstup	vstupy LS
4000	1
HC/HCU/HCT	10
AC/ACT	60
AHC/AHCT	20



Obr. 149. Životní cyklus logických obvodů

uvědomit, že s každým připojeným vstupem CMOS se zvětšuje i kapacita zátěže, čímž narůstá i zpoždění hradla. Pro účely možné zatížitelnosti výstupu se u řady 4000 obvykle udává logický zisk $N = 50$, popř. jeden vstup LSTTL. Novější obvody CMOS obvykle dovolují větší výstupní proudy. Tab. 66 uvádí orientační logický zisk vybraných obvodů CMOS při buzení vstupů LSTTL.

Teplotní rozsah

Obvody CMOS mají oproti bipolárním IO větší rozsah pracovních teplot. CMOS ve standardním plastovém pouzdru pracují při -40 až $+85$ °C, zatímco u obdobných bipolárních obvodů je uváděn rozsah pracovních teplot pouze 0 až $+70$ °C. V případě keramického pouzdra je teplotní rozsah větší (-55 až $+125$ °C u obou technologií). Tyto obvody, které jsou označovány číselným kódem 54xxx (namísto 74xxx), však nejsou běžně k dostání.

Nezapojené vstupy

Zatímco u bipolárních obvodů TTL se nezapojený vstup chová, jako by byl připojen na úroveň H, u obvodů CMOS mají nezapojené vstupy nedefinovanou úroveň. Vzhledem k velkému vstupnímu odporu obvodů CMOS je nutné připojit všechny nepoužité vstupy na definovanou úroveň, aby se zamezilo případnému rušení a zvětšení odběru. Vstupy lze připojit ke GND nebo U_{CC} přímo, nebo přes rezistor 10 až 100 k Ω .

Citlivost na přepětí

Obvody CMOS jsou velmi citlivé na přepětí a statickou elektřinu. Řídicí elektroda tranzistoru MOSFET je totiž izolována od substrátu velmi tenkou vrstvou SiO_2 , k jejímuž průrazu stačí díky značně velkému vstupnímu odporu nepatrná energie elektrostatického náboje. Všechny integrované obvody CMOS jsou proto na vstupech a případně i na výstupech vybaveny ochrannými obvody, které sestávají z diod a rezistorů. Tyto obvody mohou v některých případech ovlivnit funkci obvodu a též zmenšují vstupní odpor. Kromě toho nejsou schopny ochránit CMOS obvod stoprocentně, a proto se

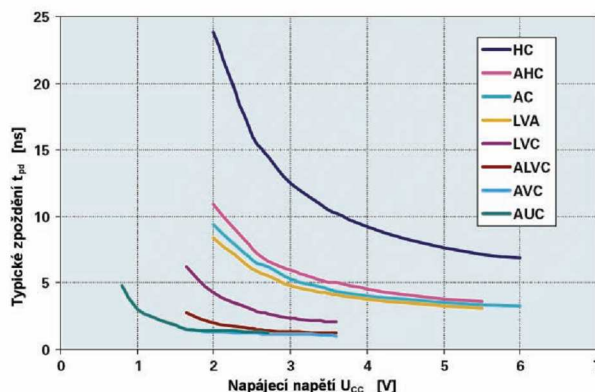
vyplatí dodržet několik základních zásad, které jsou shrnuty v následující odstavci.

Zacházení s obvody CMOS

Elektrostatické napětí na člověku může dosahovat i desítek kilovoltů, a ačkoliv je energie takového náboje velice malá, při nevhodné manipulaci lze obvody CMOS snadno zničit. Riziko poškození CMOS obvodu lze však minimalizovat:

- Nedotýkejte se vývodů integrovaného obvodu, zejména jeho vstupů. Při manipulaci držte obvod za jeho pouzdro např. speciální pinzetou.
- Při přepravě a skladování by měly být vývody integrovaného obvodu vodivě spojeny. Nejjednodušší je obvod zabalit do alobalu nebo jej vložit do speciální vodivé podložky (např. uhlíkem napuštěný plast nebo podložka pokrytá alobalem).
- Na pracovišti nepoužívejte syntetické tkaniny, a pokud možno odstraňte nepotřebné předměty z plastických hmot. To se týká i oblečení (např. syntetického svetru), polstrování apod.
- Nepoužívejte transformátorovou páječku. V jejím hrotu vznikají zejména při zapínání a vypínání napěťové špičky, které dokážou obvod CMOS spolehlivě zničit. Nemáte-li jinou možnost, nezapínejte a nevypínejte páječku v blízkosti integrovaného obvodu.
- Integrované obvody CMOS pájejte do desky s plošnými spoji až na závěr. Nejprve připájejte vývody napájení a až potom ostatní vývody integrovaného obvodu. Je-li to možné, vyplatí se na integrované obvody použít objímky (patice), do kterých obvody umístíme až po zapájení všech ostatních součástek. Objímka vyřeší problémy s transformátorovou páječkou a pájením obecně a navíc umožní snadnou výměnu obvodu v případě jeho nefunkčnosti.

Vít Špringl (Pokračování příště)



Obr. 150. Závislost zpoždění na napájecím napětí (u obvodu 16245 při zátěži 500 Ω /30 pF)

Digitální technika a logické obvody

(Pokračování)

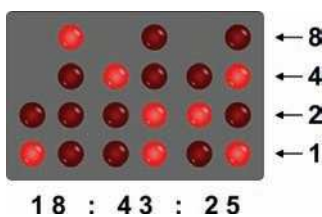
Jednoduchá zapojení s logickými obvody

V následujících odstavcích si představíme několik jednoduchých zapojení s logickými obvody, se kterými jsme se seznámili v minulých dílech. Jedná se zejména o čítače, kterým jsme se podrobně věnovali v PE 11/2006 až 3/2007, rovněž se však seznámíme s některými novými logickými obvody, které můžete využít v mnohých praktických aplikacích.

Netradiční hodiny

Typickým zapojením, na kterém lze snadno demonstrovat využití čítačů v praxi, jsou číslicové hodiny. Ty lze jednoduše sestavit s využitím několika kaskádně zapojených čítačů BCD, přičemž je nutné ošetřit pouze to, aby se čítače na pozici desítek sekund a desítek minut vynulovaly při dosažení čísla 6 a podobně aby se čítače hodin vynulovaly při dosažení čísla 24 (popř. 12). Pak již stačí jen přivést na vstup čítače jednotek sekund (tj. nejnižšího čítače v kaskádě) hodinový signál s kmitočtem 1 Hz a hodiny jsou na světě. Na výstupy čítačů obvykle zapojíme dekodéry s budiči LED displejů, které nám zobrazí údaj o čase v číslicové podobě. V rámci zjednodušení takového zapojení lze využít čítačů BCD s již vestavěným sedmissegmentovým dekodérem (např. obvod 4026), na jejichž výstupy lze přímo zapojit displej LED, popř. LCD.

Schéma na obr. 151 ukazuje jakési zjednodušené zapojení číslicových hodin. Na první pohled je patrné, že chybí výstupní dekodéry a číslicové displeje. Namísto toho je časový údaj zobrazován přímo v binárně dekadické formě pomocí dvaceti LED. Na myšlenku zobrazování času takto poněkud netradičním způsobem mě přivedla relativně velká obliba obdobných binárních hodin ve formě softwarového doplňku na plochu Windows, přičemž některé z těchto hodin dokonce imitují vzhled LED. Konec konců jak se praví v popisu jedné takových hodin: na světě existuje 10 typů lidí – ti, kteří binárním číslem rozumějí, a ti, kteří nikoliv. Pro ty, kteří se řadí do první skupiny, mohou po-



Obr. 152. Rozmístění LED

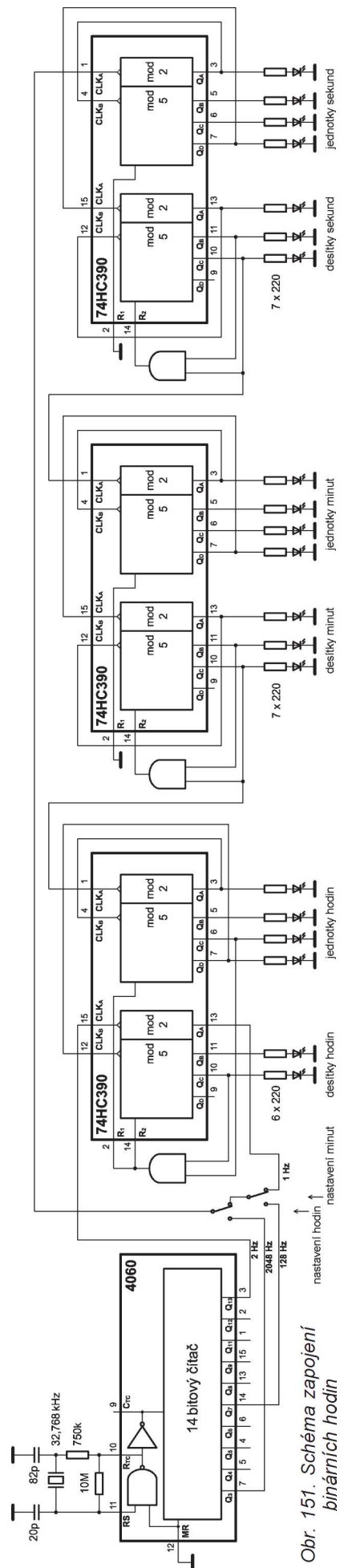
dobné hodiny představovat zajímavě zpestření. Diody lze uspořádat do dekad podle obr. 152, který rovněž ukazuje způsob, jakým se údaj o čase čte. Pro zasvěcené pak stačí trocha cviku a údaj lze přečíst stejně rychle jako při pohledu na klasické ručičkové nebo číslicové hodiny.

Samotné zapojení na obr. 151 sestává ze šesti čítačů BCD (3 obvody 74HC390, 14bitový čítač s oscilátorem (obvod 4060), který slouží ke generování hodinového signálu s kmitočtem 2 Hz, a tří hradel AND (obvod 74HC08), která jsou použita pro nulování čítačů. Integrovaný obvod 74390, jehož popis byl uveden v PE 2/2007, obsahuje dva nezávislé čítače BCD s nulováním, které jsou rozděleny na čítače modulu dvě a modulu pět. U všech čítačů je proto nutné propojit výstup Q_A s hodinovým vstupem CLK_B . Výjimkou je pouze čítač na pozici desítek hodin, u kterého využíváme pouze druhou část s modulem čítání pět se vstupem CLK_B a výstupy Q_B a Q_C . Čítač modulu dvě je zde použit pro vydělení signálu z výstupu Q_{13} obvodu 4060 dvěma, čímž získáme hodinový signál s kmitočtem 1 Hz, který následně přivádíme na vstup CLK_A čítače jednotek sekund.

Jednotlivé čítače jsou propojeny klasickým asynchronním způsobem, kdy je signál z nejvyššího bitu Q_D (resp. Q_C u čítačů desítek sekund a desítek minut) nižšího čítače v kaskádě přiváděn na hodinový vstup CLK_A čítače následujícího (u čítače desítek hodin na vstup CLK_B). Na pozici desítek sekund a desítek minut je třeba zajistit, aby se čítač vynuloval při překročení čísla pět. To zajišťují hradla AND zapojená na výstupy Q_C a Q_B . Nulovací signál je generován při dosažení čísla 6, kdy je $Q_C = Q_B = H$ (obvod 74390 se nuluje při přivedení úrovně H na vstup R). Dále je třeba zajistit nulování čítačů hodin při dosažení čísla 24. Signál nulování je v tomto případě odvozen od úrovně na výstupech Q_C čítače na pozici jednotek hodin ($Q_C = H$ při dosažení čísla 4) a čítače desítek hodin (zde $Q_C = H$ odpovídá číslu 2).

Pro správnou funkci hodin je dále nezbytný zdroj hodinového signálu s přesným kmitočtem. Ten je generován obvodem 4060, což je 14bitový asynchronní čítač, který díky přítomnosti příslušných obvodů umožňuje snadnou realizaci krystalem řízeného oscilátoru. Při použití „hodinkového“ krystalu s kmitočtem 32,768 kHz bude na výstupu Q_{13} k dispozici signál s kmitočtem 2 Hz, který je po vydělení dvěma přiváděn na hodinový vstup čítače jednotek sekund. Čas se nastavuje dvěma tlačítky, po jejichž stisku se zvýší kmitočet hodinového signálu z 1 na 128 Hz, resp. 2048 Hz. Jedná se pravděpodobně o konstrukčně nejjednodušší způsob, který je přitom funkční a spolehlivý.

Vít Špringl
(Pokračování příště)



Obr. 151. Schéma zapojení binárních hodin

Digitální technika a logické obvody

Jednoduchá zapojení s logickými obvody (Pokračování)

K napájení hodin popsaných v minulém čísle je možné použít běžný síťový adaptér s výstupním stejnosměrným napětím 7 až 25 V, který doplníme jednoduchým stabilizátorem napětí 5 V s obvodem 7805 (viz např. PE 4/2005), případně lze obvod napájet plochou baterií nebo třemi „tužkovými“ články. Napájení je u všech použitých integrovaných obvodů řešeno standardním způsobem, tj. u IO 4060 a 74HC390 je 0 V (GND) na vývodu 8, +5 V (U_{CC}) na pinu 16 a u IO 74HC08 je

GND pin 7, U_{CC} pin 14. V zapojení se počítá s použitím standardních LED s úbytkem napětí okolo 2 V a proudem přibližně 15 mA. Při použití diod s větším úbytkem napětí U_D (např. modré nebo bílé LED) nebo menším proudem I_D (LED s malým příkonem) je nutné odpor předřadných rezistorů přepočítat podle vztahu $R = (U_{CC} - U_D) / I_D$. Vstupy u nepoužitého čtvrtého hradla AND obvodu 74HC08 by měly být připojeny na GND nebo U_{CC} . Všechny součástky lze běžně zakoupit ve specializovaných obchodech (např. GME) a při použití standardních diod by jejich cena neměla překročit 100 Kč.

Binární hodiny z obr. 151 jsou sice plně funkční, nic vám ovšem nebrání s nimi dále experimentovat třeba na nepájivém kontaktním poli (obr. 153). Bylo by např. možné vylepšit způsob nastavování času nebo změnit cyklus z dvacetičtyřhodinového na dvanáctihodinový. Pokud byste byli rušeni neustálým poblikáváním LED, můžete vynechat diody zobrazující sekun-

dy nebo ponechat pouze jedinou, měnící jas každou sekundu. Přidáním dekodérů 1 z 10 by pak bylo možné např. zobrazovat hodiny dvanácti LED uspořádanými v kruhu. Také by bylo možné zapojení doplnit o jeden čítač a dekodér 1 z 10 a zobrazovat den v týdnu apod.

Dvojitý semafor s LED

Další jednoduché zapojení s jedním čítačem a několika hradly NAND je na obr. 154. Jedná se o dva doplňkové semafore realizované šesti barevnými LED, které jsou určeny zejména jako hračka pro děti, a je možné je využít jako doplněk k různým modelům nebo hrám.

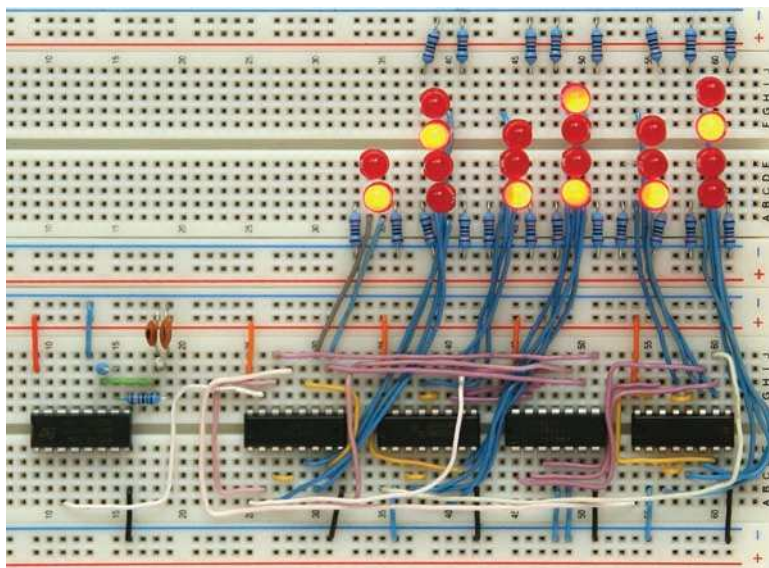
Jádrem zapojení je čtyřbitový binární čítač 74HC393, jehož funkce byla popsána v PE 2/2007, kde bylo rovněž uvedeno rozmístění jeho vývodů. Integrovaný obvod 74HC393 obsahuje dva nezávislé binární čítače s nulováním, v zapojení semaforu je však využit pouze jeden. Čítače jsou řízeny sestupnou hranou hodinového signálu, který přivádíme na vstup CLK (pin 1/13). Čítače se nulují přivedením úrovně H na vstup R (pin 2/12).

Na výstupech čítače Q_D až Q_A může nastat celkem šestnáct různých stavů, které jsou dekodovány šesti hradly NAND. Aktivita semaforu je patrná z tab. 67, ve které je uvedeno přiřazení barev jednotlivým stavům čítače. Přechody mezi červenou a zelenou jsou reprezentovány vždy jedním stavem a trvají tedy jednu periodu hodinového signálu. Při zbylých stavech svítí na semaforu buď červená, nebo zelená. Zvolíme-li kmitočet hodinového signálu 0,5 Hz, bude na semaforech svítit žlutá 2 sekundy, zatímco zelená, resp. červená budou svítit 14 sekund, což považujeme za optimální kombinaci. Svítivé diody jsou zapojeny proti napájecímu napětí U_{CC} a proto musí být na výstupech příslušných hradel úroveň L, aby LED svítily. Zapojení hradel NAND vychází z tab. 67 a jejich funkce při dekodování stavů čítače je patrná z obr. 154. Logické funkce, které je třeba hradly realizovat, jsou uvedeny v tab. 68. Zdrojem hodinového signálu je oscilátor sestavený ze dvou zbylých hradel NAND. S hodnotami součástek uvedenými ve schématu je perioda signálu přibližně 2 s.

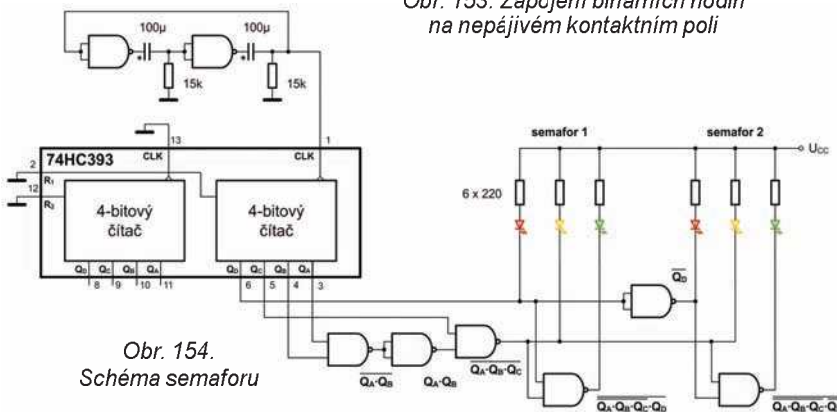
K napájení semaforu lze opět použít stabilizovaný zdroj s napětím 5 V, bez problémů však bude pracovat i se dvěma „tužkovými“ bateriemi. Napájecí napětí U_{CC} se u všech použitých IO připojuje na pin 14, GND na pin 7. V případě použití nestandardních LED lze odpory předřadných rezistorů u LED přepočítat podle vztahu uvedeného u předchozího zapojení. Zapojení lze snadno rozšířit o dva další semafore tak, aby byla pokryta celá křižovatka. Stačí paralelně připojit LED spolu s rezistorem na příslušné výstupy hradel NAND.

Vít Špringl

(Pokračování příště)



Obr. 153. Zapojení binárních hodin na nepájivém kontaktním poli



Obr. 154. Schéma semaforu

Tab. 67. Dekodování jednotlivých stavů čítače u semaforu z obr. 154

stav (Q_D až Q_A)	semafor 1	semafor 2
0000 až 0110	červená	zelená
0111	červ. + žlutá	žlutá
1000 až 1110	zelená	červená
1111	žlutá	červ. + žlutá

Tab. 68. Logické funkce pro dekodér semaforu z obr. 154

světlo	aktivní při	logická funkce
červené 1	$Q_D=0$	$Q_D=0$
žluté 1	$Q_C \cdot Q_B \cdot Q_A = 1$	$Q_C \cdot Q_B \cdot Q_A = 0$, tj. $\overline{Q_B \cdot Q_A \cdot Q_C} = 0$
zelené 1	$Q_D=1$ a zároveň $Q_C \cdot Q_B \cdot Q_A \neq 1$	$Q_D \cdot \overline{Q_C \cdot Q_B \cdot Q_A} = 0$
červené 2	$Q_D=1$	$Q_D = 0$
žluté 2	stejně jako žluté 1	
zelené 2	$Q_D=0$ a zároveň $Q_C \cdot Q_B \cdot Q_A \neq 1$	$\overline{Q_D \cdot \overline{Q_C \cdot Q_B \cdot Q_A}} = 0$

Digitální technika a logické obvody

Jednoduchá zapojení s logickými obvody

(Pokračování)

Elektronická ruleta se šestnácti LED

Následující zapojení je opět určeno zejména pro zábavu a jako hračka pro děti. Jedná se o jednoduchou elektronickou ruletu se šestnácti svítivými diodami, u které je rotující kulička reprezentována vždy jednou rozsvícenou LED. Jádrem zapojení je podobně jako v předchozích případech čtyřbitový binární čítač, na jehož výstupy Q_3 až Q_0 je zapojen dekodér 1 ze 16. Součástí zapojení, jehož schéma je uvedeno na obr. 155, je dále zdroj hodinového signálu, který je v tomto případě realizován časovacím obvodem 555.

S čítačem 74HC393 jsme se již seznámili v předchozích dílech, a proto jej není třeba nijak detailně představovat. Integrovaný obvod 74HC393 obsahuje dva nezávislé čtyřbitové binární čítače s nulováním, které se inkrementují při sestupné hraně hodinového signálu CLK (pin 1/13) a nulují přivedením úrovně H na vstup nulování R (pin 2/12).

Obvod 74HC154 je dekodér čtyřbitového binárního kódu na kód 1 ze 16. Každá kombinace logických úrovní (adresa) přivedených na vstupy A_3 až

A_0 aktivuje právě jeden z výstupů \bar{Y}_0 až \bar{Y}_{15} . Aktivovaný výstup Y, jehož index odpovídá dekadicky vyjádřenému binárnímu číslu na adresových vstupech A, je vždy v úrovni L, zatímco všechny ostatní výstupy jsou v daném okamžiku v úrovni H. Obvod je vybaven dvěma vstupy uvolnění \bar{E}_0 a \bar{E}_1 , které umožňují rozšíření na dekodér 1 z 32, popř. 1 ze 64. Pro normální funkci dekodéru musí být $\bar{E}_0 = \bar{E}_1 = L$. Je-li na jednom ze vstupů uvolnění E úroveň H, a to nezávisle na adresových vstupech A.

Propojíme-li výstupy čítače Q_3 až Q_0 s adresovými vstupy dekodéru A_3 až A_0 a zapojíme-li na výstupy dekodéru proti napájecímu napětí U_{CC} svítivé diody, pak se s každou sestupnou hranou signálu přiváděného na hodinový vstup čítače CLK posune svítící LED o jednu pozici; získáme zapojení „běžícího světla“. Uspořádáme-li LED do kruhu tak, aby spolu sousedily diody na výstupech \bar{Y}_0 a \bar{Y}_{15} , bude světlo obíhat v kruhu a simulovat pohybující se kuličku v ruletě.

Zdroj hodinového signálu je v tomto zapojení realizován univerzálním časovačem 555. Standardní zapojení tohoto obvodu ve funkci astabilního multivibrátoru, kterého lze využít jako generátoru hodinového signálu v mnoha aplikacích s logickými obvody, ukazuje obr. 156. Funkci integrovaného obvodu 555 si popíšeme pouze ve stručnosti. Vývody 2 a 6 jsou připojeny na vstupy vnitřních komparátorů, které řídí vnitřní klopný obvod RS. Zmenší-li se napětí na vstupu 2 pod 1/3 napájecího napětí U_{CC} , na výstupu 3 se objeví napětí blízké U_{CC} . Pře-

kročí-li naopak napětí na vstupu 6 velikost 2/3 napájecího napětí U_{CC} , na výstupu se objeví napětí blízké nule a zároveň se aktivuje výstup 7, který se přes vnitřní tranzistor spojí s nulovým napětím. Zapojením obvodu podle obrázku 156 docílíme toho, že se bude kondenzátor C periodicky nabíjet a vybíjet s frekvencí

$$f = \frac{1,44}{(R_A + 2R_B) \cdot C}$$

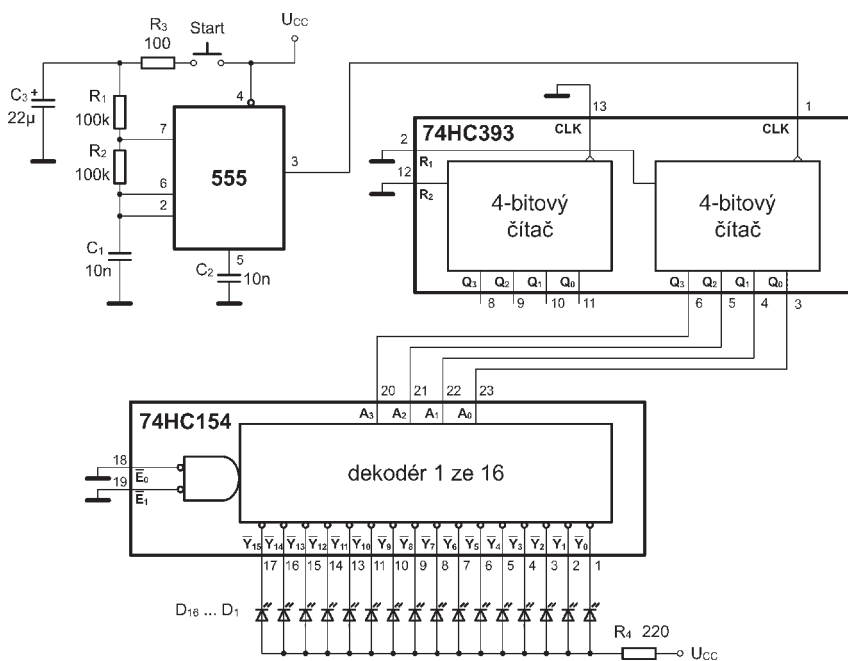
a zároveň se bude periodicky (s obdélníkovým průběhem) měnit i úroveň na výstupu 3. Napájecí napětí U_{CC} může být v rozsahu 4,5 až 16 V a přivádí se na vývod 8; GND se připojuje na vývod 1. Vstup 4 slouží k nulování obvodu nezávisle na vstupech 2 a 6 a lze jej použít pro zastavení generování impulzů. Připojíme-li vstup 4 na nulové napětí, na výstupu 3 bude napětí blízké nule a zároveň se aktivuje i nulovací výstup 7. Vstup 5 je připojen k vnitřnímu děliči napětí a umožňuje měnit komparační úroveň na vstupech 6 a 2. Úkolem kondenzátoru C_2 je zamezit průniku rušivých impulzů do vstupu 5, který je v tomto případě nevyužitý.

Jak je patrné ze schématu elektronické rulety na obr. 155, zapojení generátoru impulzů s obvodem 555 bylo mírně upraveno. Rezistor R_1 zde není připojen k napájecímu napětí U_{CC} , nýbrž ke kondenzátoru C_3 , který se nabije přes rezistor R_3 po stisknutí tlačítka „Start“. Po uvolnění tlačítka se kondenzátor vybíjí, v důsledku čehož se postupně zmenšuje jeho napětí a tím i prodlužuje perioda kmitání. Po určité době, kdy se napětí na kondenzátoru C_3 zmenší pod 2/3 U_{CC} , přestane obvod kmitat úplně (kondenzátor C_1 se již nemůže nabít na úroveň větší než 2/3 U_{CC} , tj. napětí komparátoru na vstupu 6).

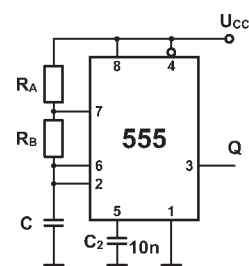
Jednotlivým LED v ruletě přiřadte čísla a pro lepší efekt použijte různobarevné LED pro sudá a lichá čísla. Protože v daném okamžiku svítí vždy pouze jediná LED, je použit jen jeden předřadný rezistor. V případě rozdílné svítivosti nestejnobarevných LED použijte rezistory s různými odpory pro každou barvu. Napájecí napětí obvodu je 5 V.

Vít Špringl

(Pokračování příště)



Obr. 155. Schéma elektronické rulety. Napájecí napětí obvodu 74HC393: U_{CC} – pin 14, GND – pin 7; 74HC154: U_{CC} – pin 24, GND – pin 12; 555: U_{CC} – pin 8, GND – pin 1



Obr. 156. Zapojení generátoru hodinového signálu s obvodem 555

Digitální technika a logické obvody

Jednoduchá zapojení s logickými obvody

(Pokračování)

Integrovaný obvod CMOS 4017

Jedním z nejoblíbenějších obvodů řady CMOS 4000, který lze nalézt v mnoha jednoduchých amatérských zapojeních, je integrovaný obvod 4017 (viz obr. 157). Je to pětistupňový Johnsonův čítač s dekodérem 1 z 10, který je kromě hodinového vstupu CLK a deseti výstupů Q_0 až Q_9 dále vybaven vstupem uvolnění čítání \bar{E} , vstupem nulování R a výstupem přetečení C. Funkce obvodu je velice jednoduchá. V závislosti na aktuálním stavu čítače je vždy aktivován právě jeden výstup Q, na kterém je úroveň H, zatímco na ostatních výstupech Q

je v daném okamžiku úroveň L. Za předpokladu, že je na vstupech \bar{E} a R úroveň L, s každou náběžnou hranou hodinového signálu na vstupu CLK se čítač inkrementuje, což se projeví aktivací následujícího výstupu Q. Přivedením úrovně H na vstup \bar{E} se zablokuje přenos hodinového signálu, v důsledku čehož nedochází s náběžnou hranou na vstupu CLK ke změně stavu čítače. Přivedením úrovně L na vstup R se čítač vynuluje (aktivuje je výstup Q_0). Vstup R lze s výhodou použít pro zkrácení cyklu čítání jednoduše propojením s příslušným výstupem Q.

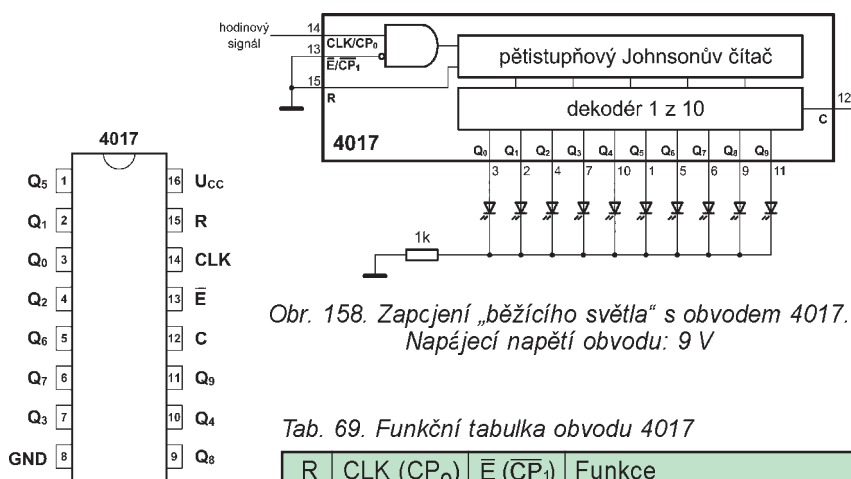
Hodinový vstup CLK je vybaven Schmittovým klopným obvodem, díky kterému je možné použít hodinový signál, který nemá čistě pravouhlé hrany. Na výstupu C je úroveň H, je-li právě aktivován jeden z výstupů Q_0 až Q_4 . Při přechodu čítače do stavu 5 se na výstupu C objeví úroveň L, která zde setrvává až do opětovné aktivace výstupu Q_0 . Při přechodu ze stavu 9 do stavu 0 je tedy na výstupu C generována náběžná hrana, kterou lze využít jako hodinový signál pro další

obvody. Deseti periodám hodinového signálu na vstupu CLK tak odpovídá jedna perioda signálu generovaného na výstupu C.

Mezi typické aplikace s obvodem 4017 patří různé čítače, děličky kmitočtu, časovače, přepínače a různá zapojení se svítivými diodami. Jedno z nejjednodušších zapojení s obvodem 4017 – zapojení „běžícího světla“ (viz schéma na obr. 158) – získáme připojením zdroje hodinového signálu na vstup CLK a zapojením deseti LED spolu s jedním rezistorem na výstupy Q. Jako zdroj hodinového signálu lze použít zapojení s obvodem 555, jehož schéma bylo uvedeno v minulém dílu na obr. 156. Modifikujeme-li zdroj hodinového signálu podle obr. 155 (viz minulý díl), získáme jednoduché zapojení elektronické rulety, tentokrát ovšem pouze s deseti LED.

Z funkčního schématu obvodu 4017 na obr. 158 je rovněž patrné, že vstupy CLK a \bar{E} jsou připojeny k jednomu hradlu NAND a funkčně se tedy navzájem doplňují. Čítač se proto inkrementuje nejen s náběžnou hranou na vstupu CLK při $\bar{E} = L$, ale rovněž se sestupnou hranou na vstupu \bar{E} , je-li CLK = H. Proto bývají tyto vstupy někdy označovány poněkud vhodněji jako CP_0 a \bar{CP}_1 . Funkci integrovaného obvodu 4017 shrnuje tabulka 69.

Výstup přetečení C lze sice použít ke kaskádnímu řazení čítačů, obvody však nelze přímo propojit tak, abychom získali více dekódovaných výstupů (např. běžící světlo s dvaceti LED). Propojením výstupu C s hodinovým vstupem CLK následujícího čítače totiž dosáhneme pouze toho, že se bude aktivovaný výstup Q u každého následujícího čítače „posouvat“ desetkrát pomaleji. Jedno z možných řešení tohoto problému ukazuje obr. 159. U prvního čítače lze použít 9 dekódovaných výstupů, zatímco u každého následujícího čítače lze využít pouze 8 dekódovaných výstupů. S každou náběžnou hranou hodinového signálu je aktivován následující výstup Q nejprve u prvního čítače, a to až do dosažení výstupu Q_9 . Aktivovaný výstup Q_9 připojený na vstup \bar{E} totiž svou úrovní H blokuje přenos hodinového signálu ze vstupu CLK u vlastního čítače, ale zároveň skrze hradlo AND umožňuje přenos hodinového signálu na vstup CLK následujícího čítače. S následující náběžnou hranou hodinového signálu se tak inkrementuje druhý čítač a dekóduje se další výstup Q. Podobným způsobem se postupně aktivují výstupy Q u dalších čítačů. Výstup Q_9 u posledního čítače je pak připojen na vstup nulování R prvního čítače a při jeho aktivaci se vynulují všechny čítače a celý cyklus se opakuje.

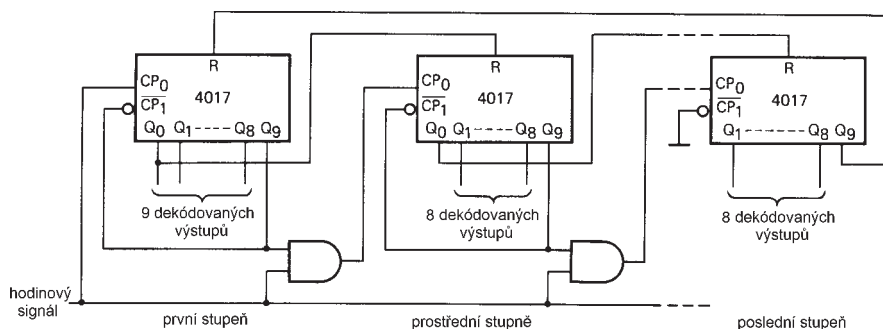


Obr. 158. Zapojení „běžícího světla“ s obvodem 4017. Napájecí napětí obvodu: 9 V

Tab. 69. Funkční tabulka obvodu 4017

R	CLK (CP_0)	\bar{E} (\bar{CP}_1)	Funkce
H	X	X	$Q_0 = C = H$; Q_1 až $Q_9 = L$
L	H	↓	čítač se inkrementuje
L	↑	L	čítač se inkrementuje
L	L	X	beze změny
L	X	H	beze změny
L	H	↑	beze změny
L	↓	L	beze změny

Obr. 157. Rozmístění vývodů IO 4017



Obr. 159. Rozšíření čítače na n výstupů. (Zapojení převzato z katalogového listu Philips)

Vít Špringl
(Pokračování příště)

Digitální technika a logické obvody

Jednoduchá zapojení s logickými obvody

(Pokračování)

Polovodičové paměti

Polovodičové paměti jsou nedílnou a velice důležitou součástí každého mikroprocesorového systému, programovatelného automatu a počítačů obecně. S jednoduchými paměťovými prvky jsme se vlastně již setkali, byly to klopné obvody R-S, D a J-K, které jsou schopny si zapamatovat právě jeden bit informace, různé druhy registrů, střadače apod. V zásadě každý synchronní obvod vyžaduje nějaký druh vnitřní paměti, ve které je uchovávána informace o jeho momentálním stavu. Některé typy pamětí jsou založeny na podobném principu a využívají pro uchovávání informace právě klopné obvody. Oblast polovodičových pamětí je velice rozsáhlá, a proto si zde uvedeme pouze stručný přehled používaných typů a technologií.

Paměti obecně označujeme zařízení libovolného typu, do kterého je možno zaznamenat informaci, dlouhodobě ji zde uchovat a podle potřeby znovu načíst (např. magnetické disky, optické disky, magnetické pásky a mnoho dalších). Paměti, které lze realizovat na křemíkovém čipu bipolární nebo unipolární technologií, nazýváme polovodičové paměti. Tyto paměti lze snadno integrovat spolu s dalšími obvody do pouzdra integrovaného obvodu a najdeme je ve většině současně vyráběných elektronických zařízení.

Polovodičové paměti můžeme rozdělit podle několika hledisek. Nejčastěji se používají klasifikace:

- Podle technologie

- **bipolární** (velká pracovní rychlost, větší příkon, malá hustota na čipu),
- **unipolární** (výrazně větší hustota na čipu, současně převážně používané).

- Podle možnosti zápisu a čtení

- **paměti pouze pro čtení**
 - **ROM** (Read Only Memory) – obsah paměti je dán již při výrobě a dále jej nelze měnit,
 - **PROM** (Programmable ROM) – paměť lze elektricky naprogramovat uživatelem, avšak pouze jednou. Po naprogramování již nelze obsah paměti měnit.
- **paměti převážně pro čtení**
 - **EPROM** (Erasable PROM) – elektricky programovatelné paměti, které lze vymazat a opět naprogramovat. Informace se maže ultravioletovým zářením přes okénko

v pouzdru. Paměti EPROM dovolují jen několik set programovacích cyklů a jejich pouzdro je dražší.

- **EEPROM** (Electrically Erasable PROM) – paměti, u nichž lze elektricky naprogramovat a vymazat jen některé vybrané buňky, a to za provozu. Data se přepisují většinou ve speciálním režimu se zvětšeným napětím signálů a je to proces podstatně pomalejší než čtení. Moderními verzemi EEPROM jsou bleskové paměti FLASH, u nichž lze data přepisovat podstatně rychleji než u standardních EEPROM, a to v normálním režimu bez zvětšení napětí.

- **paměti pro zápis a čtení – RWM** (Read Write Memory) – paměti, které umožňují zápis i čtení, a to libovolně často, stejnou rychlostí a za běžného provozu. Na rozdíl od výše zmíněných typů bývají polovodičové paměti RWM energeticky závislé a informace se u nich ztrácí s vypnutím napájecího napětí. Po zapnutí napájení se v nich nastaví náhodná informace.

- Podle způsobu přístupu

- **RAM** (Random Access Memory) – paměť s libovolným přístupem,
- **SAM** (Serial Access Memory) – adresy nelze generovat libovolně, ale pouze sekvenčně.

- Podle principu činnosti elementární paměťové buňky

- **statické RWM** (SRAM) – paměti, u kterých je elementární paměťová buňka realizována bistabilním klopným obvodem,
- **dynamické RWM** (DRAM) – paměti, u nichž se informace uchovává jako náboj v kondenzátoru u řídicí elektrody tranzistorů MOS. Kapacita kondenzátoru je v tomto případě velice malá (zlomky pF), náboj řádově v milisekundách zaniká a je ho nutné periodicky obnovovat.

- paměti, u nichž může být nositelem informace rovněž náboj, na rozdíl od paměti DRAM je však kapacita v tomto případě relativně velká a dobře izolovaná, takže není potřeba náboj obnovovat po mnoha letech.

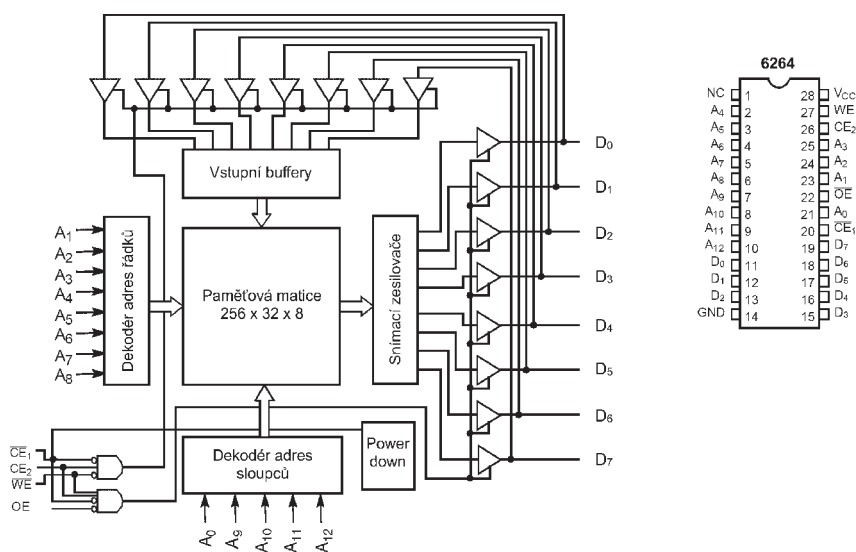
Na obr. 160 je pro ilustraci uvedeno blokové schéma paměti 6264. Je to CMOS statická paměť RAM o kapacitě 8 kilobajtů (8k x 8 bitů). Jednotlivé paměťové buňky (klopné obvody realizované několika tranzistory MOS) jsou vnitřně uspořádány do matice o velikosti 256 x 32. Jak je patrné z blokového schématu na obr. 160, paměť je vybavena osmibitovou třístavovou datovou sběrnicí (D₀ až D₇), třináctibitovou adresovou sběrnicí (A₀ až A₁₂), která umožňuje adresovat 8192 paměťových buněk (2¹³ = 8192), a čtyřmi řídicími vstupy CE₁, CE₂ (chip enable), WE (write enable) a OE (output enable). Vstupy CE₁ a CE₂ slouží k rozšíření paměti. Příslušná paměť je vybrána, je-li na vstupu CE₁ úroveň L a na vstupu CE₂ úroveň H. V opačném případě je paměť neaktivní a datová sběrnice D₀ až D₇ je ve stavu vysoké impedance. Obvod je rovněž vybaven úsporným režimem (power down), do kterého přechází v případě neaktivity a který snižuje příkon obvodu až o 70 %.

Zápis do paměti je řízen vstupem WE. Je-li na vstupech CE₁ a WE úroveň L a současně je na vstupu CE₂ úroveň H, data z datové sběrnice D₀ až D₇ jsou zapsána do paměti na adresu nastavenou na adresové sběrnici A₀ až A₁₂.

Data na nastavené adrese je možné číst z paměti, je-li CE₁ = L, CE₂ = H, WE = H a OE = L. Načtená data jsou následně k dispozici na datové sběrnici D₀ až D₇.

Vít Špringl

(Pokračování příště)



Obr. 160. Blokové schéma a rozmístění vývodů paměti 6264 (schéma je převzato z katalogového listu firmy Cypress)

Digitální technika a logické obvody

Jednoduchá zapojení s logickými obvody

(Dokončení)

Paměti EPROM

Paměti EPROM (erasable programmable read-only memory) jsou statické energeticky nezávislé paměti určené zejména pro čtení. Paměti je možné opakovaně naprogramovat a vymazat, tyto procesy však nelze provést v běžném pracovním režimu. Pro naprogramování je nutné umístit paměť do programátoru, který disponuje zvětšeným napájecím napětím nutným pro programovací proces. Vymazat lze pak pouze celou paměť působením ultrafialového záření dopadajícího na čip. Z tohoto důvodu je pouzdro paměti EPROM vybaveno okénkem z křemenného skla, jež je schopno propouštět ultrafialové záření. Paměť se spolehlivě vymaže působením UV záření o vlnové délce 257,3 nm s celkovou energií větší než 15 Ws/cm². V běžném mazacím zařízení trvá tento proces 15 až 20 minut. Protože některé typy běžného osvětlení (např. sluneční světlo nebo zářivkové osvětlení) emitují kromě viditelného světla též jisté množství ultrafialového záření, může se paměť vymazat, je-li čip dlouhodobě vystaven tomuto záření (v případě běžného zářivkového osvětlení by vymazání trvalo přibližně 3 roky, zatímco při expozici přímým slunečním svitem přibližně 1 týden). Z tohoto důvodu je křemenné okénko obvykle kryto speciální fólií, která nepropouští ultrafialové záření. Paměti EPROM dovolují pouze několik set programovacích cyklů.

Jednotlivé paměťové buňky paměti EPROM jsou tvořeny speciálními tranzistory MOS s plovoucím hradlem (floating gate), které je od kanálu a řídicí elektrody izolováno. Paměť se programuje připojením řídicí elektrody G vybraných tranzistorů na zvýšené napájecí napětí (obvykle 12 V). Je-li na elektrodě D kladné napětí 5 V, protéká indukovaným kanálem typu N od elektrody S k elektrodě D velký proud, v důsledku čehož mají elektrony dostatečnou energii k překonání izolační bariéry a působením elektrického pole

mezi kanálem a řídicím hradlem G se mohou přemístit na plovoucí elektrodu, na které setrvávají. Je-li na elektrodě D nulové napětí, kanálem neteče proud a k programování paměťové buňky nedochází. Přítomnost náboje elektronů na plovoucí elektrodě ovlivňuje chování tranzistoru. V normálním režimu čtení paměti prochází kanálem naprogramovaných paměťových buněk menší proud, který indikuje uložený stav L. Větší proud u nenaprogramovaných buněk indikuje stav H (u nenaprogramované paměti je tudíž na všech adresách uložena úroveň H).

Působením ultrafialového záření dopadajícího na polovodičový čip získají elektrony na plovoucím hradle dostatečnou energii k překonání izolační bariéry a přemístí se zpět, v důsledku čehož se paměť vymaže. Protože je keramické pouzdro s okénkem relativně drahé, vyrábějí se stejné typy paměti v tzv. provedení OTP (one time programmable), jejichž čip je umístěn v levném plastovém pouzdru bez okénka. Takové paměti lze stejným způsobem naprogramovat, nelze je však již následně vymazat. Paměti EPROM lze často nalézt v základních deskách starých PC, ve kterých se používaly pro uložení BIOSu. Paměti jsou uloženy v objímce a lze je obvykle snadno vyjmout a následně použít.

Tab. 70 uvádí přehled typických pamětí EPROM a na obr. 161 je zobrazeno rozmístění vývodů vybraných EPROM pamětí. Vstup \overline{CE} (chip enable) slouží k výběru paměťového obvodu a v úrovni L aktivuje funkci adresovacích a čtecích obvodů paměti. Je-li $\overline{CE} = H$, obvod je v úsporném režimu a výstupy D jsou ve stavu vysoké impedance. Vstup \overline{OE} slouží k aktivaci výstupních budičů. Při $\overline{OE} = L$ a $\overline{CE} = L$ lze z výstupu D číst data uložená na adrese nastavené na adresových vstupech A. Při $\overline{OE} = H$ se výstupy D nacházejí ve stavu vysoké impedance. V režimu čtení paměti musí být na vývodech V_{CC} a V_{PP} napětí 5 V (neplatí, je-li V_{PP} sdílen s dalším vstupem – např. 27C512).

V programovacím režimu musí být na vývodu V_{CC} napětí 6,25 V, na V_{PP} musí být napětí 12,75 V (pozn.: tato napětí se mohou lišit v závislosti na konkrétním typu paměti) a na vstupu \overline{OE} musí být úroveň H. Po nastavení platné adresy na adresových vstupech A jsou data na vstu-

Tab. 70. Přehled pamětí EPROM

Typ	Kapacita	Organizace	Vývodů
27C64	64 kbitů	8k x 8	28
27C128	128 kbitů	16k x 8	28
27C256	256 kbitů	32k x 8	28
27C512	512 kbitů	64k x 8	28
27C010	1 Mbit	128k x 8	32
27C020	2 Mbit	256k x 8	32
27C040	4 Mbit	512k x 8	32
27C080	8 Mbit	1M x 8	32
27C1024	1 Mbit	64k x 16	40
27C2048	2 Mbit	128k x 16	40

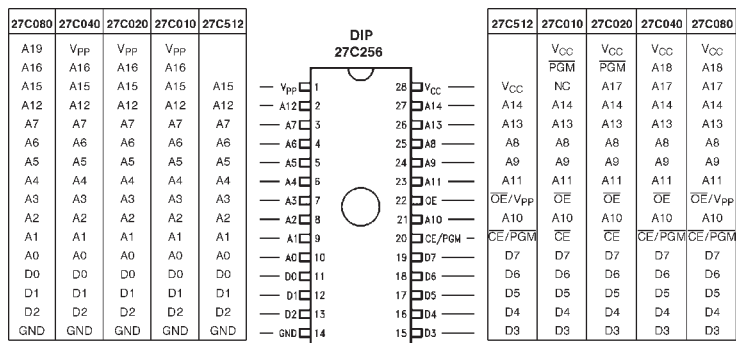
pech D zapsána do paměti krátkým impulsem úrovně L na vstupu \overline{PGM} .

V PE 9/2007 a 10/2007 byla uvedena jednoduchá zapojení „běžících světel“ s obvodem 4017 a čítačem a dekodérem 74HC393 a 74HC154. Podobných světelných efektů můžeme docílit i s využitím paměti EPROM nebo EEPROM s tím rozdílem, že do paměti můžeme naprogramovat libovolnou sekvenci přechodů a tím získat i libovolně složitě světelné efekty. V paměti může být navíc uloženo mnoho takových programů, mezi kterými lze snadno přepínat. Pro získání takového zapojení stačí doplnit paměť EPROM nebo EEPROM čítačem, jehož výstupy připojíme na adresové vstupy paměti, generátorem hodinového signálu, jehož výstup zapojíme na hodinový vstup čítače, a sadou LED s tranzistory, jehož výstupy zapojíme na datové výstupy paměti. Příklad takového zapojení s pamětí 27C512 a čítačem 74HC393 je uveden na obr. 162. Kmitočet hodinového signálu vypočítáme podle vzorce:

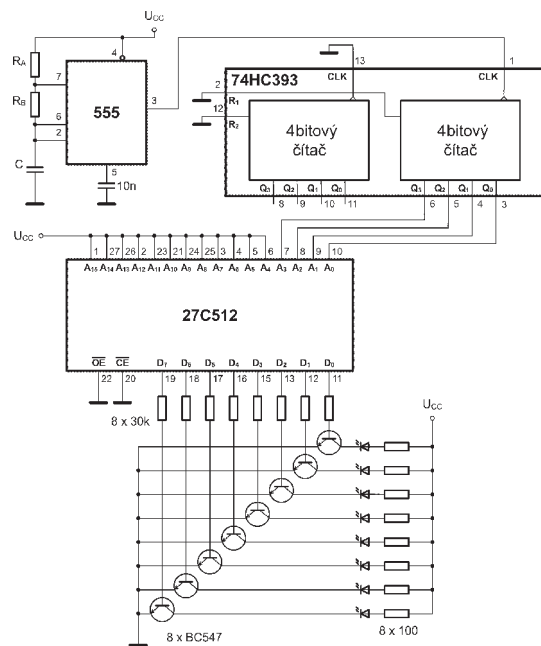
$$f = \frac{1,44}{(R_A + 2R_B) \cdot C}$$

Vit Špringl

(Seriál věnovaný logickým obvodům v tomto díle skončil. Od příštího čísla se budeme věnovat programování mikrokontrolérů.)



Obr. 161. Rozmístění vývodů vybraných pamětí EPROM



Obr. 162. Světelné efekty s EPROM. Napájecí napětí obvodu 74HC393: U_{CC} – pin 14, GND – pin 7; 555: U_{CC} – pin 8, GND – pin 1; 27C512: U_{CC} – pin 28, GND – pin 14

Digitální technika a logické obvody

Jednoduchá zapojení s logickými obvody

(Dokončení)

Paměti EPROM

Paměti EPROM (erasable programmable read-only memory) jsou statické energeticky nezávislé paměti určené zejména pro čtení. Paměti je možné opakovaně naprogramovat a vymazat, tyto procesy však nelze provést v běžném pracovním režimu. Pro naprogramování je nutné umístit paměť do programátoru, který disponuje zvětšeným napájecím napětím nutným pro programovací proces. Vymazat lze pak pouze celou paměť působením ultrafialového záření dopadajícího na čip. Z tohoto důvodu je pouzdro paměti EPROM vybaveno okénkem z křemenného skla, jež je schopno propouštět ultrafialové záření. Paměť se spolehlivě vymaže působením UV záření o vlnové délce 257,3 nm s celkovou energií větší než 15 Ws/cm². V běžném mazacím zařízení trvá tento proces 15 až 20 minut. Protože některé typy běžného osvětlení (např. sluneční světlo nebo zářivkové osvětlení) emitují kromě viditelného světla též jisté množství ultrafialového záření, může se paměť vymazat, je-li čip dlouhodobě vystaven tomuto záření (v případě běžného zářivkového osvětlení by vymazání trvalo přibližně 3 roky, zatímco při expozici přímým slunečním svitem přibližně 1 týden). Z tohoto důvodu je křemenné okénko obvykle kryto speciální fólií, která nepropouští ultrafialové záření. Paměti EPROM dovolují pouze několik set programovacích cyklů.

Jednotlivé paměťové buňky paměti EPROM jsou tvořeny speciálními tranzistory MOS s plovoucím hradlem (floating gate), které je od kanálu a řídicí elektrody izolováno. Paměť se programuje připojením řídicí elektrody G vybraných tranzistorů na zvýšené napájecí napětí (obvykle 12 V). Je-li na elektrodě D kladné napětí 5 V, protéká indukovaným kanálem typu N od elektrody S k elektrodě D velký proud, v důsledku čehož mají elektrony dostatečnou energii k překonání izolační bariéry a působením elektrického pole

mezi kanálem a řídicím hradlem G se mohou přemístit na plovoucí elektrodu, na které setrvávají. Je-li na elektrodě D nulové napětí, kanálem neteče proud a k programování paměťové buňky nedochází. Přítomnost náboje elektronů na plovoucí elektrodě ovlivňuje chování tranzistoru. V normálním režimu čtení paměti prochází kanálem naprogramovaných paměťových buněk menší proud, který indikuje uložený stav L. Větší proud u nenaprogramovaných buněk indikuje stav H (u nenaprogramované paměti je tudíž na všech adresách uložena úroveň H).

Působením ultrafialového záření dopadajícího na polovodičový čip získají elektrony na plovoucím hradle dostatečnou energii k překonání izolační bariéry a přemístí se zpět, v důsledku čehož se paměť vymaže. Protože je keramické pouzdro s okénkem relativně drahé, vyrábějí se stejné typy paměti v tzv. provedení OTP (one time programmable), jejichž čip je umístěn v levném plastovém pouzdru bez okénka. Takové paměti lze stejným způsobem naprogramovat, nelze je však již následně vymazat. Paměti EPROM lze často nalézt v základních deskách starých PC, ve kterých se používaly pro uložení BIOSu. Paměti jsou uloženy v objímce a lze je obvykle snadno vyjmout a následně použít.

Tab. 70 uvádí přehled typických paměti EPROM a na obr. 161 je zobrazeno rozmístění vývodů vybraných EPROM pamětí. Vstup \overline{CE} (chip enable) slouží k výběru paměťového obvodu a v úrovni L aktivuje funkci adresovacích a čtecích obvodů paměti. Je-li $\overline{CE} = H$, obvod je v úsporném režimu a výstupy D jsou ve stavu vysoké impedance. Vstup \overline{OE} slouží k aktivaci výstupních budičů. Při $\overline{OE} = L$ a $\overline{CE} = L$ lze z výstupu D číst data uložená na adrese nastavené na adresových vstupech A. Při $\overline{OE} = H$ se výstupy D nacházejí ve stavu vysoké impedance. V režimu čtení paměti musí být na vývodech V_{CC} a V_{PP} napětí 5 V (neplatí, je-li V_{PP} sdílen s dalším vstupem – např. 27C512).

V programovacím režimu musí být na vývodu V_{CC} napětí 6,25 V, na V_{PP} musí být napětí 12,75 V (pozn.: tato napětí se mohou lišit v závislosti na konkrétním typu paměti) a na vstupu \overline{OE} musí být úroveň H. Po nastavení platné adresy na adresových vstupech A jsou data na vstu-

Tab. 70. Přehled paměti EPROM

Typ	Kapacita	Organizace	Vývodů
27C64	64 kbitů	8k x 8	28
27C128	128 kbitů	16k x 8	28
27C256	256 kbitů	32k x 8	28
27C512	512 kbitů	64k x 8	28
27C010	1 Mbit	128k x 8	32
27C020	2 Mbit	256k x 8	32
27C040	4 Mbit	512k x 8	32
27C080	8 Mbit	1M x 8	32
27C1024	1 Mbit	64k x 16	40
27C2048	2 Mbit	128k x 16	40

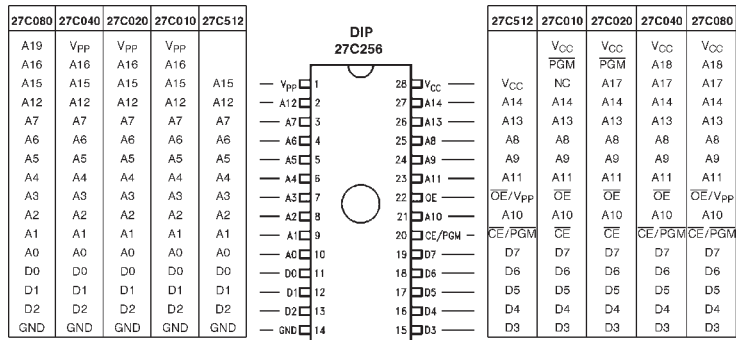
pech D zapsána do paměti krátkým impulsem úrovně L na vstupu \overline{PGM} .

V PE 9/2007 a 10/2007 byla uvedena jednoduchá zapojení „běžících světel“ s obvodem 4017 a čítačem a dekodérem 74HC393 a 74HC154. Podobných světelných efektů můžeme docílit i s využitím paměti EPROM nebo EEPROM s tím rozdílem, že do paměti můžeme naprogramovat libovolnou sekvenci přechodů a tím získat i libovolně složitě světelné efekty. V paměti může být navíc uloženo mnoho takových programů, mezi kterými lze snadno přepínat. Pro získání takového zapojení stačí doplnit paměť EPROM nebo EEPROM čítačem, jehož výstupy připojíme na adresové vstupy paměti, generátorem hodinového signálu, jehož výstup zapojíme na hodinový vstup čítače, a sadou LED s tranzistory, jehož výstupy zapojíme na datové výstupy paměti. Příklad takového zapojení s pamětí 27C512 a čítačem 74HC393 je uveden na obr. 162. Kmitočet hodinového signálu vypočítáme podle vzorce:

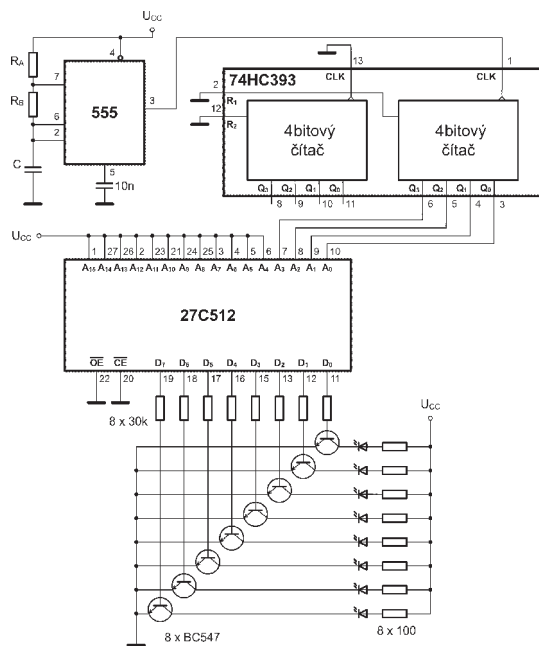
$$f = \frac{1,44}{(R_A + 2R_B) \cdot C}$$

Vit Špringl

(Seriál věnovaný logickým obvodům v tomto díle skončil. Od příštího čísla se budeme věnovat programování mikrokontrolérů.)



Obr. 161. Rozmístění vývodů vybraných pamětí EPROM



Obr. 162. Světelné efekty s EPROM. Napájecí napětí obvodu 74HC393: U_{CC} – pin 14, GND – pin 7; 555: U_{CC} – pin 8, GND – pin 1; 27C512: U_{CC} – pin 28, GND – pin 14