

OBVODY TTL a CMOS

Úvod

Tato úloha si klade za cíl seznámení se strukturou základních logických obvodů technologie TTL a CMOS, seznámení s jejich funkcí, vlastnostmi, základními charakteristikami a parametry.

V dosavadním průběhu vývoje logických obvodů byla vyvinuta řada stavebnic, které realizovaly základní logické funkce. Tak například tranzistorová logika s odporovými vazbami (RTL), diodo-tranzistorová logika (DTL), atd. Asi největšího rozšíření dosáhla tranzistoro-tranzistorová logika (TTL) a její modifikace. Vedle ní je to pak logika technologie CMOS, která má ve statickém provozu zanedbatelnou spotřebu. Všechny výše uvedené logické řady využívají dva stavy tranzistorů - nasyceného nebo uzavřeného. Použitím tranzistoru mimo tyto stavy, v lineární oblasti, vzroste rychlost takových obvodů, současně však značně vzrůstá i příkon. Na tomto principu jsou založeny logické obvody ECL (emitorově vázaná logika). Při vyšších hustotách integrace nachází uplatnění technologie IIL (integrována injekční logika).

V této úloze se budeme zabývat, jak už vyplývá z názvu, pouze technologiemi TTL a CMOS. V obou technologiích jsou vyráběny obvody nejrůznějších úrovní složitosti. Vždy se však dá vysledovat základní stavební prvek, realizující jednoduchou logickou funkci, pro který se vžilo označení hradlo.

Pro jednoduché logické funkce byly zavedeny schematické značky, které byly ovšem v průběhu let měněny, takže je možno nalézt schémata se značkami mnohdy v pozoruhodných kombinacích. V tab.2.1. je uveden přehled těch nejjednodušších.

	ASA	DIN 40700 stará	DIN 40700 nová IEEE Std 91 ČSN
NAND $Y = \overline{A \cdot B}$			
NOR $Y = \overline{A + B}$			
AND $Y = A \cdot B$			
OR $Y = A + B$			
negace $Y = \overline{A}$			
oddělovač $Y = A$			
EX-OR $Y = \overline{A} \cdot B + A \cdot \overline{B}$			
EX-NOR $Y = \overline{A} \cdot \overline{B} + A \cdot B$			

Tab. 2.1 Přehled schematických značek jednoduchých logických obvodů

Poznámka : u značek podle nové normy DIN 40700 můžete v mnoha případech (zřejmě tomu tak bude i v tomto skriptu) nalézt u výstupní svorky místo trojúhelníčku, jako označení negace, kroužek převzatý z normy ASA.

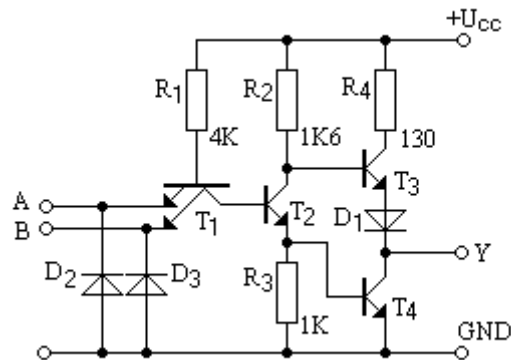
Obvody TTL

Napájení

Na zdroje napětí pro napájení obvodů TTL jsou kladeny, především u rozsáhlejších zařízení, vysoké požadavky. Napájecí napětí (včetně zvlnění) nesmí v žádném případě překročit předepsané meze. Napájecí proudy a proudové špičky jsou poměrně velké. Vzhledem k tomu se doporučuje rozvod napájení dostatečně dimenzovat (i na deskách plošných spojů). Na přívodu napájení má být na každé desce kondenzátor (nejlépe tantalový) hodnoty alespoň 10μ , který pokrývá rychlé změny napájecího proudu, omezuje rušení přicházející po napájecím vedení a potlačuje vyzařování rušení směrem ven z desky. Ze stejných důvodů je třeba používat tzv. blokovací kondenzátory, dbát na jejich bezindukční provedení a připojení, dbát na správné vedení a propojení zemnicích vodičů atd.

Obvody NAND a NOR

Na obr. 2.1 je znázorněno schéma vnitřního zapojení hradla NAND standardní řady technologie TTL. Ve schématu jsou uvedeny i přibližné hodnoty pasivních prvků obvodu. Stručné popisy dalších řad technologie TTL budou uvedeny dále.



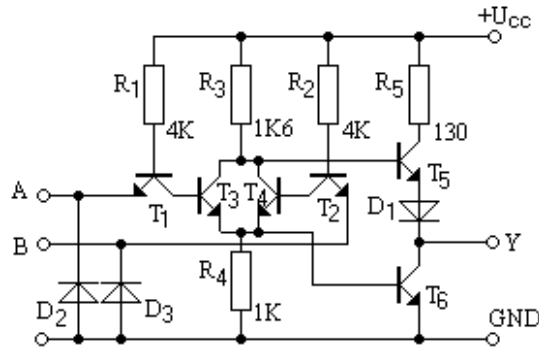
Obr. 2.1 Schéma vnitřního zapojení obvodu NAND technologie TTL standardní řady (1/4 7400)

Víceemitorový tranzistor T_1 (až 8 vstupů - A, B, C, ...H) vytváří logický součin. Rezistor R_1 omezuje vstupní proud, tranzistor T_2 řídí funkci koncového stupně složeného z tranzistorů T_3 a T_4 . Rezistor R_3 zajišťuje v příslušném stavu zavírání tranzistoru T_4 a totéž zajišťuje v opačném případě pro tranzistor T_3 posouvací dioda D. Rezistor R_4 omezuje proud z napájecího zdroje při přechodech výstupu, kdy jsou současně krátkodobě otevřeny oba tranzistory T_3 i T_4 . Diody na vstupech slouží k omezení záporných napěťových špiček, které se mohou vytvořit na sběrnicích, na dlouhých vedeních nebo při kapacitní vazbě. Některé obvody staršího data výroby tyto diody nemusí mít a z označení to nemusí být patrné.

Poznámka : uvedená logická funkce NAND, podobně jako i logické funkce u dalších obvodů, platí pro tzv. pozitivní logiku (logická úroveň log. 1 je reprezentována kladnější hodnotou napětí)

Na obr. 2.2 je znázorněno vnitřní schéma zapojení obvodu NOR standardní řady technologie TTL. Vstupní část obvodu (tranzistory T_1 a T_2) má funkci shodnou s tranzistorem T_1 hradla NAND, výstupní část (tranzistory T_5 , T_6 , D) je shodná s výstupní částí hradla NAND. U hradla NOR je součtová část realizována paralelně zapojenými tranzistory T_3 a T_4 , které funkcí odpovídají tranzistoru T_2 ve schématu hradla NAND (buď v závislosti na signálu A

sepne T_3 nebo v závislosti na signálu B sepne T_4 nebo oba). Hodnoty pasivních součástek jsou shodné u obou typů hradel. Z toho vyplývá, že vnější chování obou hradel (vyjma logické funkce) bude po signálové stránce shodné.



Obr. 2.2 Schéma vnitřního zapojení obvodu NOR technologie TTL standardní řady (1/4 7402)

V následujícím budou proto popsány charakteristiky hradla NAND standardní řady technologie TTL, které platí i pro hradla typu NOR (vlastně charakteristiky negátoru, který vytvoříme např. paralelním spojením vstupů).

Elektrické parametry logických obvodů můžeme rozdělit na statické a dynamické.

Statické parametry

Platnost statických parametrů je zaručena v celém dovoleném rozsahu napájecího napětí a pracovních teplot :

obvody označené 74....	$U = 5V \pm 5\%$	$0^{\circ}C \div 70^{\circ}C$
obvody označené 54....	$U = 5V \pm 10\%$	$-55^{\circ}C \div 125^{\circ}C$

Převodní charakteristika

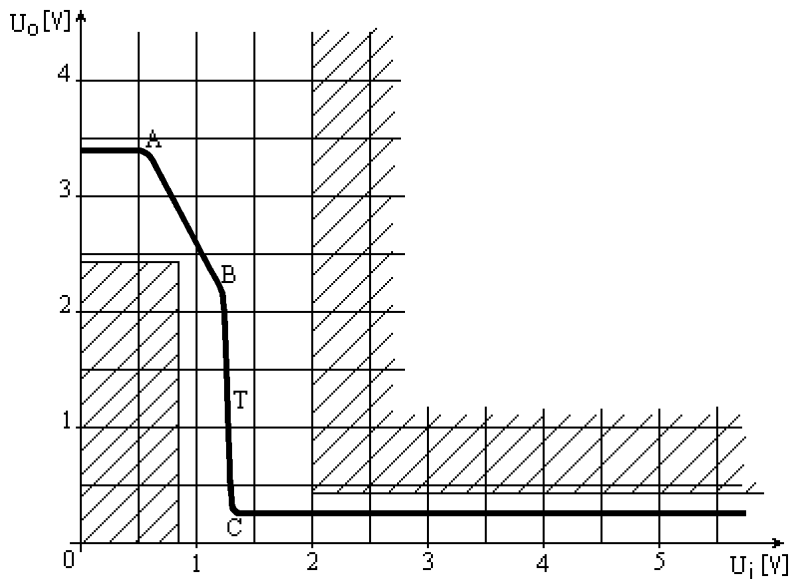
Na obr. 2.3 je naznačena převodní charakteristika negátoru standardní řady technologie TTL, která udává závislost výstupního napětí U_O na průběhu vstupního napětí U_I .

Při popisu funkce obvodu budeme vycházet ze schématu vnitřního zapojení, jak je uvedeno na obr. 2.1 :

pro $U_I < U_A$: tranzistory T_2 a T_4 jsou zavřené, tranzistor T_3 je otevřený. Výstupní napětí $U_O = U_{CC} - U_{CE3} - U_D$, kde U_{CE3} je napětí kolektor - emitor otevřeného tranzistoru T_3 a U_D je úbytek na diodě D

$U_I > U_C$: tranzistory T_2 a T_4 jsou otevřené, tranzistor T_3 je zavřený. Výstupní napětí U_O je dáno saturačním napětím tranzistoru T_4 . Tranzistor T_1 pracuje v inverzním režimu

$U_C > U_I > U_A$: při $U_I = U_A = 0,7V$ se mění proud báze tranzistoru T_1 a tranzistor T_2 se začíná otevírat. Pracuje tak v lineární oblasti své charakteristiky, jako zesilovač se zesílením R_2/R_3 . Toto napětí přenáší na výstup tranzistor T_3 pracující jako emitorový sledovač. V bodě B je proud tranzistoru T_2 tak velký, že se začíná otevírat i tranzistor T_4 . Toto otevírání mění impedanci v emitoru tranzistoru T_2 a tím i sklon převodní charakteristiky. V bodě C se tranzistor T_3 zavírá a ve výstupní části vede pouze tranzistor T_4 .



Obr. 2.3 Převodní charakteristika negátoru technologie TTL standardní řady

Poznámka : kosekbnatost uvedené převodní charakteristiky je způsobena kresbou v bitové mapě

Ve strmé části charakteristiky ($U_B < U_i < U_C$) je definován bod T, pro který platí $U_i = U_o$. Vstupní napětí U_T pro tento bod je prahovým napětím obvodu (rozhodovací úroveň). V okolí tohoto bodu má hradlo velké zesílení, tranzistory jsou v aktivní oblasti a proto se doporučuje s ohledem na možný vznik oscilací, aby doba přechodu přes tuto část charakteristiky byla kratší než 50 ns.

Každý konkrétní obvod může mít převodní charakteristiku (ale i jiné parametry) poněkud odlišnou a proto výrobci udávají typické hodnoty jednotlivých parametrů a jejich toleranční meze. V obr. 2.4 jsou šrafovaně označena tzv. zakázaná pásma, jejichž hranice jsou tolerančními mezemi udávanými výrobci obvodů.

Typické hodnoty napětí na výstupu obvodů TTL ($U_{CC} = 5V$, $\vartheta = 25^\circ C$) :

$$U_{OL} = 0,3V, \quad U_{OH} = 3,25V \quad (U_T = 1,3V)$$

Mezní hodnoty napěťových úrovní (toleranční pásmo) pro všechny modifikace obvodů TTL :

$$U_{IL} - \text{max. } 0,8V \quad U_{OL} - \text{max. } 0,4V$$

$$U_{IH} - \text{min. } 2V \quad U_{OH} - \text{min. } 2,4V$$

Závislost typických napěťových úrovní na teplotě a napájecím napětí udává tab.2.2.:

	ϑ [$^\circ C$]			U_{CC} [V]		
	0 $^\circ$	25 $^\circ$	70 $^\circ$	4,5	5,0	5,5
U_{OH} [V]	3,1	3,25	3,3	2,6	3,25	3,55
U_{OL} [V]	0,29	0,3	0,31	0,33	0,3	0,3
U_T [V]	1,4	1,3	1,2	1,28	1,3	1,35

Tab. 2.2 Závislost napěťových úrovní na teplotě a napájecím napětí

Vstupní charakteristika

Vstupní charakteristika udává závislost vstupního proudu I_i na průběhu vstupního napětí U_i . Hodnoty vstupních proudů, na rozdíl od vstupních napětí, závisí na konkrétním typu obvodu.

Pro standardní řadu obvodů TTL např. teče v oblasti úrovně $U_I = U_{IH}$ do vstupu nepatrný proud $I_{IH} \cong 20\mu\text{A}$. Výrobci zaručují, že tento proud bude menší než $I_{IH\text{max}} = 40\mu\text{A}$. Pro oblast $U_I = U_{IL}$ je proud ze vstupu hradla omezen rezistorem $R_1 = 4\text{K}$, tj. proud $I_{IL} \cong -1\text{mA}$. Výrobci zaručují mezní hodnotu vstupního proudu při logické nule $I_{IL\text{max}} = -1,6\text{mA}$.

Tzn. že mezní hodnoty logické spotřeby elementárního vstupu u hradla standardní řady jsou:

$$I_{IL} = -1,6\text{mA} \quad I_{IH} = 40\mu\text{A}$$

Výstupní charakteristiky

Výstupní charakteristiky udávají závislost výstupního napětí U_O na velikosti výstupního proudu I_O . Tyto charakteristiky jsou dvě a to pro $U_O = U_{OH}$ se zátěží proti zemnímu vodiči a pro $U_O = U_{OL}$ se zátěží proti napájecímu napětí U_{CC} .

Opět např. u standardní řady obvodů TTL vycházejí pro mezní hodnoty logických úrovní U_{OH} a U_{OL} nejvyšší proudové zátěže pro jednotlivé režimy :

$$\begin{array}{ll} \text{pro } U_{OH} = 2,4\text{V} & I_{OH} \cong 8\text{mA} \\ \text{pro } U_{OL} = 0,4\text{V} & I_{OL} \cong -35\text{mA} \end{array}$$

Výrobci zaručují mezní hodnotu $U_{OL} = 0,4\text{V}$ při $I_{OL} = -16\text{mA}$, z čehož vyplývá logická zatížitelnost hradla - logický zisk. Při nominální mezní hodnotě logické spotřeby elementárního vstupu $I_{IL} = -1,6\text{mA}$ je logický zisk hradla standardní řady $N = 10$.

Při propojování zátěží s vyšší spotřebou je třeba si uvědomit, že velikost výstupního napětí hradla již nemusí mít napěťové úrovně v rozmezí dovolených hodnot a že je třeba kontrolovat výkonové zatížení obvodu, aby nedošlo k jeho zničení příliš velkým ztrátovým výkonem.

Logický zisk a vzájemné propojení hradel

Logickým ziskem obvodu N rozumíme číslo, které udává, kolik elementárních vstupů dalších obvodů může být na výstup daného obvodu připojeno při zaručení výrobcem definovaných logických úrovní.

U standardní řady vyplývá z porovnání mezních hodnot vstupních proudů a výstupní zatížitelnosti:

$$\begin{array}{l} I_{OL} = 16\text{mA} \quad I_{OH} = -400\mu\text{A} \\ I_{IL} = -1,6\text{mA} \quad I_{IH} = 40\mu\text{A max} \end{array} \quad \Rightarrow \quad N = 10$$

tzn. že elementární výstup hradla může napájet 10 samostatných elementárních vstupů dalších hradel. Vzhledem k tomu, že typické hodnoty vstupních proudů jsou menší než mezní, je skutečný logický zisk hradla vyšší než 10. Obvykle se však této rezervy nevyužívá.

Při konstrukci zařízení s logickými obvody je nutné dodržet zásadu nepřekračovat logický zisk obvodu. Proto je nutné kontrolovat logickou spotřebu dalších vstupů připojených na jeden výstup a pokud přesáhne logický zisk číslo 10, je nutné použít buď výkonový obvod ($N = 30$) nebo danou logickou funkci zdvojit a připojené následné vstupy rozdělit, ev. při dodržení zvláštních podmínek je možné použít i paralelní propojení obvodů.

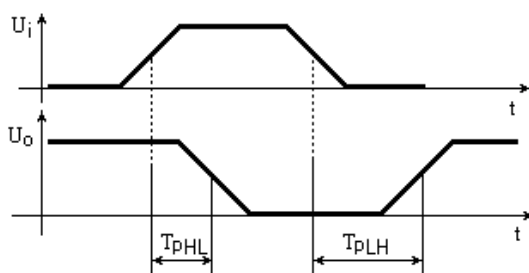
Hodnoty I_{IL} a I_{IH} se nazývají jednotková zátěž a logický zisk je tedy počet jednotkových zátěží, které můžeme připojit k výstupu obvodu stejné řady. Při výpočtu zátěže je dobré si uvědomit, že některé složitější obvody mohou mít vstupy se zátěží větší než jednotkovou.

Statická šumová imunita

Šumová imunita je odolnost obvodů vůči rušivým signálům. Mez rušení (pro danou logickou úroveň) je dána maximální velikostí rušivého napětí, které můžeme superponovat k dané logické úrovni na vstupu obvodu, aniž by došlo ke změně na výstupu obvodu. Statická šumová imunita je definována pro rušení s délkou trvání delší než maximální délka tzv. zpoždění obvodu (viz dynamické parametry), u standardní řady TTL tedy s délkou trvání delší než 22 ns. Výrobci zaručená statická šumová imunita vyplývá z rozdílu zaručených mezních hodnot, což činí u TTL 0,4V. Typická hodnota statické šumové imunity vyplývá z rozdílu typických hodnot a činí u TTL pro úroveň log. 1 cca 2V a pro úroveň log. 0 cca 1V.

Dynamické parametry

Dynamické parametry hradel jsou způsobeny především přesycováním tranzistorů a kapacitami přechodů. Projeví se především ve formě zpoždění signálu při průchodu obvodem, jak je pro negátor naznačeno na obr. 2.4.



Obr. 2.4 Příklad zpoždění signálu při průchodu hradlem TTL

Dynamické parametry nejsou nijak předepsány a u jednotlivých výrobců se mohou značně lišit. Obvykle se udávají doby zpoždění pro změny log. 1 → log. 0 (t_{pHL}) a log. 0 → log. 1 (t_{pLH}). Někdy se udává maximální vstupní frekvence, minimální strmost náběžných či spádových hran apod.

Pro standardní řadu TTL jsou udávány maximální doby zpoždění $t_{pHL} < 15$ ns a $t_{pLH} < 22$ ns.

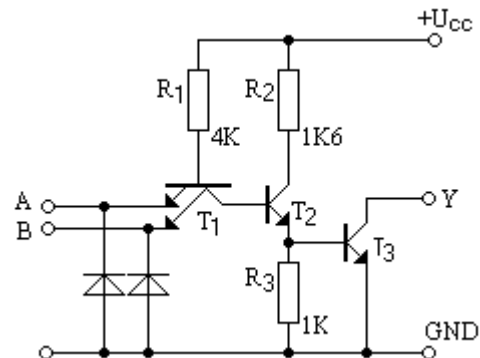
Dynamická šumová imunita

Dynamická šumová imunita je dána necitlivostí logických obvodů ke krátkým impulzům, jejichž délka je srovnatelná s dobou potřebnou pro překlopení hradla z jedné úrovně do druhé. Je možno ji vyjádřit graficky jako závislost možné amplitudy rušivého impulsu v závislosti na délce jeho trvání. Pro délku rušivého impulsu srovnatelnou s dobou zpoždění hradla se amplituda impulsu blíží k hodnotě statické šumové imunity.

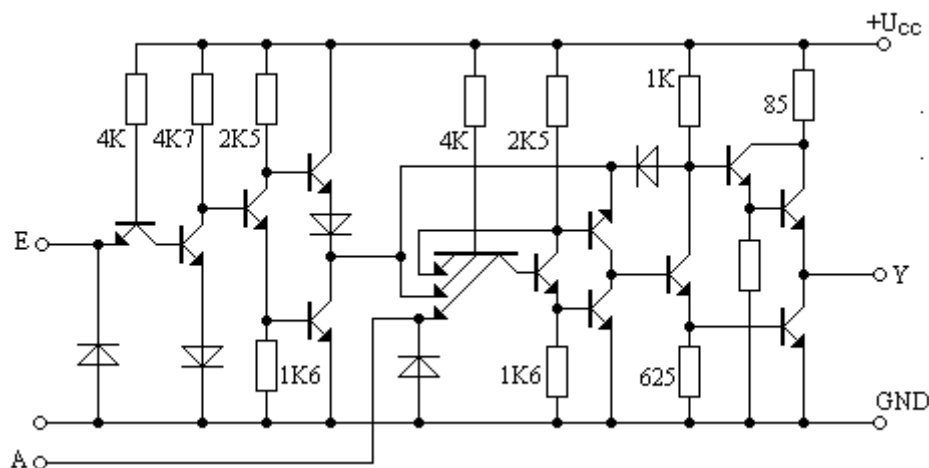
Výstupní obvody

U obvodů TTL se vyskytují v různých obměnách čtyři druhy výstupních obvodů. Výstupní obvody z obr. 2.1 a obr. 2.2 jsou tzv. s aktivní zátěží (někdy také nazývané „totem“, pro sloupcové uspořádání). Variantou tohoto výstupu jsou obvody s tzv. zvýšeným logickým ziskem (výkonové). Na obr. 2.5 je nakresleno vnitřní schéma zapojení obvodu, jehož výstupním obvodem je tzv. otevřený kolektor. Byl vytvořen pro možnost připojení na signálovou sběrnici. Při použití těchto obvodů se musí mezi sběrnici (výstupy Y) paralelně

připojených obvodů spolu se vstupy přijemců informace) a napájení U_{CC} zapojit pracovní rezistor (zapojení wire-or). Dalším typem řešení výstupního obvodu je tzv. třístavový výstup. Jedná se obvod určený především pro propojování sběrnic. Mimo výstupních úrovní log. 0 a log. 1 je možno u něj zvláštním vstupem uvést výstup do třetího stavu, do stavu vysoké impedance, ve kterém jsou oba výstupní tranzistory zavřeny. Vnitřní schéma zapojení je uvedeno na obr. 2.6.



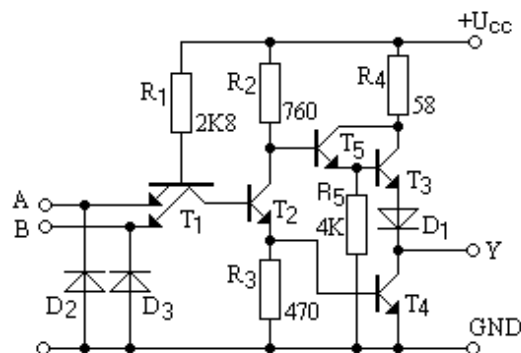
Obr. 2.5 Schéma vnitřního zapojení NAND s otevřeným kolektorem standardní řady TTL (1/4 7403)



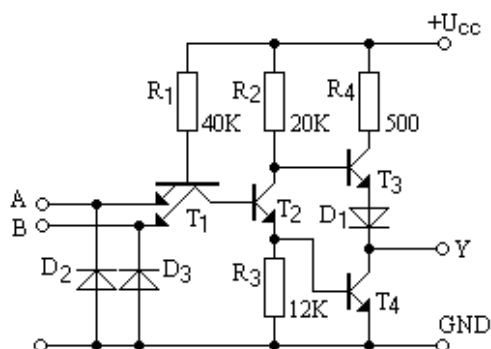
Obr. 2.6 Schéma vnitřního zapojení obvodu s třístavovým výstupem (1/4 74125)

Řady obvodů technologie TTL

Modifikací standardní řady obvodů (není obvykle nijak zvlášť označována) vznikla rychlá řada (označená H - High - tj. 74H..., viz obr. 2.7) a řada s nízkým příkonem (označená L - Low - tj. 74L..., viz obr. 2.8).

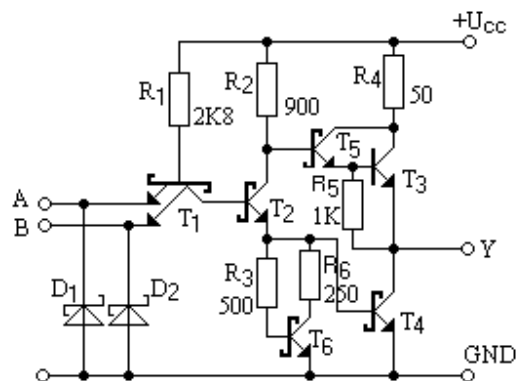


Obr. 2.7 Schéma vnitřního zapojení hradla NAND rychlé řady TTL (1/4 74H00)



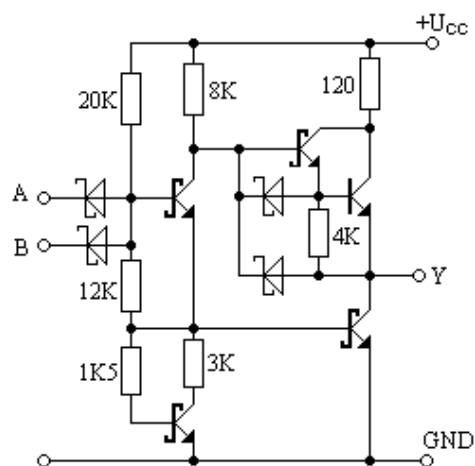
Obr. 2.8 Schéma vnitřního zapojení hradla NAND řady se sníženým příkonem (1/4 74L00)

V obou případech bylo změny vlastností dosaženo v podstatě pouze změnou hodnot odporů rezistorů. U rychlé řady bylo snížením hodnot odporů rezistorů dosaženo zvýšení rychlosti za cenu zvýšení příkonu. Řada se sníženým příkonem je zase výrazně pomalejší proti standardní.



Obr. 2.9 Schéma vnitřního zapojení hradla NAND řady TTL s Schottkyho tranzistory (1/4 74S00)

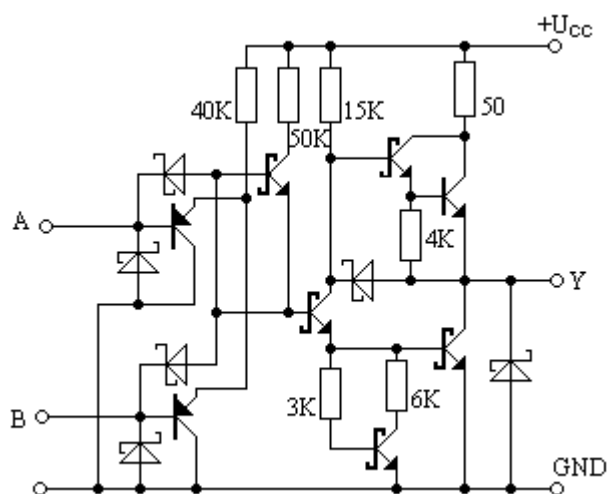
V dalších řadách byly použity Schottkyho diody ve strukturách některých tranzistorů. Schottkyho diody zabraňují saturaci tranzistorů a tím zvyšují rychlost obvodů. Vznikla tak rychlá řada (označovaná S - tj. 74S..., viz obr. 2.9) a řada s nízkým příkonem (označovaná LS - tj. 74LS..., viz obr. 2.10)



Obr. 2.10 Schéma vnitřního zapojení hradla NAND řady TTL s Schottkyho tranzistory se sníženou spotřebou (1/4 74LS00)

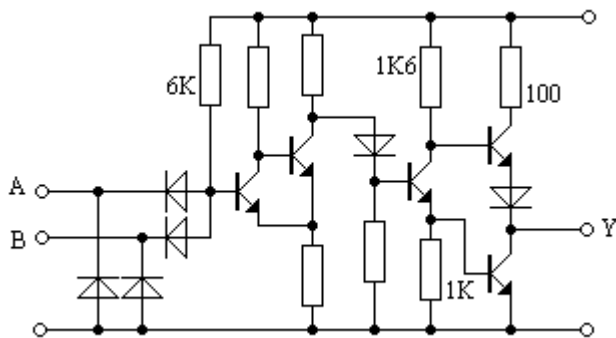
V tomto případě došlo k další změně ve struktuře, protože logická funkce je zde realizována obvodem s diodami a ne víceemitorovým tranzistorem.

Velké rychlosti při malém příkonu se podařilo dosáhnout u obvodů Advanced Lower Power Schottky, označovaných ALS - tj. 74ALS..., viz obr. 2.11.



Obr. 2.11 Schéma vnitřního zapojení hradla NAND řady ALS (1/4 74ALS00)

Výčet řad tím není úplný; předchozí řady byly uvedeny pro představu širě typů obvodů. Za zmínku však stojí ještě jeden typ obvodu a to obvod s charakteristikou Schmittova klopného obvodu. Jeho převodní charakteristika vykazuje hysterezi. Takovéto obvody mají význam především tam, kde nejsou k dispozici signály s požadovanými dynamickými parametry. Vnitřní schéma obvodu je naznačeno na obr. 2.12.



Obr. 2.12 Schéma vnitřního zapojení obvodu TTL s charakteristikou Schmittova klopného obvodu

Obvody CMOS

Obvody CMOS řady 4000 jsou proti obvodům TTL podstatně pomalejší. Proto byla vyvinuta technologie rychlých CMOS. Tyto CMOS obvody se značí 74HC... (HCT, HCU). Obvody HCT jsou plně slučitelné s obvody TTL, obvody HCU nemají výstupní oddělovače.

Napájení

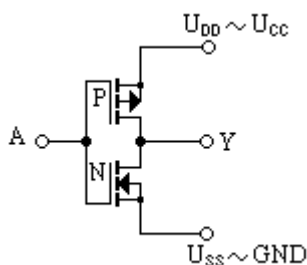
Obvody CMOS mohou být napájeny napětím v rozsahu $3V \div 16V$ (obvody HCMOS v rozsahu $2V \div 7V$). Nedoporučuje se používat napětí menší než $4,5V$ vzhledem k zvýšení zpoždění a ztrátě šumové imunity. Pro napájecí napětí nad $15V$ se zvyšuje výkonová ztráta (mezní napětí je $18V \div 20V$).

Ve statickém režimu mají obvody CMOS velmi malý příkon. V dynamickém režimu se příkon se zpracovávanou frekvencí zvyšuje a při frekvenci cca $1MHz$ je příkon obvodů CMOS zhruba stejný jako u obvodů TTL řady LS.

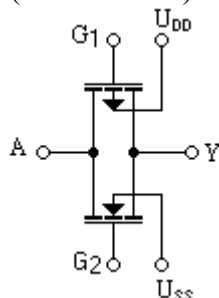
Při zpracovávání nízkých frekvencí se může pro napájení, vzhledem k vlastnostem obvodů CMOS, použít i nestabilizovaný zdroj napětí, i se zvlněním o velikosti až $20\% U_{DD}$. Při zpracovávání vyšších frekvencí jsou na napájení kladeny již vyšší nároky. U HC obvodů je vhodné napájení řešit podobně jako u obvodů TTL.

Negátor, přenosové hradlo

Všechny logické obvody CMOS jsou sestaveny ze dvou základních stavebních prvků - z negátoru (viz obr. 2.13) a přenosového hradla (viz obr. 2.14).



Obr. 2.13 Schéma vnitřního zapojení negátoru CMOS

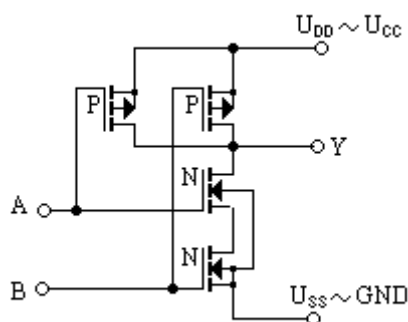


Obr. 2.14 Schéma vnitřního zapojení přenosového hradla CMOS

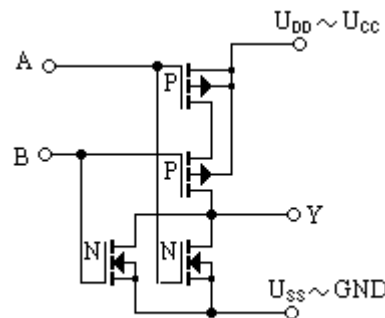
Princip funkce je možné vysvětlit např. na negátoru (obr. 2.13). Tranzistory pracují v obohaceném módu. Substrát tranzistoru s kanálem P je spojen se zdrojem kladného napájecího napětí a substrát tranzistoru s kanálem N je uzemněn. Jestliže je napětí na vstupu nulové, je kanál P vodivý a kanál N nevodivý. Na výstupu je tedy napětí blízké hodnotě napájecího napětí. Přivedeme-li na vstup napětí blízké k napájecímu, bude vodivý kanál N, kanál P bude nevodivý a na výstupu bude nulové napětí. Výstupní svorka je vždy v příslušné logické úrovni udržována přes malý vnitřní odpor, avšak proud ze zdroje napájecího napětí prakticky neprotéká. Pouze v okamžicích přechodů jsou ze zdroje dodávány náboje řídicích elektrod těch hradel, která přecházejí svým vstupem z jedné úrovně do druhé. Většina vyráběných obvodů má na výstupech zařazeny oddělovače, což jsou vlastně dva negátory za sebou. Obvody s oddělovačem mají strmější převodní charakteristiku a strmější hrany výstupních signálů. Méně se také projevuje vliv kapacitní zátěže. Obvody bez oddělovače se značí UB za typovým označením. I v technologii CMOS jsou vyráběny obvody s třístavovými výstupy.

Hradla NAND a NOR

Kladné napětí na řídicí elektrodě tranzistoru s kanálem N tranzistor otevírá, naopak tranzistor s kanálem P zavírá. Dá se tedy velmi snadno vysledovat funkce obvodu NAND, jehož vnitřní schéma zapojení (bez opakovací) je znázorněno na obr. 2.16 i obvodu NOR (obr. 2.17).



Obr. 2.16 Schéma vnitřního zapojení CMOS hradla NAND



Obr. 2.17 Schéma vnitřního zapojení CMOS hradla NOR

Jestliže jsou napětí na vstupech ustálená, pak obvodem protéká pouze zbytkový proud cca 0,5 nA

Statické parametry

Převodní charakteristika

Vzhledem k velkému rozsahu napájecího napětí obvodů CMOS není možné nakreslit jedinou převodní charakteristiku. Platí však obecně, že rozhodovací úroveň je vždy prakticky v polovině napájecího napětí, že obvody s oddělovačem mají převodní charakteristiku strmější a že výstupní logické úrovně se prakticky neliší od úrovně napájecího napětí.

Statická šumová imunita

Protože rozhodovací úroveň mezi log. 0 a log. 1 je prakticky polovina napájecího napětí, dosahují obvody CMOS výborné šumové imunity; typicky 40% napájecího napětí, (HCMOS typicky 30%).

Dynamické parametry

Dynamické parametry (ale i statické) zde nebudeme uvádět (ani příkladem), protože se většinou liší nejen u různých výrobců, ale také u různých provedení jednoho výrobce.

Řešené příklady

Zadání 1 :

Je možné z výstupu obvodu podle obr. 2.18 odebírat logický signál?

Řešení :

Ne, není to možné, protože proud LED diodou je větší než maximální dovolený proud výstupu obvodu 7400.

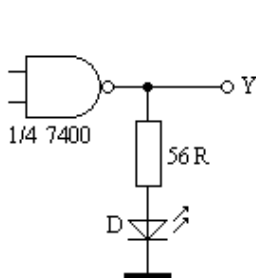
Neřešené příklady

Zadání I.:

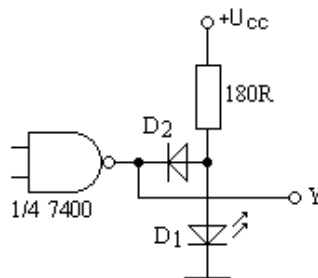
Vypočtete dovolený rozsah odporu pracovního rezistoru sběrnice, ke které je připojeno svými výstupy deset obvodů 7403 a všemi vstupy pět obvodů 7430.

Zadání II.:

Je možné z výstupu obvodu podle obr. 2.19 odebírat logický signál?



Obr. 2.18 K zadání 1.



Obr. 2.19 K zadání II.

Domácí příprava

A) Do sešitu nakreslete vnitřní zapojení typických obvodů TTL (1/4 7400) a CMOS (1/4 4011), analyzujte je a seznamte se s principy jejich funkce. Vypište zaručené mezní hodnoty napětí na vstupech i výstupech obvodů. Objasněte si pojmy logický zisk a statická šumová imunita.

B) Z katalogu zjistěte a do sešitu nakreslete rozložení vývodů pouzder obvodů 7400 a 4011.

C) Seznamte se s vnitřním zapojením a principy funkce TTL obvodů s otevřeným kolektorem (7403), v provedení ALS (74ALS00) a s třístavovým výstupem (74125).

Pokyny k měření úlohy

- 1) Žádný z měřených obvodů nesnáší přímé spojení libovolného svého výstupu přímo s $+U_{CC}$. Vždy hrozí zničení obvodu nadměrným proudem výstupu.
- 2) Obvody, jejichž číselné označení začíná dvojcíslím 74... mají strukturu TTL nebo vnějšími elektrickými vlastnostmi obdobnou a jsou uzpůsobeny pro napájení napětím $U_{CC} = +5V$.
Při vyšším U_{CC} dojde spolehlivě k jejich destrukci.
- 3) Jedině obvody CMOS snesou napájecí napětí vyšší než $+5V$. Při měření dbejte, aby při přepojování měřicího zařízení na obvody, které pracují jen s $U_{CC} = +5V$, nezůstalo vyšší napětí omylem jako napájecí nebo měřicí napětí také pro ně!
- 4) K měření výstupních charakteristik - je nutno vyhledat v katalogu maximální proudová zatížení výstupů a tyto hodnoty při měření pokud možno nepřekračovat!
- 5) Obvod 7403 má strukturu TTL v zapojení s otevřeným kolektorem. Z hlediska měření jeho výstupních charakteristik má smysl pouze měření výstupní charakteristiky v log. úrovni log. 0.
- 6) Tabulka s orientačními údaji pro porovnání různých typů logických obvodů :

	standard TTL 74...	Schottky 74S...	Low Power Schottky 74LS...	High Speed CMOS 74HC., 74HCT.	CMOS řada 4000	
					při 5V	při 10V
vst. frekvence	35 MHz	70 MHz	40 MHz	50 MHz	8 MHz	16 MHz
zpoždění na hradlo	10 ns	3 ns	9,5 ns	8 ns	40 ns	20 ns
ztrát. výk. na hradlo	10 mW	20 mW	2 mW	25 nW	10 nW	

Tab. 2.3 Orientační údaje různých typů logických obvodů

Měření statických parametrů

Statické charakteristiky nám poskytují informace o stejnosměrných elektrických vlastnostech. Lze z nich odvodit převážnou většinu parametrů, které jsou udávány a zaručovány výrobcem. Zapojení k měření statických charakteristik jsou souhrnně zachycena na následujících obrázcích. Jedná se o charakteristiky:

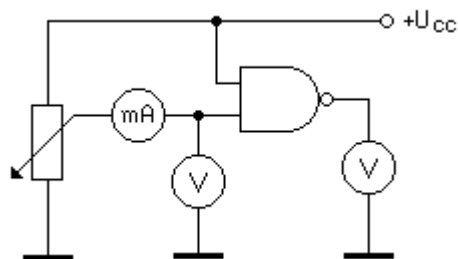
a) vstupní proudová charakteristika $I_I = f(U_I)$

Z charakteristiky lze odečíst hodnotu vstupního proudu pro úroveň log. 1 a log. 0.

Měří se podle zapojení na obr. 2.20 pro rozsah vstupního napětí 0 až $+U_{CC}$.

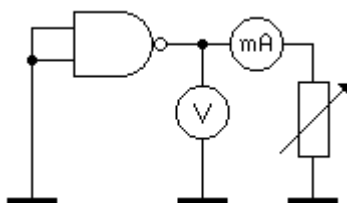
b) převodní charakteristika $U_O = f(U_I)$

Z této charakteristiky lze odečíst hodnotu výstupního napětí pro úroveň log. 0 a log. 1 a rozhodovací úroveň obvodu. Měří se podle zapojení na obr. 2.20 pro shodný rozsah vstupního napětí jako u měření podle bodu a).



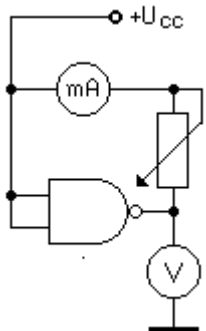
Obr. 2.20 Schéma zapojení pro měření vstupní a převodní charakteristiky

- c) výstupní charakteristika pro úroveň log. 1 na výstupu $U_{OH} = f(I_{OH})$
 Z charakteristiky lze odečíst výstupní zkratový proud a s pomocí vstupní proudové charakteristiky též logický zisk hradla pro výstup ve stavu log. 1. Měří se podle zapojení na obr. 2.21, pro hodnoty proudu od nulového do výstupního zkratového. Při měření hodnot blízkých se zkratovému proudu je nutno postupovat rychle, abychom zabránili nadměrnému ohřátí obvodu.



Obr. 2.21 Schéma zapojení pro měření výstupní charakteristiky s úrovní log. 1 na výstupu

- d) výstupní charakteristika pro úroveň log. 0 na výstupu $U_{OL} = f(I_{OL})$
 Z této a vstupní charakteristiky lze odečíst logický zisk obvodu pro úroveň log. 0 na výstupu. Měří se podle zapojení na obr. 2.22, do takové hodnoty výstupního proudu (proud vtéká do výstupu), až se dosáhne meze, která je podle údajů výrobce ještě považována za úroveň log. 0 (např. pro TTL 0,4 V).



Obr. 2.22 Schéma zapojení pro měření výstupní charakteristiky s úrovní log. 0 na výstupu

Měření dynamických parametrů

Měření dynamických parametrů je náročné na kvalitu přístrojů. Jedná se především o osciloskop s velkou šířkou pásma, protože spínací časy hradel, především TTL, bývají zhruba stejně dlouhé jako maximální rychlost vychylování paprsku u osciloskopu průměrných parametrů, viz kap. 1.9.

Při měření dynamických parametrů je třeba dbát na pracovní podmínky měřeného obvodu. Je například nutné, aby se měřený obvod nacházel v řetězci obvodů shodného typu a provedení (pro tvarování vstupního signálu a definovanou zátěž).

Úkoly měření

1. Změřte převodní charakteristiku $U_O = f(U_I)$ pro obvody TTL (1/4 7400), CMOS (1/4 4011) a dalších dle pokynů asistenta. Naměřené hodnoty vynesete do společného grafu. Měřte pro napájecí napětí +5V pro TTL a +5V i +12V pro CMOS, v obou směrech - pro rostoucí i klesající vstupní napětí.
2. Pro obvod TTL základní řady změřte vstupní charakteristiku $I_I = f(U_I)$.
3. Pro obvody z bodu 1. při napájecím napětí $U_{CC} = +5V$ změřte výstupní charakteristiky pro výstupy v úrovni log. 0. Vyneste je do společného grafu a diskutujte otázku logického zisku jednotlivých obvodů pro výstupy v úrovni log. 0.
4. Pro obvody z bodu 3. za stejných podmínek změřte výstupní charakteristiky pro výstupy v úrovni log. 1. Vyneste je opět do společného grafu a obdobně diskutujte otázku logického zisku jednotlivých obvodů pro výstupy v úrovni log. 1.
5. Změřte t_{PHL} a t_{PLH} obvodů z bodu 1. při jednotkové zátěži výstupu.
6. Pozorujte a nakreslete do sešitu (v měřítku) průběh napájecího napětí spolu s průběhem výstupního napětí obvodu TTL základní řady (co nejbližší vývodům obvodu) při vstupní frekvenci cca 1 MHz. Jak se změní průběhy po připojení bezindukčního blokovacího kondenzátoru s kapacitou 100n (opět co nejbližší vývodům obvodu).

Literatura

- [2.1] Bayer J., Šimek T.: Elektronické systémy II - přednášky, vydavatelství ČVUT, Praha, 1992
- [2.2] Bayer J. a kol.: Elektronické systémy II - návody ke cvičením, vydavatelství ČVUT Praha, 1990
- [2.3] Jedlička P.: Přehled obvodů řady TTL díl I., BEN, Praha 1997
- [2.4] Jedlička P.: Přehled obvodů řady CMOS díl I., BEN, Praha 1997
- [2.5] Katalog logických obvodů fy Texas Instr.
- [2.6] Katalog logických obvodů fy RCA