

7 Technologie výroby číslicových obvodů

Podle technologie výroby rozlišujeme číslicové obvody na hybridní a monolitické. Hybridní integrované obvody obsahují pasivní a aktivní součástky, které se připevní na jednu nosnou destičku, vzájemně propojí a zapouzdří.

V monolitických integrovaných obvodech (tzv. čípech) jsou všechny potřebné prvky soustředěny na jedné destičce polovodiče, nejběžněji křemíku. Technologickým postupem jsou na této destičce vytvořeny jak aktivní, tak pasivní prvky i vzájemné propoje součástek. Naprostá většina elektronických číslicových systémů je vyráběna monolitickou technologií. Hybridní obvody se používají většinou jen u převodníku číslo–analog a analog–číslo.. Proto se v dalším textu soustředíme na monolitické integrované logické systémy a popíšeme si jejich vlastnosti.

Podle stupně integrace rozlišujeme:

- SSI (Small Scale Integration) – malá integrace do 30 prvků
- MSI (Middle Scalle Integration) – střední integrace do 1000 prvků
- LSI (Large Scalle Integration) – velká integrace do 100 tisíc prvků
- VLSI (Very Large Scalle Integration) – do 10 milionu prvků v pouzdře.
- ULSI (Ultra Large Scalle Integration) – do 1 miliardy prvků v pouzdře.
- GSI (Gigantic Scalle Integration) – nad 1 miliardu prvků v pouzdře..

7.1 Bipolární technologie

Jsou to technologie, které ke své činnosti používají bipolárních tranzistorů. Oproti unipolárním technologiím se jedná, až na některé výjimky, o rychlejší obvody, nedosahující tak velkého stupně integrace. Bipolární obvody mají také větší spotřebu a jsou levnější než unipolární technologie.

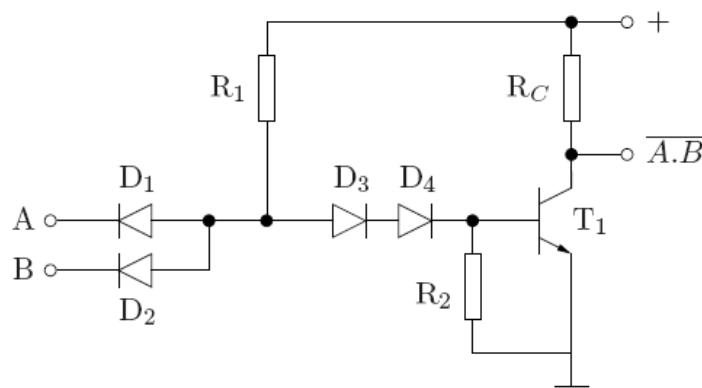
Technologie DTL

Jde o obvody, které se dnes už téměř nepoužívají. Na obrázku 7.1 je zapojení integrovaného obvodu realizujícího funkci NAND. Vstupní diody spolu s odporem R1 pracují jako diodový logický součin, jehož výstupní funkci neguje tranzistor T1, zapojený jako invertor. Jsou-li

všechny vstupy na úrovni logické 1, tranzistor T1 se přes posouvací diody D3 a D4 otevře a na výstupu obvodu je úroveň logické 0.

Přivedením úrovně logické 0 alespoň na jeden vstup obvodu budou anody vstupních diod D1 a D2 téměř v nulovém potenciálu a tranzistor T1 se uzavře. Na výstupu obvodu bude úroveň logické 1. Tzv. posouvací diody D3 a D4 zajišťují dokonalé uzavření tranzistoru a zvyšují šumovou imunitu obvodu tím, že svým prahovým napětím zvyšují nutnou napěťovou úroveň pro otevření tranzistoru.

Napájecí napětí těchto obvodu bývá asi 5 V , logický zisk 10, šumová imunita asi 0,8 V , zpoždění 10 až 30 ns.



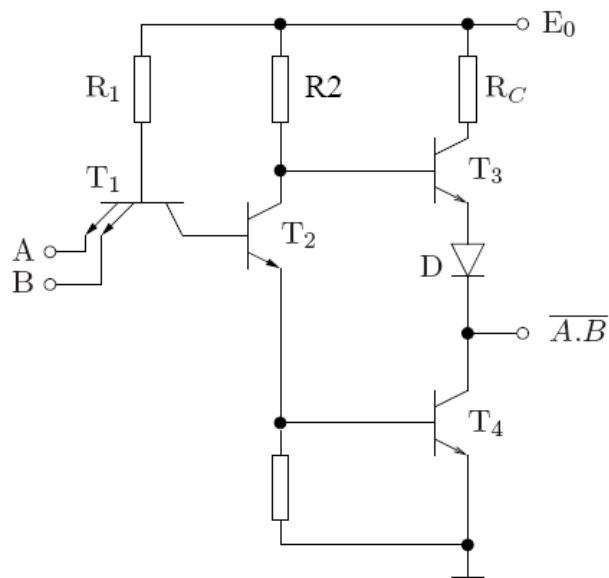
Obrázek 7.1: Technologie DTL - obvod NAND

Technologie TTL

Základ tranzistorových obvodů s tranzistorovou logikou (Tranzistor Tranzistor Logic) tvoří tranzistor s vícenásobným emitorem, který umožňuje realizovat logické funkce. Při popisu funkce lze vycházet z určité analogie s obvodem DTL. Přechody báze–emitor vstupního tranzistoru nahrazují diody součinového hradla obvodu DTL, zatímco přechod báze–kolektor nahradí posouvací diody. Na obrázku 7.2 je základní hradlo NAND použité v obvodu MH7400.

Oproti obvodům DTL jsou však mnohem příznivější podmínky na bázi tranzistoru T2. Je-li na jeden emitor vstupního tranzistoru T1 přivedena úroveň logické 0, začne tímto emitorem protékat proud v předním směru, tranzistor T1 se otevře a z báze tranzistoru T2 je velmi rychle odveden přebytečný náboj přes malou impedanci otevřeného tranzistoru T1. Tak je dosaženo velké spínací rychlosti při zavírání tranzistoru T2. Připojením všech emitoru vstupního tranzistoru na úroveň logické 1 bude tranzistor T1 pracovat v inverzním režimu, tzn. zamění se funkce emitoru a kolektor. otevře se tranzistor T2, a to spojením báze přes otevřený přechod báze–kolektor tranzistoru T1, polarizovaným nyní v propustném směru, a přes odpor R1 se zdrojem napájecího Napětí.

výstupní obvod je zapojen jako sériový dvojčinný stupeň. Je buzen tranzistorem T2, zapojeným jako fázový invertor. Nebude-li T2 vybuzen (tj. je-li na vstupu napětí 0 V), zůstává T2 a tím i T3 zavřený. T3 tak dostává kladné předpětí a otevírá se – na výstupu je kladné napětí (tj. úroveň logické 1). Je-li na všech vstupech tranzistoru T1 úroveň logické 1, tranzistor T2 je buzen a otevře se. Na emitoru T2 vzroste napětí tak, že T4 se otevře, zatímco na kolektoru T2 potenciál klesne tak, že předpětí pro T3 z důvodů úbytku napětí na diodě D nestačí T3 vybudit a T3 se uzavře. Na výstupu se přes T4 objeví potenciál blízký 0 V (úroveň logické 0).



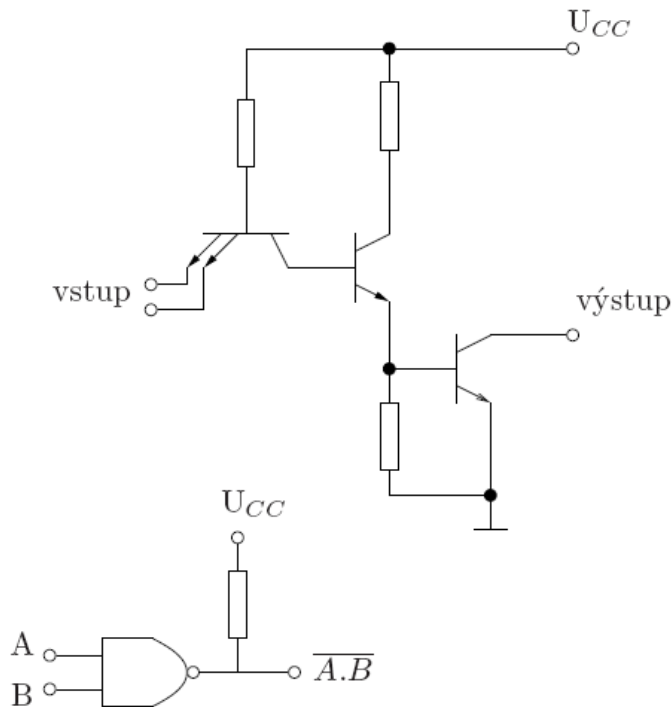
Obrázek 7.2: Elementární prvek TTL obvodu

V okamžiku změny hodnoty výstupní funkce obvodu jsou po velmi krátkou dobu otevřeny oba tranzistory T3 a T4. Odpor R_C v tomto případě omezuje maximální hodnotu kolektorového proudu výstupního stupně. Dioda D zajišťuje svým prahovým napětím spolehlivé uzavření tranzistoru T3.

V ustáleném stavu je otevřen vždy pouze jeden výstupní tranzistor, takže při malém zatížení zdroje je dosaženo malé impedance jak pro úroveň logické 0, tak i pro úroveň logické 1. Výstup se velmi dobře chová při kapacitní zátěži a nízká výstupní impedance je vhodná i z hlediska parazitních signálů na činnost obvodu. To je velká přednost oproti obvodům DTL, jejichž výstupní impedance je v době uzavření tranzistoru na výstupu obvodu určena pouze jeho kolektorovým odporem. Takovéto obvody ale nejdou použít v kaskádě bez oddělení (obvody se navzájem ovlivňují), proto se pro paralelní propojení používá obvod s otevřeným kolektorem. Zapojení hradla s otevřeným kolektorem je na obrázku 7.3.

Principiální funkčnost obvodu je stejná jako obvod na obrázku 7.2, ale na výstupu logického členu je tranzistor s otevřeným kolektorem, tj. chybí rezistor R. Tento rezistor se pak musí

připájet jako diskretní součástka. Proto se také obvodům s otevřeným kolektorem říká montážní obvody. Propojením několika výstupu s otevřeným kolektorem přes vnější odpor vznikne pak funkce montážního AND



Obrázek 7.3: TTL s otevřeným kolektorem

Napěťové úrovně jsou uvedeny v tabulce 1..

	vstup	výstup
H_{min}	2,0 V	2,4 V
L_{max}	0,8 V	0,4 V

Tabulka 1: Napěťové úrovně technologie TTL

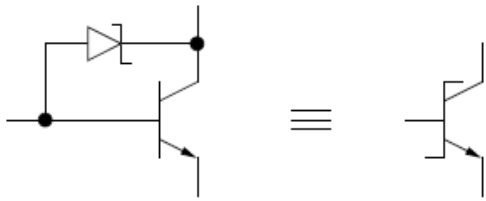
zpoždění logického signálů je okolo 20 ns, což je vzhledem k nízkému příkonu asi 10 mW velmi vyhovující. Obvody TTL mají také dobrou šumovou imunitu 0,4 V a jsou odolné proti statické elektřině.

Kromě samotné technologie TTL existují ještě její varianty LTTL (Low power TTL) a HTTL (High speed TTL). LTTL má snížený příkon asi 2 mW, ale to na úkor zpoždění signálů tj. asi 35 ns. Technologie HTTL má zpoždění signálů asi 13 ns, ale příkon okolo 20 mW.

Technologie STTL

S-TTL je v podstatě rovněž varianta technologie TTL, u které se však podařilo dosáhnout příznivějšího poměru mezi rychlostí a příkonem. Pro zvýšení spínací rychlosti se užívají Schottkyho diody¹ podle zapojení na obrázku 7.4, které zabraňují přesycení. Protože je na diodě v propustném směru podstatně menší napětí než na přechodu mezi kolektorem a bází

tranzistoru, paralelním Připojením Schottkyho diody k tomuto přechodu se zabrání nasycení tranzistoru a tím se sníží doba jeho Zpoždění.. zpoždění technologie STTL je tak oproti TTL poloviční, ale příkon je dvojnásobný.



Obrázek 7.4: Doplnění tranzistoru o Schottkyho diodu

Vylepšením technologie STTL vznikly technologie LSTTL, ASTTL a ALSTTL.

LSTTL (Low Power STTL) je ve skutečnosti DTL (diodová logika), kombinovaná s tranzistorovou výstupní kaskádou z obvodu TTL. U této technologie se podařilo dosáhnout nižšího příkonu na úkor rychlosti.

Technologie ASTTL je nejrychlejší technologií z rady obvodu TTL a na svou rychlost má poměrně malý Příkon.. Nejpopulárnějšími se však staly obvody technologie ALSTTL (Advanced low STTL) a FTTL (Fast STTL), které mají výborně spínací a příkonové vlastnosti oproti ostatním a používají se Při stavbě rychlých a relativně výkonných pomocných obvodů, případně členů procesorových stavebnic.

Funkční vlastnosti jednotlivých variant technologie TTL jsou stejné, proto jsou také všechny technologie slučitelné. Obvody se však liší především svoji rychlostí a spotřebou. Srovnání vlastností jednotlivých technologicky odlišných obvodů TTL vidíme v tabulce 2. Varianty technologií TTL umožňují stupeň integrace nejvýše do 500 elementárních logických obvodů na čip. Klasická technologie TTL je dnes už zastaralá používaná jen ve starých zapojeních.

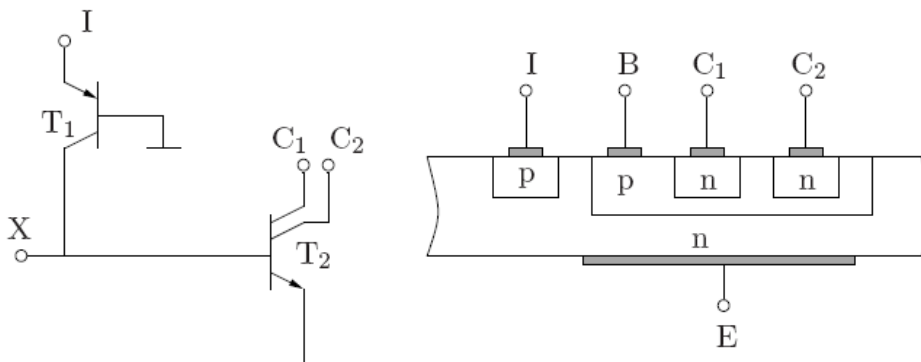
Na rozdíl od běžné diody s přechodem PN v propustném směru tvoří prakticky celý přední proud Schottkyho (ctí šotkyho) diody elektrony, protékající z polovodiče do kovu. V Schottkyho diodě proto nevzniká nadbytečný náboj a zotavovací doba vlivem nadbytečného náboje odpadá.

technologie	zpoždění [ns]	odběr členu [mW]	zatížit. výstupu [mA]	odběr vstupu [mA]
TTL	22	10	16	1,6
HTTL	13	22	30	3
LTTL	35	2	8	0,8
STTL	5	20	50	5
LSTTL	20	3	8	0,8
ASTTL	1,7	8	7	0,7
ALSTTL	15	2	4	0,4

Tabulka 2: Srovnání vlastností jednotlivých technologií TTL

Technologie IIL

Jedná se o velmi rychlou technologii s malým příkonem (méně než 0,05 mW na logický člen), která umožňuje dosahovat velké hustoty integrace. Navíc velikosti napájecího proudu lze měnit příkon i rychlost v rozsahu až několika dekad.



Obrázek 7.5: Struktura základní buňky I2L – invertor a jeho zapojení

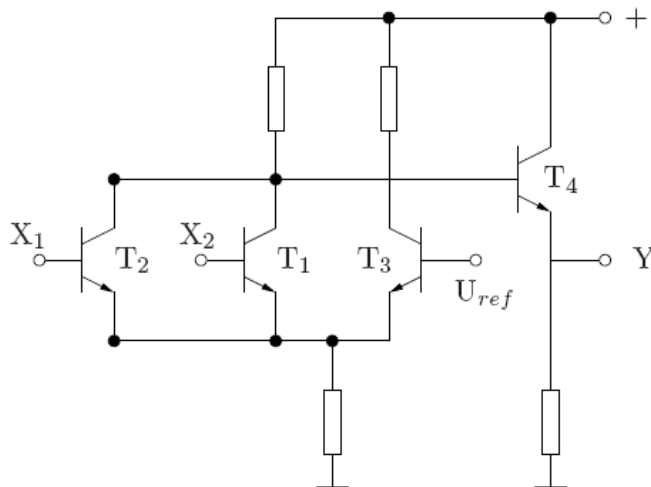
Obrázek 7.5 znázorňuje zapojení a technologické uspořádání invertoru. Vertikálně uspořádaný tranzistor PNP jako injektor vytváří konstantní proud, protože bez ohledu na druh signálů na vstupu je báze vždy zápornější než emitor, a tento tranzistor je tedy vždy otevřen. Je-li na vstupu nulový potenciál (logická 0), prochází injekční proud směrem k tomuto vstupu a tranzistor T2 s vícenásobným kolektorem je uzavřený. Při kladném potenciálu (logická 1) na vstupu, prochází injekční proud směrem do báze tranzistoru s vícenásobným kolektorem, ten se otevře a vytváří na výstupu úroveň logické 0. Z uvedeného je zřejmé, jak jednoduše lze vytvořit logický člen s minimem součástek. Napájecí napětí může být podle druhu zapojení od 0,8 V do 15 V.

Pokud se použije izolace mezi sousedními hradly, vznikne tak technologie IIIL – izolována integrovaná injekční logika. Obě technologie jsou dobře slučitelné s TTL obvody, používají se pro výrobu velkokapacitních RWM a pro výrobu mikroprocesorů.

Technologie ECL

Emitterově vázané obvody (ECL – Emitter Coupled Logic) jsou založeny na zcela odlišném principu než obvody TTL. Obvody využívají zapojení tranzistorů (T1,T2) s emitterovou vazbou podle obrázku 7.6, ve kterých nemůže dojít k nasycení. Na bázi tranzistoru T3 je přivedeno referenční napětí. Zdroj referenčního napětí musí být dostatečně stabilní, aby se nesnížila šumová imunita obvodu.

Tranzistory T1 a T2 pracují na principu spínání proudu, proto se tyto obvody označují také



Obrázek 7.6: Elementární prvek obvodu ECL

jako CML (Current Mode Logic) proudové spínací obvody, přičemž k těmto tranzistorům může být připojeno více tranzistorů paralelně. Je-li na všech vstupech tranzistorů T1 a T2 úroveň logické 0, na výstupu se objeví úroveň logické 1. Je-li alespoň jeden ze vstupů na úrovni logické 1 na výstupu se objeví úroveň logické 0. Zapojení tedy představuje funkci NOR. Pro dosažení malého výstupního odporu bývá na výstupu často připojen emitterový sledovač T4.

Protože je u těchto obvodů vyloučen stav nasycení a navíc jsou zpracovávány jen malé změny napětí, je dosaženo velmi krátkých spínacích dob. Vzhledem k malým změnám výstupního napětí a s tím spojenému požadavku, že se napájecí napětí nesmí téměř měnit, mají tyto obvody poměrně velkou spotřebu energie (stále prochází proud). Proto se obvody ECL rozšířily pouze tam, kde je nutno zpracovat signály o velké frekvenci. Dosahuje se zpoždění 1 ns a stupně integrace srovnatelného s TTL obvody. Obvody ECL mají malou šumovou imunitu a nejsou přímo slučitelné s TTL obvody.

7.2 Unipolární technologie

S unipolárními technologiemi je spojen celý dosavadní bouřlivý vývoj osobních počítačů. Jedině díky velmi vysoké integraci dosahované pomocí těchto technologií je možné vyrábět dnešní personální počítače. U těchto technologií se přenosu náboje účastní (narozdíl od bipolárních technologií) pouze jeden druh nosičů náboje, a to buď elektrony nebo díry.

Unipolární tranzistory

Dříve než prostoupíme k popisu jednotlivých unipolárních technologií, nastíníme rozdělení unipolárních tranzistorů podle principu jejich funkčnosti.

Unipolární tranzistor je známější pod názvem tranzistor řízený polem (field effect transistor), krátce označený FET. Jeho princip je založen na myšlence, že hloubka vniku elektrického pole do látky je úměrná převrácené hodnotě konduktivity Υ , tj. čím menší je konduktivita látky, tím lépe do ní může elektrické pole vniknout. Izolanty jsou však také nevhodné, protože jimi neprochází elektrický proud. Dotujeme-li však polovodičový materiál ne příliš vysoko, tj. Υ zůstává poměrně malá, prochází sice malý proud, ale elektrické pole může příznivě vnikat do látky, a tím i tento proud ovlivňovat.

Podle toho jak je tato proudová dráha, obecně nazývaná kanál, dotovaná, hovoříme o tranzistoru řízeném polem s kanálem N nebo P. Technicky jsou dvě možnosti, jak nechat působit elektrické pole na proudový kanál, a to buď přes závěrnou vrstvu přechodu nebo přes zvláštní izolační vrstvu.

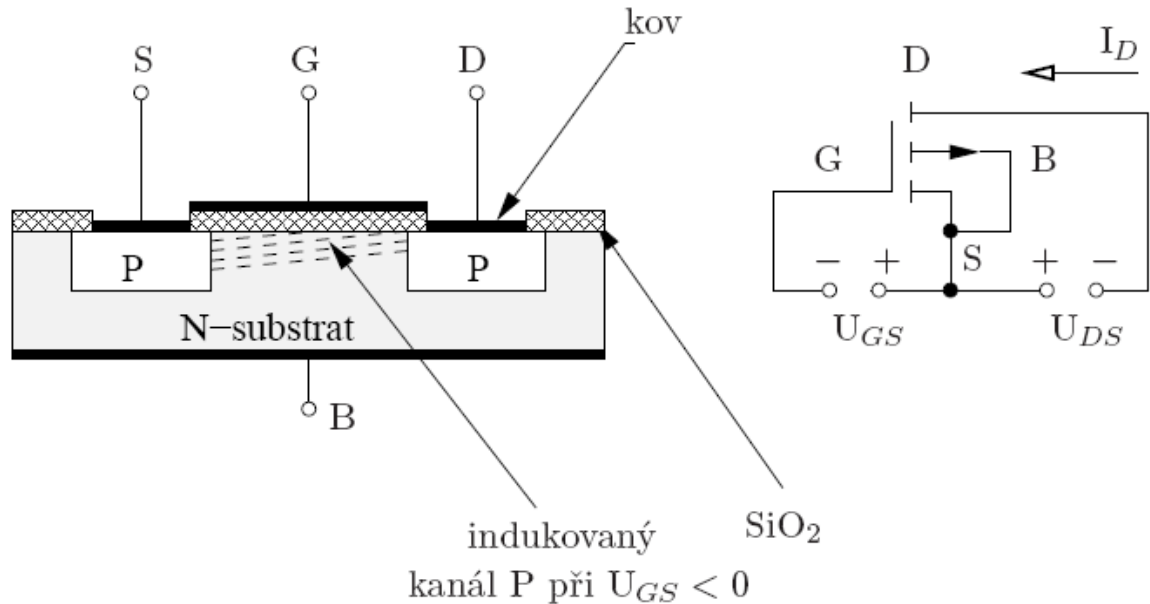
Pak existuje FET s přechodovým hradlem označovaný také JFET (junction FET) nebo na druhé straně FET s izolovaným hradlem označovaný IGFET (insulated-gate-FET), který se ještě rozděluje na ochuzovací a obohacovací typ.

FET má obecně tři elektrody, které jsou označovány S (source)–emitor, D (drain)–kolektor a G (gate)–hradlo. Podle toho, která elektroda se používá společně pro vstup a výstup, mluvíme o zapojení se společným emitorem, kolektorem a hradlem. Nejobvyklejším je zapojení se společným emitorem.

Pro řídicí techniku je v současnosti nejdůležitějším tranzistor typu IGFET s izolační vrstvou tvořenou vrstvou oxidu označovaný jako MOSFET (Metal Oxide Semiconductor FET) a pro číslicové obvody se používá obohacovací typ, proto se v dalším textu zaměříme na něj.

MOSFET s obohacováním kanálu

Struktura tranzistoru MOSFET s obohacováním kanálu P a jeho schematické znázornění je na obrázku 7.7.



Obrázek 7.7: Struktura tranzistoru MOS s obohacováním kanálu P

Princip činnosti spočívá ve vytváření a rozšiřování vodivého kanálu mezi emitorem S a kolektorem D vlivem příčného elektrického pole vyvolaného přivedením napětí na hradlo G. Tento typ MOSFETu, ať už s kanálem P nebo N, díky vysokému výstupnímu odporu, malé spotřebě, značné odolnosti proti rušivým signálům a výborným spínacím vlastnostem, hraje primární úlohu v technice číslicových integrovaných obvodů.

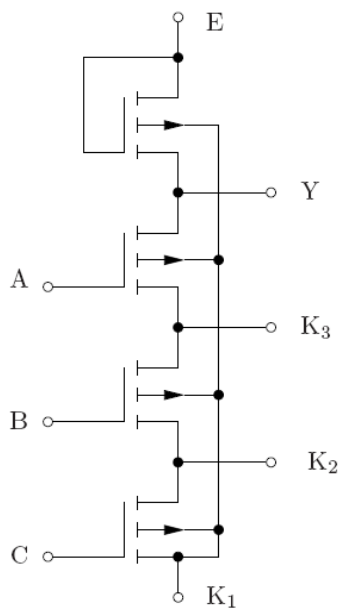
Činnost obohacovacího typu MOSFETu s kanálem N je analogická s tím, že polarita proudu a napětí budou opačné (kladné) a šipka ve schematické značce bude mít opačný směr.

Technologie PMOS a NMOS

U obvodu PMOS (Positive Metal Oxid Semiconductor) je základním prvkem unipolární tranzistor MOS s kanálem typu P. Na obrázku 7.8 je univerzální logický člen, provedený technikou MOS s kanálem P. Spojíme-li svorku K1 se zemí, jsou tři tranzistory zapojeny v sérii, takže na výstupu Y bude hodnota logická 0 jen tehdy, jestliže všechny tři tranzistory budou vybuzeny, tj. vznikl logický člen NAND.

Spojíme-li svorku K2 s Y a svorky K1 a K3 se zemí, zapojíme tři tranzistory paralelně. Na výstupu Y bude logická hodnota 0, jestliže bude vybuzen alespoň jeden ze tří tranzistorů, tj. vznikl logický člen NOR.

Díky tomu, že jsou tranzistory řízeny elektrickým polem a nikoliv elektrickým proudem jako u technologie TTL, jsou u nich značně redukovány nároky na spotřebu elektrické energie. Avšak vzhledem k nízkým rychlostem spínání a špatné slučitelnosti s TTL obvody (Napájecí napětí jsou záporná -10 V až -30 V a pracuje se tedy se zápornou logikou) se tato technologie téměř nepoužívá. její použití je typické jen u první generace mikroprocesorů a jejich pamětí.



Obrázek 7.8: Univerzální logický člen PMOS

Obvody NMOS (Negative Metal Oxid Semiconductor) jsou analogii obvodu PMOS, avšak jejich základním prvkem je unipolární tranzistor MOS s kanálem typu N, který je díky pohyblivějším nosičům náboje v principu asi třikrát rychlejší než tranzistor MOS s kanálem typu P.

Zvětšování integrace a s tím spojeno zmenšování rozměrů, parazitních kapacit a vzdáleností velmi brzy vedlo ke zvyšování rychlosti obvodu a to mnohonásobně ve srovnání s existujícími obvody PMOS. Uvážíme-li navíc snadnou slučitelnost s obvody TTL a jediné napájecí napětí ($+5\text{ V}$), je jasné, proč je technologie NMOS dnes základní a proč je výchozí i pro mnohé další výrobní postupy. Tato technologie byla použita pro výrobu mikroprocesoru 2. a 3. generace a pro výrobu velkokapacitních RWM a ROM.

Technologie HMOS

Technologie HMOS je založena na skutečnosti, že součin zpoždění a ztrátového výkonu (který obecně charakterizuje integrovaný obvod) je přibližně úměrný třetí mocnině rozměru základní struktury. To znamená, že při zachování ztrátového výkonu lze zmenšením struktury o 50% dosáhnout osminásobného zrychlení činnosti nebo při stejné rychlosti se může osmkrát

zmenšit energeticky rozptýl. Typické zpoždění členu je pak 1 ns.

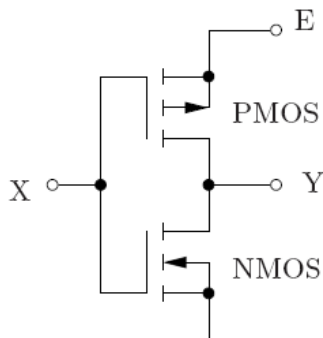
Při zvyšování rychlosti, má však zmenšování rozměrů hradla i vedlejší nepříznivé efekty, jako zvyšování intenzity elektrického pole. Při stejném napájecím napětí pronikání elektronu do řídicí elektrody, podpovrchové průrazy atd., které snižují spolehlivost výrobku.

Některé z těchto potíží by bylo možné potlačit snížením napájecího napětí ze standardních 5 V na asi 3 V. To je však nežádoucí, a tak se u zdokonalených technologií HMOSII a HMOSIII problémy řeší tím, že se některé parametry neupravují faktorem S , ale faktorem $a.S$, získaným náročnými optimalizačními výpočty. U technologie HMOSII se tak zpoždění logického členu redukuje na 0,4 ns a u HMOSIII až na 0,2 ns.

Technologie HMOS i její vylepšené varianty se uplatňují při výrobě monolitických mikroprocesorů s desítkami tisíc až půl milionem tranzistorů na čipu (mikroprocesory 3. generace) a také pro výrobu moderních pamětí RWM-RAM.

Technologie CMOS

CMOS (Complementary MOS) je technologie, která vychází z použití obou tranzistorů NMOS i PMOS. Oba druhy tranzistoru MOS jsou obohacovacího typu a střídají se ve funkci řízeného zatěžovacího rezistoru MOS a spínacího tranzistoru.

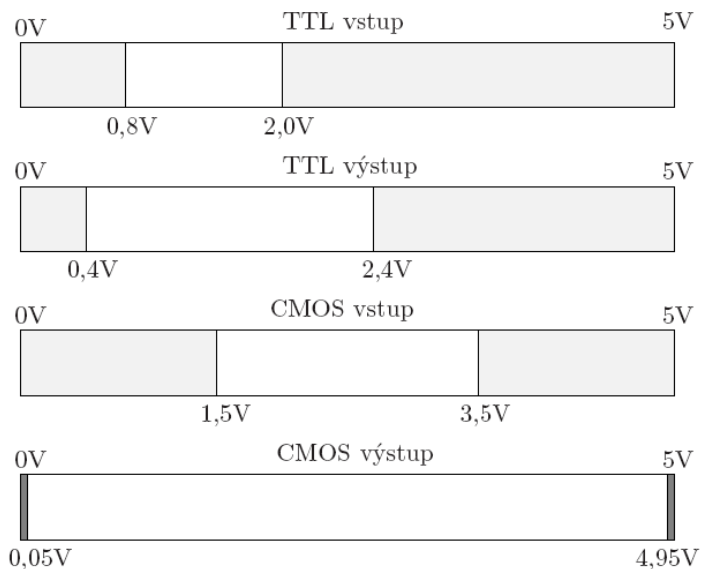


Obrázek 7.9: Zapojení invertoru technologie CMOS

Funkce invertoru je patrná z obrázku 7.9. Při signálu logické 1 na vstupu X (kladná logika) je vodivý (zapnutý) tranzistor NMOS a tranzistor PMOS je vypnutý. Na výstupu Y je logická 0. Při úrovni logické 0 na vstupu X je tranzistor PMOS zapnutý (vodivý) a tranzistor NMOS je vypnutý. Na výstupu Y je úroveň logické 1.

Tedy tranzistory fungují jako spínače, které přepínají výstup buď na napájecí napětí E nebo k zemi. Takže pokud nezatěžujeme výstup takového obvodu, je jeho spotřeba v klidovém stavu prakticky nulová. Výstup obvodu má relativně malou impedanci v obou stavech (řádově stovky ohmů). Obvody CMOS mohou mít napájecí napětí v rozmezí 3 až 16 V. Jednotlivé napěťové úrovně jsou zachyceny na obrázku 7.10.

Díky extrémně nízkému příkonu, dobré šumové imunitě (45% napájecího napětí), slučitelnosti s obvody TTL, širokému rozmezí napájecího napětí, velkému rozsahu pracovních teplot a velkému logickému zisku, došlo k obrovskému rozšíření obvodu CMOS a k jejich převládnutí na trhu. Tato technologie je dosud nejpoužívanější technologií ze všech.



Obrázek 7.10: Napěťové úrovně CMOS ve srovnání s TTL

Srovnání probraných technologií spolu s technologií CMOS je uvedeno v tabulce 3.

pozice	rychlost	hustota integrace	příkon
1	ECL(velká)	I ² L (vysoká)	I ² L (nízký)
2	TTL	HMOS	CMOS
3	HMOS	NMOS	NMOS
4	NMOS	CMOS	HMOS
5	I ² L	TTL	TTL
6	CMOS (nízká)	ECL (nízká)	ECL (vysoký)

Tabulka 3: Porovnání vlastností bipolárních a unipolárních technologií

Tyto obvody se používají pro výrobu monolitických mikroprocesorů, pamětí a dalších prvků obvodu LSI, VLSI a ULSI, ale i pro výrobu logických členů obvodů SSI a MSI.

Technologie SOI a SOS

SOS (Silicon On Sapphire) je označení celé skupiny technologií, které vycházejí z toho, že základem čipu je destička syntetického safíru. Hlavní předností safírové podložky je zmenšení parazitních kapacit až třikrát, a tím potlačení parazitních vazeb i dosažení vysokých spínacích rychlostí srovnatelných s parametry bipolárních obvodů a hustotou až čtyřikrát větší než u obvykle technologie CMOS.

I když mikroprocesory a paměti RWM vyvinuté např. u firmy Hewlett Packard technologií SOS mají vynikající vlastnosti, brání jejich rozšíření vysoká cena safru. Ta je totiž asi pětkrát vyšší než cena křemíku, a proto se začala vyvíjet nová technologie SOI (Silicon On Insulator). U této technologie je izolantem křemíková destička pokryta oxidem křemičitým (SiO_2), na němž se vytvoří ostrůvky polovodičových struktur, které jsou od sebe dokonale izolované. Protože SiO_2 je dobrý izolant a jeho výroba je poměrně jednoduchá (zahříváním křemíku v oxidační atmosféře), je tato technologie také nepoměrně levnější než SOS.

Technologie FAMOS a FLOTOX

Technika plovoucího hradla (gate) s lavinovou injekcí nosičů - FAMOS (Floating–gate Avalanche–injection MOS), která vznikla u firmy Intel, je nejrozšířenější technologií pro výrobu elektricky programovatelných pamětí EPROM.

Základem paměťové buňky je tranzistor MOS s řídicí elektrodou (hradlem z polykristalického křemíku), která není k ničemu připojena, neboť je ze všech stran izolovaná oxidem křemičitým.

Nejčastěji se při mazání informace z paměti působí na čip ultrafialovým ionizujícím zářením o vlnové délce kolem 253 μm . Elektrony v ozářené řídicí elektrodě absorbují fotony záření a získávají dostatečnou energii k překonání bariéry v opačném směru.. Potenciály hradla a emitoru se tak vyrovnávají, zruší (vymaže) se obsah paměti FAMOS a tranzistor FAMOS se uvede do původního vypnutého (nevodivého) stavu. Tím je paměť opět připravena k dalšímu programování.

Při každém mazání informace ozářením dochází k mírné degradaci parametru paměťové buňky FAMOS. Pokud však je mazání šetrné (např. studeným ultrafialovým zářením), nevybočí parametry paměti EPROM z tolerancí ani po několika desítkách cyklu mazání–programování.

Paměťová polovodičová struktura FLOTOX (FLOating–gate Tunnel OXidecell), která je modifikací technologie FAMOS, je používána pro tvorbu paměťových buněk mikroelektronických vymazatelných a programovatelných pevných pamětí EEPROM (Electrically Erasable and Programmable ROM).

Při dalším rozvoji této technologie se uplatňují stejné myšlenky zjemňování struktury čipu, jako u přechodu od klasické technologie NMOS k technologii HMOS. Výsledkem je technologie HMOS–E pro výrobu pamětí EPROM a EEPROM firmy Intel.

Technologie CCD

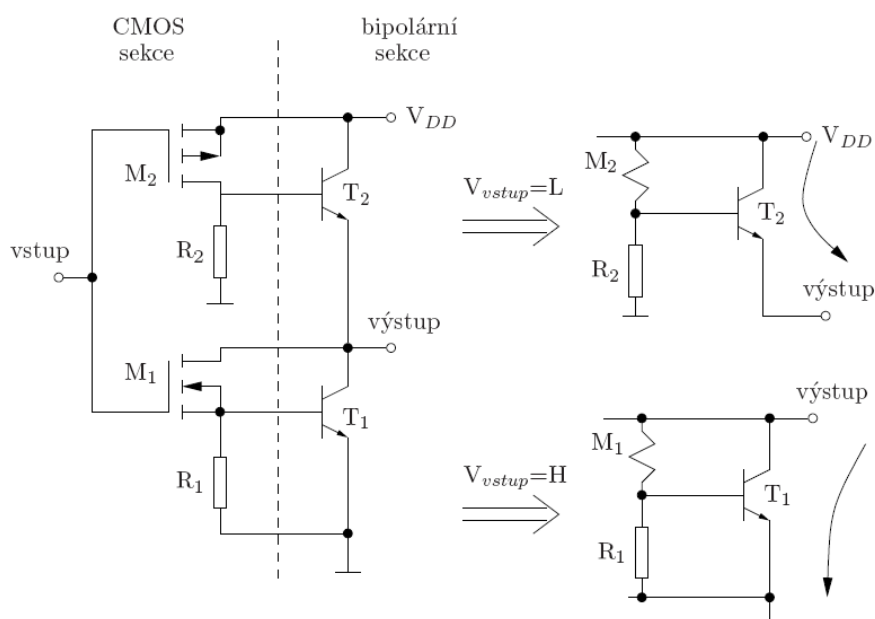
Pro součástky vyrobené technologií CCD (Charge Coupled Devices) není typická zesilovací činnost základních obvodových členů, ale přenos náboje na parazitních kapacitách soustavou elektrod vytvořených na strukturách MOS.

Na tomto principu se vytvářejí posuvné registry, ale sekvenční paměti z nich vyrobené nejsou energeticky nezávislé, proto se v mikropočítačové technice neuplatňují. Součástky CCD mají rozsáhlejší použití v analogové technice jako paměti ve snímačích obrazu pro televizi a v monolitických plochých displejích, kde jsou zviditelněny jejich výhody, jako je malá spotřeba energie a malé rozměry.

8 Technologie BiCMOS

U technologie BiCMOS se kombinuje vysoká hustota integrace technologie CMOS s dobrými vlastnostmi v řízení proudu bipolárních technologií. Základní zapojení invertoru technologie BiCMOS je na obrázku 8.11.

Pokud je na vstupu úroveň logické 1, NMOS tranzistor M_1 je vodivý a způsobí tak otevření tranzistoru T_1 , zatímco tranzistory M_2 a T_2 jsou uzavřeny a na výstupu se tak objeví úroveň logické 0. Na druhé straně úroveň logické 0 na vstupu způsobí otevření tranzistoru M_2 a T_2 , zatímco tranzistory M_1 a T_1 budou uzavřeny a na výstupu bude úroveň logické 1. Tedy v ustáleném stavu nejsou nikdy otevřeny oba tranzistory T_1 a T_2 současně, čímž se udržuje nízký příkon obvodu.



Obrázek 8.11: BiCMOS invertor

Výsledkem je pak rychlejší struktura než CMOS, obzvláště Při funkci za velkých kapacitních zátěží tam, kde jsou tyto zátěže nepředvídatelné. Příkladem toho jsou takové struktury jako paměti a hradlová pole, ve kterých BiCMOS umožňuje zvýšení rychlosti, což je velmi důležité. Dalo by se argumentovat, že stejných rychlostí lze dosáhnout i technologií CMOS, avšak toto vyžaduje pečlivější optimalizace a typicky dojde k větší spotřebě proudu, navíc je tento postup výroby mnohem dražší a výsledná struktura hradla je mnohem složitější. Výkonový zisk technologie BiCMOS je totiž dosažen spínáním bipolárního výstupního členu, což u technologie CMOS chybí. Jedná se poměrně o novou technologii, u které se jistě dočkáme dalších zlepšení a zrychlení. V této době je používána nejvíce firmou Intel pro výrobu mikroprocesoru řady Pentium.

9 Integrované logické systémy

Rozvoj číslicové mikroelektroniky si lze jen těžko představit bez aplikace integrovaných obvodů. Jsou to obvody, které na destičce velikosti několika čtverečních milimetrů soustřeďují řadu elektronických prvků, tj. tranzistorů, diod, odporů. Podle technologie výroby rozlišujeme integrované obvody na hybridní a monolitické.

Hybridní integrované obvody obsahují pasivní a aktivní součástky, které se připevní na jednu nosnou destičku, vzájemně propojí a zapouzdří. Přitom aktivními součástkami nemusí být jednotlivé tranzistory, ale i monolitické integrované obvody (tzv. čipy). Příkladem takových obvodů může být operační zesilovač, obsahující kromě čipu monolitického operačního zesilovače, také kompenzační kondenzátory a řadu vstupních a zpětnovazebních odporů. Obecně je možno říci, že se touto technologií vyrábějí obvody, které ke své funkci potřebují stabilní a přesné odpory. Takovéto odporové sítě se monolitickou technologií vyrábějí obtížně a je proto lépe je vyrobit zvlášť, například technologií napařených tenkých vrstev odporového materiálu a následnou laserovou kalibrací.

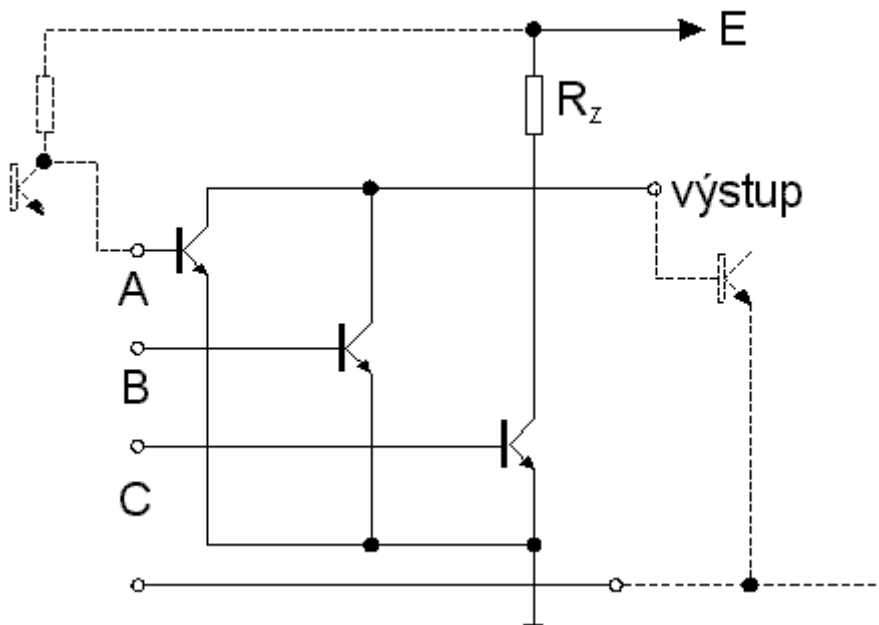
V monolitických integrovaných obvodech jsou všechny potřebné prvky soustředěny na jediné destičce polovodiče, nejběžněji křemíku. Technologickým postupem jsou na této destičce vytvořeny jak aktivní, tak pasivní prvky i vzájemné propoje součástek. Pouzdření takového obvodu probíhá tak, že se pouze propojí kontaktovací plošky na destičce s vývody pouzdra. O různých technologiích výroby integrovaných obvodů se může čtenář dočíst v běžně dostupné literatuře.

Naprostá většina elektronických číslicových systémů je vyráběna monolitickou technologií. Hybridní obvody se používají většinou jen u převodníků číslo-analog a analog-číslo. V tomto odstavci se soustředíme na monolitické integrované logické systémy a popíšeme si jejich

přednosti a nedostatky. Podle stupně integrace rozlišujeme malou integraci (SSI, small scale integration); sestává se z méně než cca 15 logických obvodů v jednom čipu. Jestliže je na jednom čipu více než 15 a méně než 100 logických obvodů, mluvíme o obvodu se středním stupněm integrace (MSI, medium scale integration). Obvody velké integrace (LSI, large scale integration) mají v jednom čipu logických obvodů více než sto. Současné mikroprocesory a čipové sady osobních počítačů jsou obvody velmi velkého stupně integrace (ELSI, extremely large scale of integration); u mikroprocesoru i486 se jedná o cca 1,2 milionu aktivních polovodičových prvků na jednom čipu, u Pentia je to cca 3x více.

9.1 Systém DCTL

Přímo vázaná tranzistorová logika DCTL (Direct-Coupled-Transistor-Logic) je nejjednodušším typem logiky, který ve své skladbě používá tranzistorů. Základním hradlem těchto obvodů je hradlo NOR, které je znázorněno na obr. 9.12.

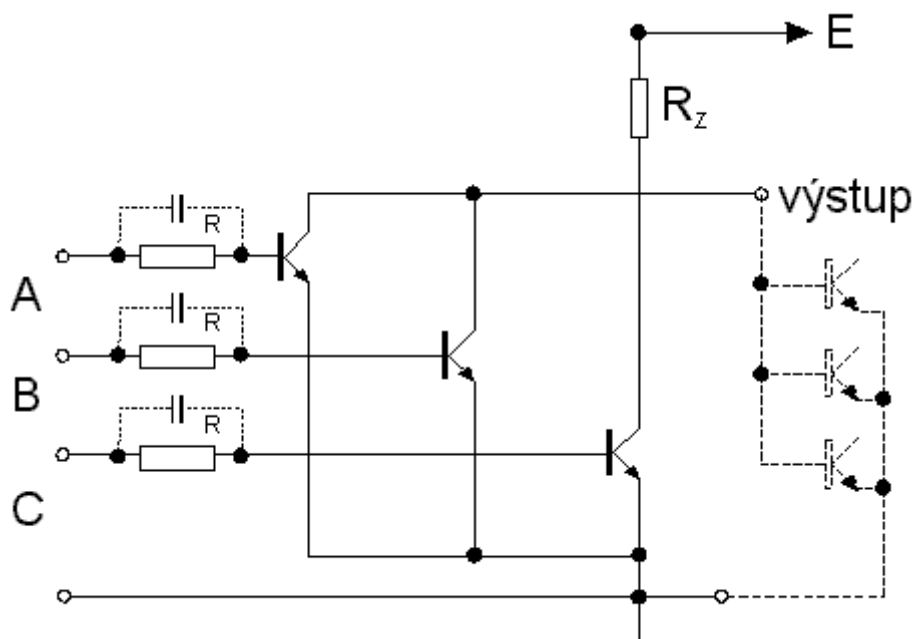


obr. 9.12

Obvod je tvořen několika tranzistory s propojenými a uzemněnými emitory a společným kolektorovým odporem. Je zřejmé, že stačí, aby jeden z tranzistorů byl vybuzen do saturace a již napětí na výstupu klesne na jeho saturační napětí, tj. na napětí řádu 0,1 V. Otevření eventuálních dalších tranzistorů nezpůsobí již podstatnou změnu výstupního napětí. Hradla jsou v tomto systému propojena přímo jak je také ukázáno na obr. 9.5. Proto napětí na výstupu tohoto hradla v nevybuzeném stavu zpravidla nepřekročí úroveň 1 V (je omezeno napětím na diodě báze-emitor následujícího hradla). Předpokladem pro správnou funkci systému těchto hradel je naprostá shoda charakteristik jednotlivých tranzistorů, jinak

tranzistor s nižším napětím báze-emitor spotřebuje většinu proudu plynoucího z kolektorového odporu předcházejícího hradla a tranzistory s vyšším napětím báze-emitor zůstanou nevybuzeny. Tím vznikají potíže propojování jednotlivých hradel mezi sebou, pokud není systém umístěn na jediném čipu. Tento systém proto nedosáhl širšího uplatnění v praxi; myšlenka se však uplatnila u systému I²L..

9.2 Systém RTL

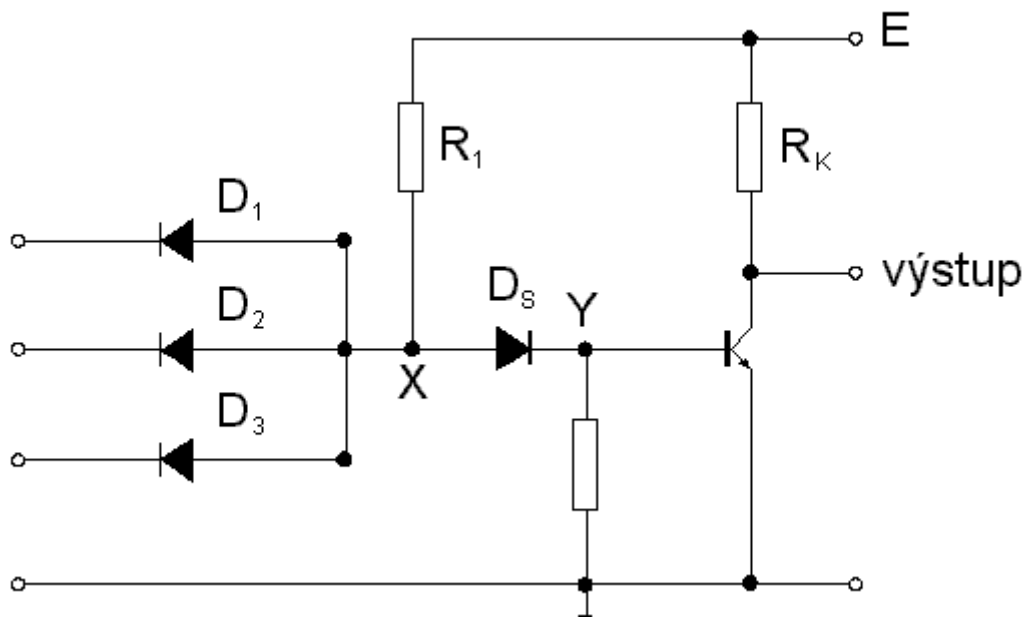


obr. 9.13

Aby se redukoval efekt nestejných charakteristik tranzistorů, byly vloženy odpory do bázevých přívodů každého tranzistoru. Tím vznikla tzv. odporově-tranzistorová logika RTL (Resistor-Transistor-Logic). Obvody této logiky se již po určitou dobu vyráběly v integrované formě, postupně však byly vytlačeny jinými systémy s lepšími parametry. Základním hradlem je zde opět NOR, jehož schéma je na obr. 9.13. Zařazením odporů do bází tranzistorů se rovněž zvýšila schopnost hradla budít více následujících logických obvodů. Proti přímo vázané logice se však snížila spínací rychlost obvodu, neboť parazitní kapacity se nyní musely nabíjet přes větší odpor. Proto se někdy přidávaly paralelně ke vstupním odporům tzv. urychlovací kondenzátory (na obr. 9.13 čárkovaně), které tvořily s parazitní vstupní kapacitou kapacitní dělič napětí.

10 Systémy DTL

Systém diodové tranzistorové logiky DTL (Diode-Transistor-Logic) je jedním z obvodů, které se pro speciální účely ještě vyrábějí. Základním hradlem tohoto systému je NAND a vzniklo v podstatě kombinací diodového obvodu AND s invertorem - obr. 7.7. Dioda D_S zajišťuje, že tranzistor zůstane uzavřen, pakliže alespoň jeden ze vstupů je uzemněn, tj. v bodě X je napětí rovné spádu na příslušné diodě a v bodě Y je napětí nulové. Jako D_S se obvykle užívají dvě diody v sérii, čímž se zvětší šumová imunita hradla. Odporový dělič v bázi invertoru je volen tak, aby v případě logických jedniček na vstupech byl tranzistor saturován. Vstupní odpor hradla je velký, je-li vstup na úrovni logické 1 a rovná se prakticky R_1 , je-li vstup na úrovni logické 0. Výstupní odpor ve stavu logické 1 je roven kolektorovému odporu a ve stavu logické nuly je velmi malý. Hradla se tedy dají snadno řadit za sebe, typické zpoždění signálu na jedno hradlo je 25 ns. Výroba v monolitické formě není obtížná. Koncepte systému skýtá možnost zařadit místo diody D_S Zenerovu diodu a tím získat systém s extrémně vysokou šumovou imunitou.

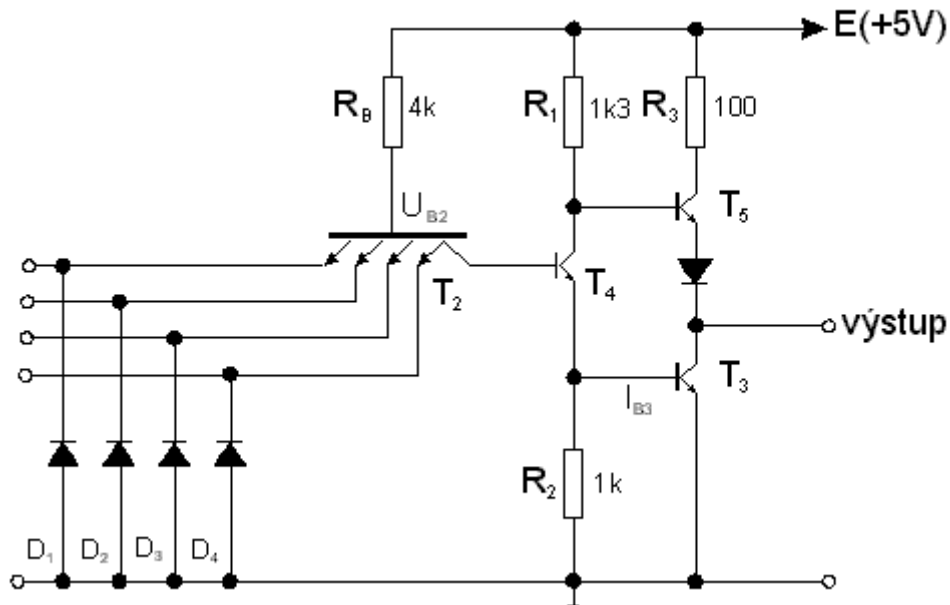


obr. 7.7

7.2.4.4. Systémy TTL

Největšího rozšíření dosáhly ve své době integrované logické systémy TTL (Transistor-Transistor-Logic). V dnešní době jsou však nahrazovány systémy STTL, MOS a CMOS, které mají nižší spotřebu a srovnatelnou rychlost. Zachovala se však definice logických úrovní; pokud má moderní logický systém stejně definované napěťové úrovně logické nuly a jedničky, nazývá se kompatibilní s TTL na logických úrovních (logic level TTL compatible).

V těchto obvodech jsou vstupní diody nahrazeny víceemitorovým tranzistorem. Víceemitorový tranzistor se totiž relativně snadno vyrábí standardní planární technologií a jeho výroba je ekonomičtější než výroba několika izolovaných diod. Navíc při běžném provozu jsou hradla TTL rychlejší než DTL zhruba 2x; typická hodnota zpoždění se pohybuje okolo 12 ns. Základním hradlem je opět NAND, které je nakresleno na obr. 7.8.



obr 7.8

Aby byla umožněna vyšší zatížitelnost hradla, je na konci hradla zabudován koncový stupeň. Z důvodů omezení záporných napěťových špiček na vstupech hradla byly vstupy opatřeny ochrannými diodami, které nedovolí vyšší záporné napětí na vstupech než cca -0,6V. Funkce obvodu je následující:

a. Všechny vstupy jsou ve stavu logické jedničky.

V tomto případě tranzistor T_2 pracuje v inverzním režimu. Tranzistor T_4 je saturován a tranzistor T_3 je vybuzen. Napětí na kolektoru tranzistoru T_4 je přibližně $U_D + U_{k_{sat}}$. Aby byl tranzistor T_5 uzavřen (má na bázi napětí U_{k4}) je do obvodu vložena dioda D , která posunuje napětí emitoru T_5 na napětí $U_{k_{sat}} + U_D$. Tranzistor T_3 je tedy otevřen a T_5 uzavřen. Na výstupu je napětí $U_{k_{sat}}$, což je napětí logické 0.

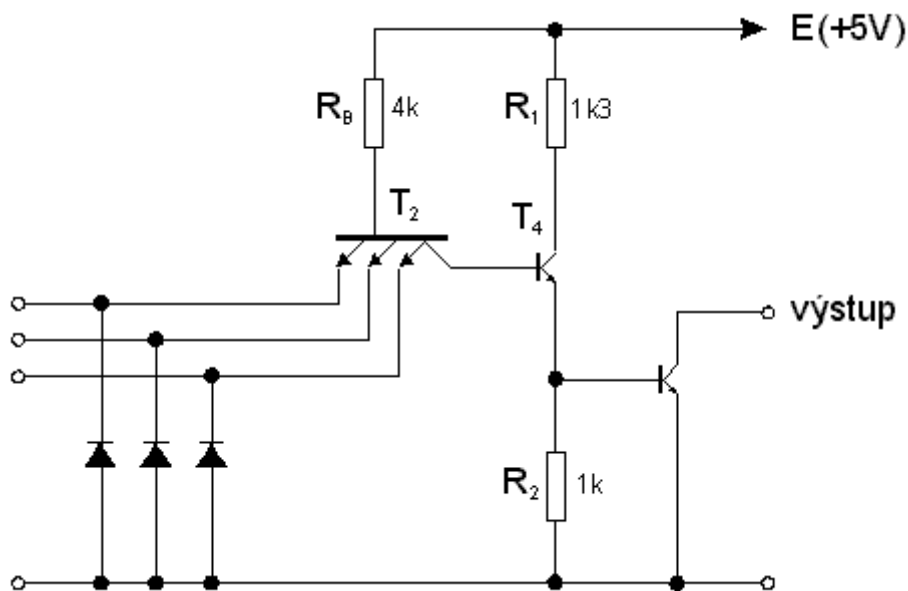
b. Jeden nebo více vstupů jsou ve stavu logické nuly.

Pak je tranzistor T_4 a rovněž T_3 uzavřen a odpor R_1 zaručuje nasycení tranzistoru T_5 . Ten slouží nyní jako emitorový sledovač pro výstupní napětí, takže může do zátěže dodat podstatně větší proud než tomu bylo u předchozího zapojení. Napětí na výstupu je menší než E o spád na diodě báze-emitor tranzistoru T_5 a na diodě D , je tedy $U_1 \approx E - 2 U_D$. Je užitečné si všimnout, že napájecí napětí E nemůžeme libovolně zmenšovat. Je-li totiž T_3 otevřen, je

napětí na bázi T_2 napětí $U_{B2} \approx 3U_D$. Aby T_2 pracoval v inverzním režimu, je třeba, aby napětí na emitoru T_2 bylo větší než toto napětí. Vzhledem k tomu, že emitorové napětí T_2 je vlastně výstupní napětí předcházejícího hradla stejného typu (ve stavu logické jedničky), musí být $U_1 > U_{B2}$ neboli $E > 5U_D$. Minimální napětí logické jedničky musí tedy být $U_1 > 3U_D$.

Na TTL hradlo v uvedeném zapojení může být zapojeno až 15 dalších hradel stejného typu. Typické zpoždění při průchodu hradla je ≈ 10 ns a výkonová ztráta ≈ 15 mW.

Dvojčinný stupeň neumožňuje propojení několika výstupů popsaných hradel NAND paralelně. K tomu je zapotřebí dalšího hradla typu OR. Toto hradlo však můžeme vypustit, jestliže použijeme hradel s tzv. otevřeným kolektorem. Principiální zapojení hradla NAND s otevřeným kolektorem je na obr. 7.9.

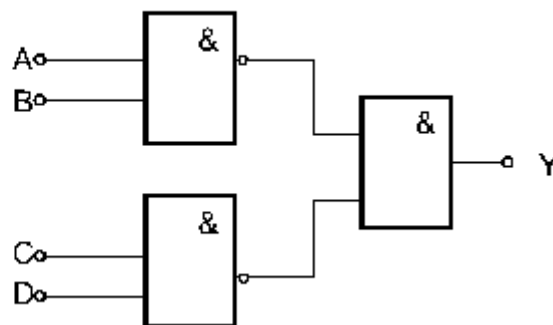
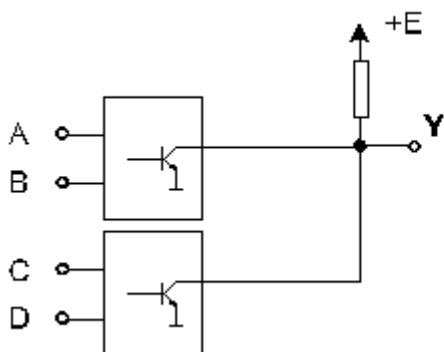


obr. 7.9

Do výstupního obvodu je nutné zapojit vnější odpor, na který však můžeme připojit další hradlo s otevřeným kolektorem.

Spojením několika výstupů s otevřeným kolektorem přes vnější odpor vznikne funkce "montážního AND". Protože však většinou spojujeme negované výstupy hradel (funkce NAND) vytvoří se (použitím transformace pomocí de Morganova teorému) funkce "montážního OR" (wired OR). Příklad paralelního zapojení dvou hradel je na obr. 7.10. Ekvivalentní schema zapojení je na obr. 7.11. a logická funkce je dána následujícím Booleovským výrazem:

$$Y = \overline{A\overline{B}} \cdot \overline{B\overline{D}} = \overline{AB + BD}$$



obr. 7.10 a 7.11

7.2.4.5. Systémy MTL (I^2L)

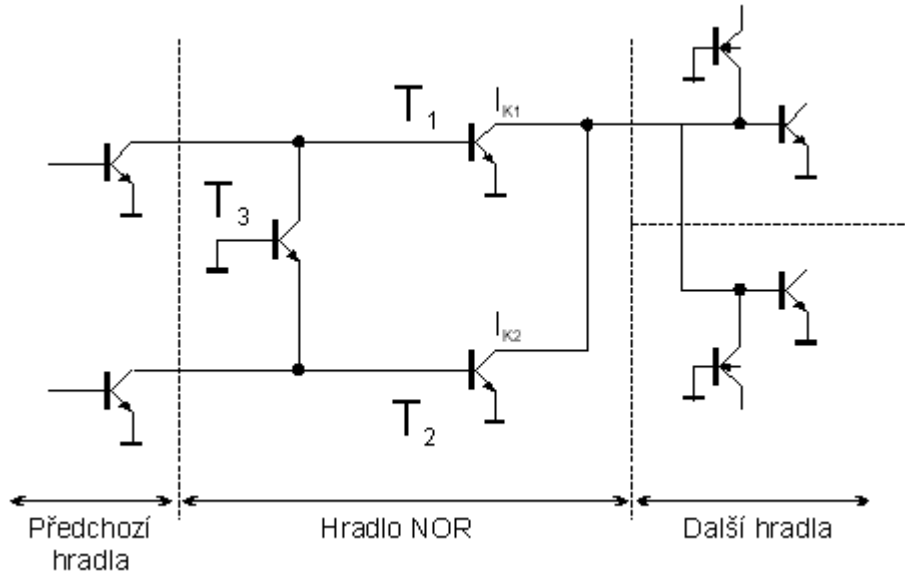
Logické systémy, které byly dosud popsány, jsou vyráběny s různým počtem vstupů a na jednom čipu bývá umístěno více hradel. Tak například obvod 7400 je čtveřice dvojevstupových hradel NAND systému TTL. Abychom z takovýchto logických členů vytvořili požadovanou logickou funkci, je třeba vybrat z vyráběných typů a propojit na destičce s tištěnými spoji. Je-li logická funkce složitá, bude třeba řady logických členů a celý systém bude mít následující zjevné nevýhody:

1. Relativně vysoká cena potřebných logických členů,
2. relativně vysoká cena návrhu, provedení, osazení a oživení plošného spoje,
3. parazitní kapacity a indukčnosti spojů mohou působit problémy při zvyšování rychlosti systému,
4. je-li systém složitý, většinou není možné využít všechny vstupy pouzder, aniž bychom neúměrně zkomplikovali propojení pouzder.

To znamená, že řada funkcí zůstane nevyužita.

Abychom tyto nevýhody obešli, musíme přejít k vysokému stupni integrace logických členů na jediném čipu a pokud možno zjednodušit obvody jediného hradla. To vše ovšem při zachování vysoké rychlosti hradla a pokud možno minimálního příkonu. Velice slibným systémem je tzv. integrovaná injekční logika (I^2L) zvaná též logika se sdruženým tranzistorem MTL (Merged-Transistor-Logic); tento systém, jehož základní dvojevstupové hradlo je na obr. 7.12 spolu s napájecími a zatěžovacími obvody, nepoužívá v podstatě pasivní prvky - odpory. Vhodným návrhem se navíc dosáhlo toho, že ani mezi jednotlivými tranzistory ani mezi hradly není třeba při výrobě difundovat izolační příkopy, což podstatně zjednodušilo technologii výroby. Součin příkon \times zpoždění dosáhl řádově desetin pJ (10^{-12} J), což je zhruba

o 2 - 3 řády méně než obvody TTL. Základním hradlem tohoto systému je NOR a lze rovněž snadno realizovat inverzi, tj. operaci NOT. Dvojvstupové hradlo se skládá v podstatě ze tří tranzistorů, dvou struktury NPN (T_1 a T_2 na obr. 7.17) a jednoho PNP se dvěma kolektory (T_3 na obr. 7.12). Báze T_3 a emitory T_1 a T_2 tvoří společná základní destička z polovodiče typu N.



obr. 7.12

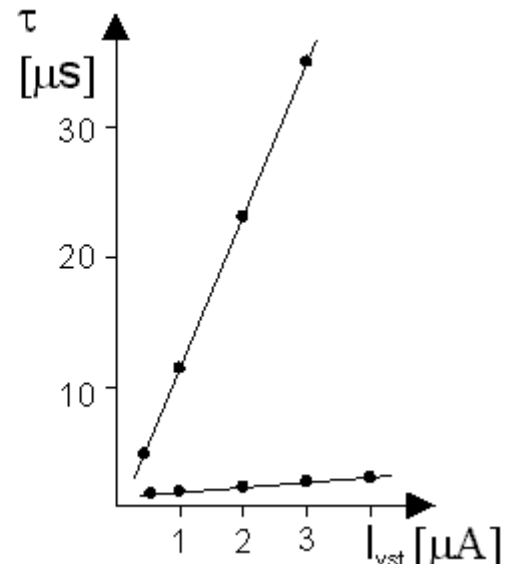
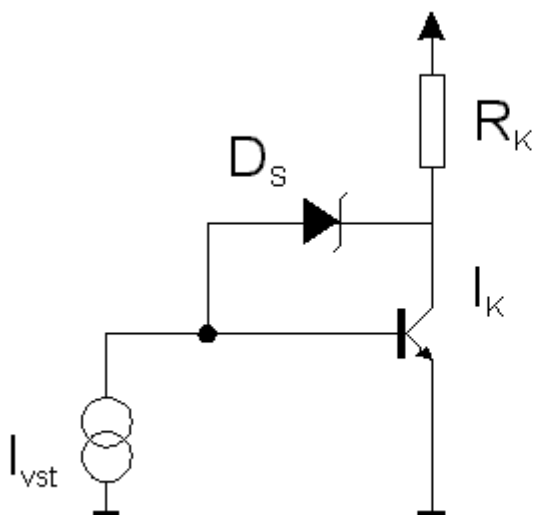
Kolektorové oblasti T_3 jsou sdruženy s bázevými oblastmi T_1 a T_2 tak, že např. horní kolektor T_3 a báze T_1 tvoří jednu difundovanou oblast P v základní destičce polovodiče typu N. Emitor T_3 tvoří další difundovanou oblast P, geometricky uspořádanou tak, aby proud zaváděný do emitoru T_3 se dělil rovnoměrně do bází T_1 a T_2 . Tranzistor T_3 tak tvoří injektor, který postačí zásobovat báze T_1 a T_2 minoritními nosiči náboje v takové míře, že oba tranzistory jsou v saturaci. Proud do emitoru T_3 se získá jednoduše tak, že se všechny emitory na společném čipu propojí a připojí se přes jediný odpor ke zdroji kladného napájecího napětí obvodu (tento odpor může být realizován rovněž na témže čipu). Funkce obvodu je následující: Jsou-li oba budící tranzistory předchozích hradel uzavřeny, injektor T_3 saturuje oba tranzistory T_1 a T_2 a na jejich kolektorech bude saturační napětí U_{sat} . Je-li jeden z budících tranzistorů (např. horní) otevřen, protéká jím proud injektoru a příslušný transistor (T_1) zůstane uzavřen. Napětí na jeho kolektoru však zůstane rovné U_{sat} , neboť T_2 je ještě otevřen. Jsou-li pak oba budící tranzistory otevřeny, tekou jimi proudy injektoru a oba T_1 i T_2 se uzavřou. Na jejich kolektorech vystoupí napětí na hodnotu odpovídající spádu napětí na diodách BE NPN tranzistorů následujícího hradla. Obvod tedy plní logickou funkci NOR, přičemž rozdíl mezi logickou jedničkou a nulou je řádově 0.5 - 0.6 V, tj. $U_D - U_{sat}$. Vzhledem k této nízké hodnotě se logické úrovně před výstupem z čipu transformují na úrovně TTL, aby byla zvýšena

odolnost proti rušení. Uvnitř čipu je šumová imunita velmi dobrá. Jednoduchost systémů MTL- I^2L umožňuje hustotu až 400 hradel/ mm^2 , což odpovídá cca 1000-3000 hradel na jednom čipu.

Až dosud vybírané systémy obsahovaly tranzistor nebo tranzistory, které se dostatečným bázovým proudem uváděly do saturace a dosáhlo se malého napětí mezi kolektorem a emitorem. Tento způsob však není vhodný chceme-li dále zvyšovat rychlost hradel. U nasyceného tranzistoru vždy bude trvat určitou dobu, abychom odstranili přebytečné minoritní nosiče z báze a uvedli tranzistor do normálního režimu. Pro další snížení zpoždění v hradlech je třeba buď (1) zabezpečit, aby tranzistory pracovaly v právě saturovaném režimu, kdy je nahromaděný náboj minoritních nosičů v bázi minimální, nebo (2) zabezpečit, aby tranzistory vůbec v saturaci nepracovaly.

7.2.4.6. Systémy Schottky - TTL (STTL)

Všimněme si nejprve první možnosti. Aby tranzistor nebyl uveden do hluboké saturace, je třeba zabezpečit, aby napětí báze-kolektor $U_{BC} \approx 0$ (u tranzistoru NPN). Je-li $U_{BC} \approx 0$, je tranzistor právě saturován. Této podmínky je možné dosáhnout pomocí tzv. Schottkyho diod. Schottkyho diody jsou tvořeny přechodem typu kov-polovodič, a mají voltampérovou charakteristiku velice podobnou diodě s přechodem P-N. (Tím se liší od tzv. ohmických kontaktů kov-polovodič, jejichž vodivost nezáleží na polaritě).



obr. 7.13a a 7.13b

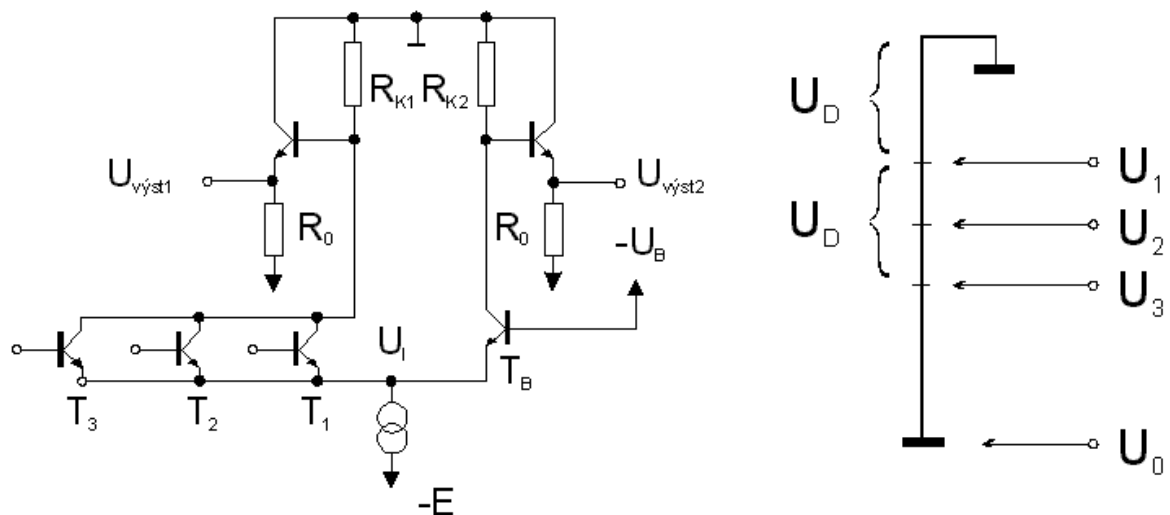
Základní rozdíl proti P-N diodě je však ten, že proud Schottkyho diodou je tvořen převážně majoritními nosiči náboje, tedy elektrony, zatímco u P-N diody jsou rozhodující minoritní nosiče. Proto Schottkyho dioda má velmi malou dobu zotavení. Další výhodou Schottkyho diod

tkví v tom, že napětí na nich v propustném směru je zhruba 0,3 V, což je cca polovina než u křemíkové P-N diody. Při použití Schottkyho diod jako desaturačních diod invertoru získáme strukturu na obr. 7.13.a. Přechod báze-kolektor tranzistoru je sice možné částečně pólovat v propustném směru, avšak tato skutečnost nemá podstatný vliv na dobu zotavení tranzistoru ve srovnání s právě saturovaným stavem. Slabě kladně pólovaný přechod báze-kolektor způsobí však pokles napětí U_{CEsat} , které je podstatně nižší než U_D . Závislost doby zpoždění invertoru na vstupním proudu pro obvod bez saturace a s desaturační diodou je na obr. 7.13.b. Poznamenejme ještě, že existují rovněž zapojení umožňující provést desaturaci invertoru s použitím normálního tranzistoru. Tyto systémy jsou výhodné tam, kde není možné nebo ekonomické zavádět do technologie výroby další operaci (která je naopak nutná pro vytvoření Schottkyho diod).

7.2.4.7. Systémy ECL

Popsané systémy, zejména TTL a STTL jsou vhodné a používané pro řadu číslicových zařízení; jejich cena je relativně nízká a propojování na desce je prakticky bez problémů. Nicméně existují aplikace, kde základním požadavkem je rychlost obvodu bez ohledu na spotřebu, cenu a rozměry obvodu. Jako příklad je možno uvést centrální procesory velkých počítačů, kde na rychlosti závisí možnosti nákladných periférií. Počítač sám o sobě je značná investice, takže poněkud vyšší cena, spotřeba, event. rozměry obvodů v procesoru nehrají takovou úlohu, jako jeho rychlost. Proto byly vyvinuty logické obvody, kde prakticky vůbec nedochází k saturaci tranzistorů, čímž se zhruba o řád snížila doba průchodu hradlem (vzhledem k logice TTL). Dalšího snížení doby průchodu se dosáhlo snížením rozkmitu napětí mezi logickou nulou a jedničkou na řádově 0,8 V.

Základním hradlem tohoto systému je hradlo OR/NOR, které sestává prakticky z diferenciálního zesilovače, jehož výstupy jsou odděleny emitorovými sledovači. Na jeden ze vstupů diferenciálního zesilovače je převedeno referenční napětí $-U_B$, druhá větev je znásobena na počet odpovídající počtu vstupů hradla. Princip funkce vysvětlíme na obr.7.14. V emitorech tranzistorů diferenciálního zesilovače je na obr.7.14 znázorněn zdroj proudu, což většinou bývá prostý odpor velikosti řádově 1 k Ω . Napěťové úrovně jsou znázorněny na obr. 7.15,



obr. 7.14 a 7.15

kde U_D značí opět napětí na otevřeném přechodu báze-emitor použitých tranzistorů. Necht' na všech vstupech hradla (tj. na bázích T_1, T_2, T_3) je napětí U_o . Protože $U_o < U_B$, jsou tranzistory T_1, T_2, T_3 zavřeny a na výstupu NOR je napětí $-U_D$. To je tedy napětí logické jedničky $U_1 = -U_D$. Přived'me nyní alespoň na jeden vstup napětí U_1 (např. na bázi T_1). Tranzistor T_1 je blízek saturace, proto můžeme psát, že $U_{K1} \approx U_1$ a tedy $U_{výst} \approx U_1 - U_D$. To je tedy napětí logické nuly

$$U_o \approx U_1 - U_D = -2 U_D.$$

Vidíme, že oba emitorové sledovače nejen že oddělují výstupy hradla, ale rovněž stejnosměrně posouvají výstupní logické úrovně tak, aby byly kompatibilní se vstupními. Rozdíl mezi logickou nulou a jedničkou se tedy rovná U_D . Tento systém logických obvodů je rovněž příkladem na pozitivní logiku, kdy obě logické úrovně jsou záporné.

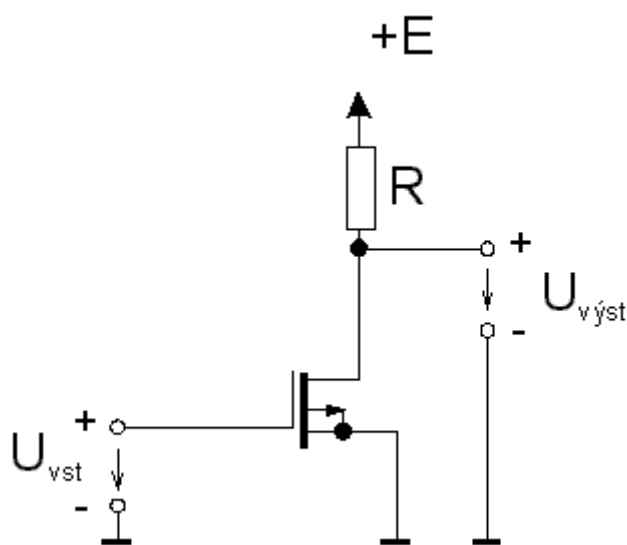
Obvody ECL vznikly v roce 1962 a již v době svého vzniku měly nominální dobu průchodu hradlem 8 ns. Současné obvody mají tento parametr okolo 1 ns a je nutné již pečlivě volit propojení jednotlivých obvodů, aby nedocházelo ke zbytečným zpožděním signálu při průchodu spoji. Navíc zde přistupuje problém přizpůsobení výstupního a vstupního odporu hradel charakteristické impedanci spojů, jinak odrazy na koncích vedení mohou zcela znehodnotit přenášenou informaci. Proto se propojení jednotlivých pouzder pro extrémně rychlé systémy navrhuje většinou na počítačích a realizuje se pomocí vícevrstvových (6 - 14 vrstev spojů) plošných spojů. Aby zpoždění mezi obvody bylo co nejmenší, volí se velká hustota součástek, což vede ke značně tenkým spojům (šířka propojovacích čar okolo 0,15 mm).

Největší zisk z rychlosti obvodů ECL dostaneme větší integrací těchto obvodů na jediném čipu, kde délka propojení jednotlivých hradel je v řádu setin mm. Např. 256 bitová ECL paměť má maximální dobu vybavení pouze 25 ns a používá se jako tzv. zápisníková paměť aritmeticko-logické jednotky velkých počítačů. Je možno říci, že obvody ECL jsou zatím nejrychlejší ze všech logických systémů, avšak jejich spotřeba i cena je relativně vysoká.

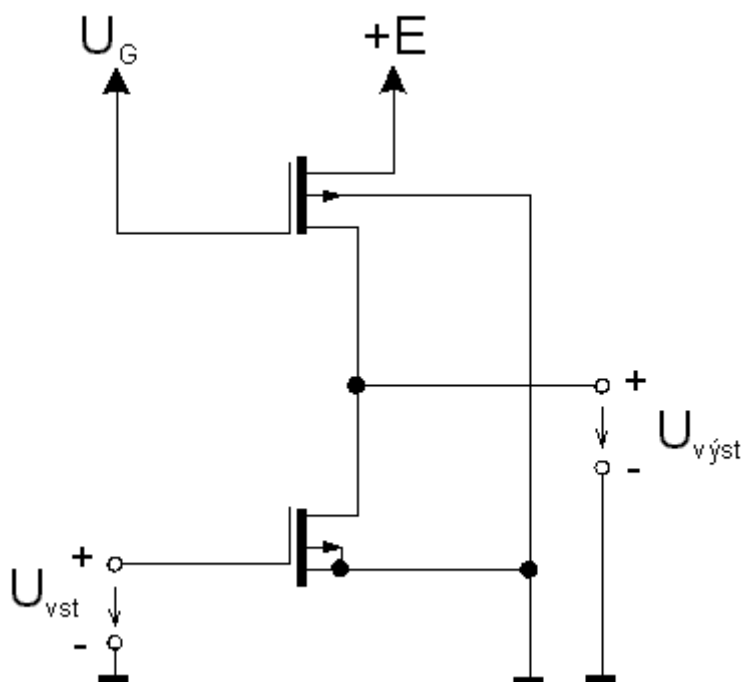
7.2.4.8. Systémy MOS/CMOS

Jednou z podmínek k opravdu masovému rozšíření mikroelektroniky je malá spotřeba zařízení, která umožňuje napájet přístroj z baterií. Možnost malé spotřeby otevřely logické systémy s tranzistory řízenými polem MOSFET a zejména systémy CMOS.

Základem systémů MOS je opět invertor, ovšem s tranzistorem řízeným elektrickým polem. Používají se tranzistory s indukovaným kanálem, které mají vhodnou polaritu tzv. prahového napětí. Prahové napětí U_p je napětí na řídicí elektrodě G (hradlu) tranzistoru, při kterém protéká tranzistorem určitý malý definovaný proud (např. 10 nA); tranzistor je při tom napájen definovaným napětím, např. 10 V. Je zřejmé, že v zájmu zjednodušení napájení zařízení je třeba, abychom tranzistor “zavřeli” napětím stejné polarity, jako je napětí zdroje. Tuto vlastnost mají právě MOS tranzistory s obohaceným kanálem. Invertor je možné realizovat s odporovou zátěží, jak je znázorněno na obr. 7.16.a, avšak z hlediska jednoduchosti technologie výroby je mnohem jednodušší realizovat zátěž pomocí dalšího tranzistoru MOS, jehož elektroda G je na pevném napětí U_G , které může být menší nebo rovno napětí zdroje E. Tato alternativa je na obr. 7.16.b.

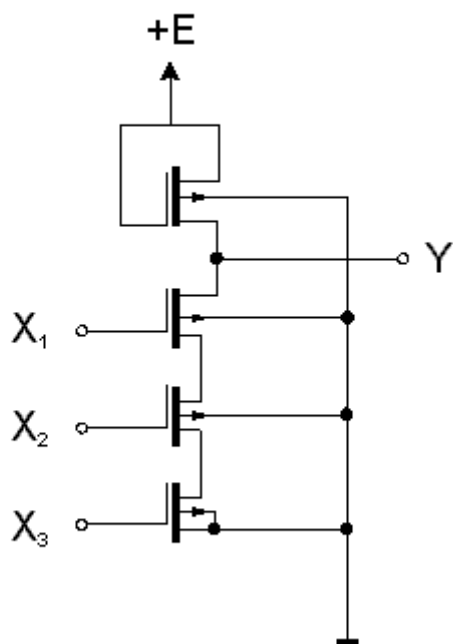


obr. 7.16a

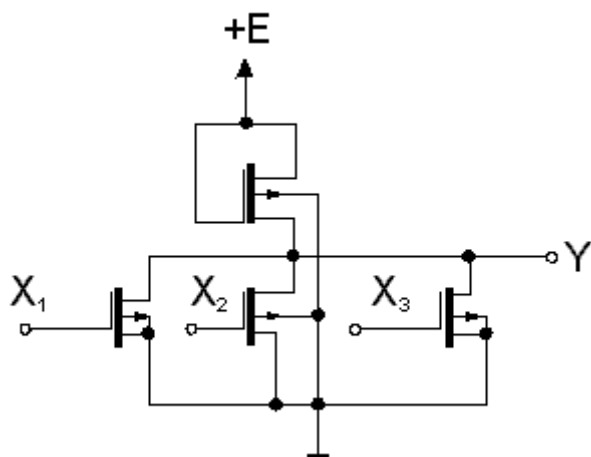


obr. 7.16b

Napájecí napětí bývá 12 V, což je dáno velikostí prahového napětí - okolo 4 V. Aby bylo možno snížit napájecí napětí, byla vypracována řada technologií, které snižují prahové napětí až na 1.5 - 2V (např. technologie MNOS, která pro izolaci G elektrody užívá kombinace vrstev nitridu a kysličníku křemíku, technologie "silicon gate MOS", kde se pro ovládací elektrodu používá polykrystalický křemík obohacený bórem, technologie RMOS s molybdenovou ovládací elektrodou apod.). Kombinací MOSFETových spínačů je možné konstruovat jak hradlo NAND, tak hradlo NOR, jak ukazuje obr. 7.17.a, b.



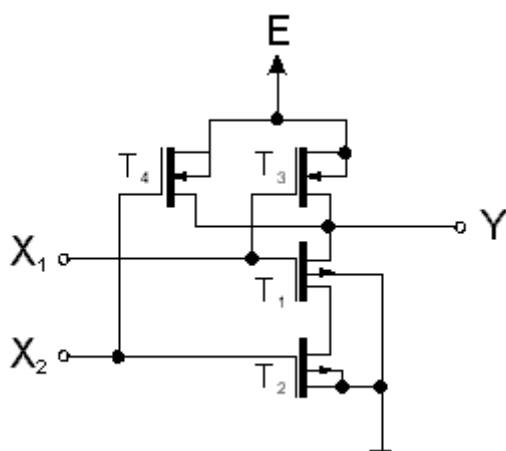
obr. 7.17a



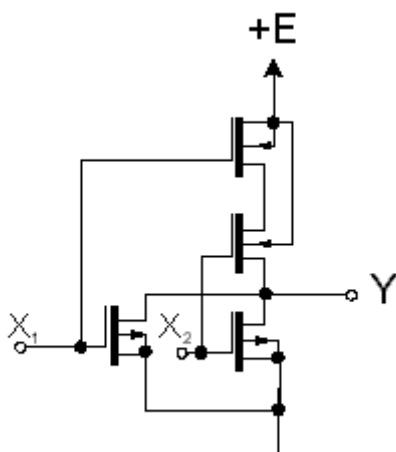
obr. 7.17b

Obvody s tranzistory MOS sice nevyžadují k ovládní prakticky žádný proud (kromě proudu nabíjejícího parazitní kapacity mezi řídicí elektrodou a kanálem), avšak v sepnutém stavu odebírají ze zdroje proud, který se bezúčelně trátí v zátěži. Významným krokem ke snížení spotřeby, umožněným zejména rozvojem technologie výroby integrovaných MOSových obvodů proto byla možnost realizace tranzistorů MOS s obohacenými kanály typu P a typu N na jediném čipu a tím i možnost realizace komplementárních MOSových obvodů (CMOS). Invertor CMOS se liší od invertoru typu MOS tím, že jeho zátěž je tvořena MOS tranzistorem opačné polaroty a řídicí elektrody obou tranzistorů jsou spojeny. Prahová napětí jsou volena tak, aby při vstupním napětí rovném logické nule nebo jedničce byl vždy otevřen pouze jeden

z obou tranzistorů. Tranzistory tak fungují prakticky jako spínače, které přepínají výstup buď na napájecí napětí E, nebo k zemi. Je zřejmé, že pokud nezatěžujeme výstup takového obvodu, je jeho spotřeba v klidovém stavu prakticky nulová. Výstup obvodu má relativně velice malou impedanci v obou stavech (řádově stovky ohmů), což umožňuje propojovat jednotlivá pouzdra s obvody běžnou technikou tištěných spojů. Jednoduchost obvodů je umožňuje sdružovat ve značné hustotě na čipu a vytvářet tak obvody velké a extrémně velké integrace. Např. operační paměti počítačů se dnes vyrábějí téměř výhradně technologií MOS nebo CMOS (průměrná doba vybavení informace z paměti MOS je okolo 20-100 ns). Rovněž naprostá většina dnes vyráběných mikroprocesorů využívá systému MOS nebo CMOS. Jako příklad uvádíme na obr. 7.18.a,b hradla NAND a NOR v systému CMOS.



obr. 7.18a



obr. 7.18b

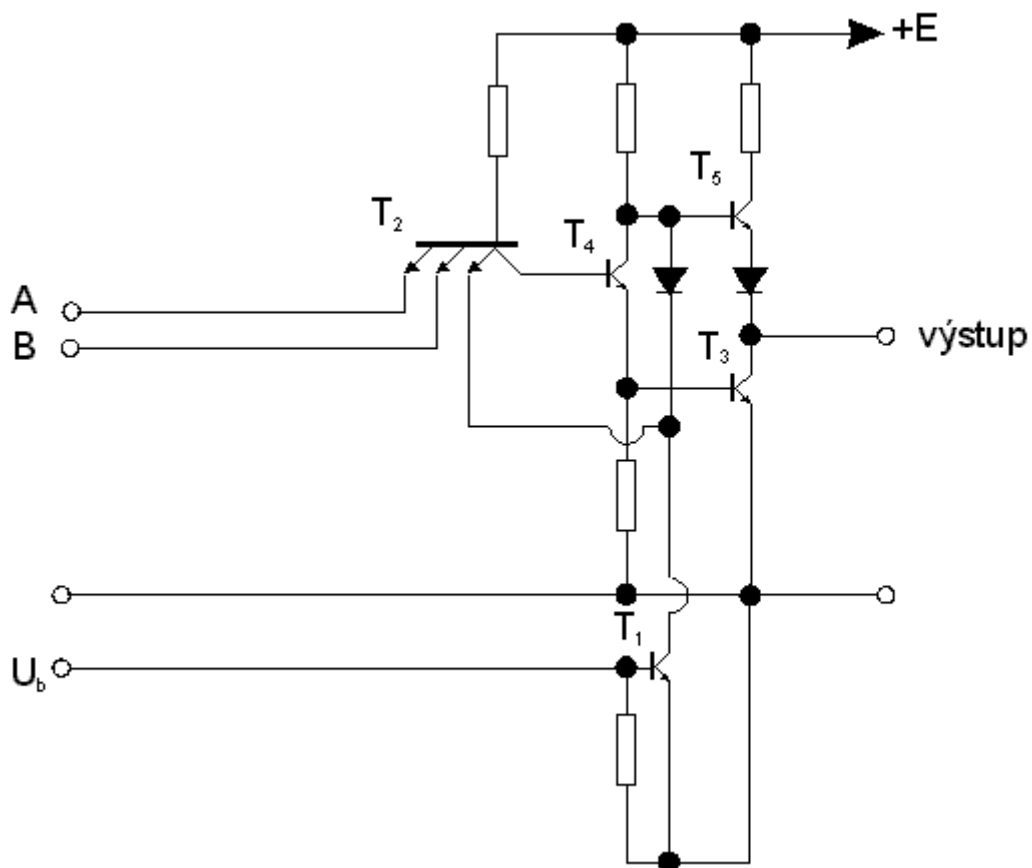
Je třeba ještě poznamenat, že ve skutečných obvodech MOS a CMOS je nutno chránit vstupní elektrodu před průrazem vysokým statickým napětím. Nejběžnější ochrana je pomocí Zenerovy diody, která je zapojena mezi substrát (normálně uzemněný) a řídicí elektrodu. Tato

dioda v normálním režimu nevede a otevírá se pouze dosáhne-li napětí na řídicí elektrodě určité hodnoty. V integrovaném obvodu je ochrana nutná ovšem pouze pro vstup těch hradel, které jsou vyvedeny ven z pouzdra.

7.2.4.9. Logická hradla s třemi stavy

V některých případech při spojování výstupů hradel je výhodné používat tzv. třístavových logických členů, kdy vedle výstupních aktivních stavů na úrovni logické nuly a jedničky existuje ještě třetí stav, kdy výstup hradla je v podstatě od sběrnice odpojen (připojen ke sběrnici přes velkou impedanci). Tento stav umožňuje stejně jako hradlo s otevřeným kolektorem připojení výstupů hradel do jednoho bodu. Principiální zapojení třístavového hradla NAND je na obr. 7.19.

Vedle dvou aktivních vstupů A a B má hradlo blokovací vstup U_B . Vybuzením tranzistoru T_1 se uzavřou tranzistory T_3 až T_5 a hradlo má velkou výstupní impedanci.



obr. 7.19