

Sekvenční logické obvody - úvod

U kombinačních obvodů (hradel) je odezva výstupů na vstupy téměř okamžitá. Když se tedy změní vstupní informace, objeví se změna i na výstupu. Doba jakou obvod vstupní informaci vyhodnocuje a po té zobrazí na svém výstupu je tedy určena pouze fyzikálními ději, které probíhají uvnitř obvodu. Z pravidla se tato doba pohybuje v řádech nanosekund a v praxi ji poznáme, již podle označení daného obvodu, máme na mysli obvody TTL. Mezi nejrychlejší patří obvody s označením 74ASxx, naopak nejpomalejší obvody konstrukce TTL jsou 74Lxx.

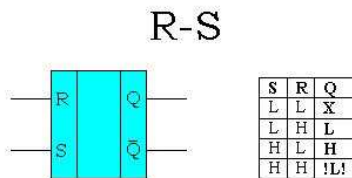


U sekvenčních obvodů je to poněkud složitější, ale ne zas o tolik. Výstupní proměnné těchto obvodů jsou závislé nejen na okamžitých vstupních proměnných, ale i na vstupních proměnných předešlých. Ke slovu se tedy dostává paměť, o kterou jsou sekvenční obvody oproti kombinačním složitější. Jak je patrné z obrázku výstupní hodnoty prvních vstupních proměnných jsou uloženy do paměti a pomocí zpětné vazby přivedeny opět na vstup. A tak spolu s následujícími vstupními hodnotami ovlivňují hodnoty výstupních proměnných. Znamená to, že musí obsahovat paměťový prvek. Sekvenční obvod se skládá tedy z kombinační části a paměťové části. Používají se tam, kde je potřeba uchovat po určitou dobu signál s logickou hodnotou 0 nebo 1 (neboli jedná se o obvody s pamětí 1 bit). Provedení

paměťových členů bývá různé, my se seznámíme především s klopnými obvody složených z jednotlivých hradel, kam patří klopné obvody R-S, D, T a J-K. činnost paměťového obvodu typu R-S.

KO typu R-S, který bývá součástí i obvodů TTL.

KO typu R-S má jakési dva vstupy a dva výstupy. Vstupy tvoří R – reset (nulování) a S – set (nastavení). Výstupy jsou označeny Q a negované Q, což jak víme z předchozích dílů je výstup Q, za nějž byl připojen invertor a jeho výstup byl vyveden ven jako Q s čarou (Q̄).



Teď už k vlastnímu principu. Budeme postupovat podle pravdivostní tabulky. Oba vstupy L – výstup beze změny. Druhý řádek. S v L, R v H, výstup opět v L. Třetí řádek - vstup S v H, vstup R v L, nastane změna na výstupu = Q v H. Oba vstupy H – zakázaný stav.

Z pravdivostní tabulky je tedy patrné, že úroveň H na vstupu S nastaví výstup také do H a úroveň H na vstupu R vynuluje celý KO a na výstupu je opět L. KO typu R-S má také jednu zvláštnost, na vstupech nesmí být najednou úroveň H, jedná se o takzvaný zakázaný stav.

Klopný obvod typu R-S asynchronní

Nejjednodušší KO je obvod typu **RS**, realizovaný ze dvou členů NAND nebo NOR.

Probereme nejprve KO typu Rs složený ze dvou členů NOR.

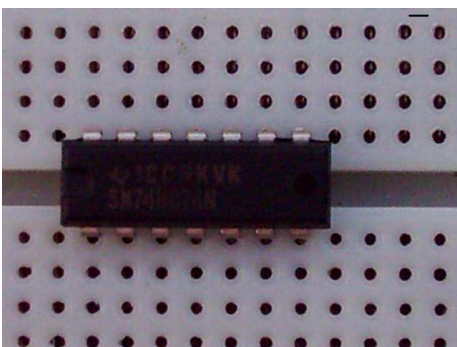
Uvažujeme nejprve stav vstupů R = 1 a S = 0. Z pravdivostní tabulky členu NOR víme, že má na výstupu logickou 1 jen v případě obou vstupů v logické 0. Tato podmínka není splněna u horního členu NOR, neboť vstup R = 1, a proto musí být jeho výstup Q = 0. Tato logická 0 se dostane zpětnou vazbou na vstup dolního členu NOR a ten vytvoří na svém výstupu Q = 1. Zpětná vazba na ne horní člen NOR jeho výstup nezmění. Tím je jednoznačně dán výstup klopného obvodu Q = 0 a Q = 1. Tomuto stavu říkáme **RESET**.

(Reset = vynulování, protože hlavní Q je v logické 0.)

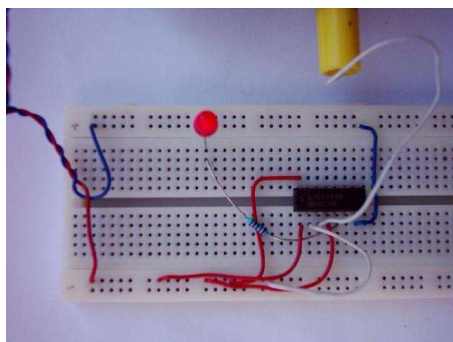
Změníme nyní vstup horního členu NOR z R = 1 na R = 0. Vlivem zpětné vazby z dolního členu zůstane druhý vstup na logické 1 a jeho výstup bude proto Q = 0. Výstup dolního členu bude ze vstupů 0 a 0 Q = 1. Vidíme, že se oba výstupy po vynulování vstupů ze stavu Reset nezměníly.

Při opačné situaci oproti stavu Reset, tzn. pro R = 0 a S = 1, bude i výstup opačný tj. Q = 1 a Q = 0. Tomuto stavu říkáme **SET**, protože obvod má hlavní výstup Q = 1.

Při změně S = 1 na S = 0 se opět výstupy Q = 1 a Q = 0 nezmění. Nyní jsou tyto výstupy pro S = 0 a R = 0 právě opačné, oproti vynulování obvodu ze stavu Reset. Přejít do stavu vynulování vstupů vyjadřuje tabulka.



Dalším typem je KO (klopný obvod) typu D.



Jedná se v podstatě o KO typu R-S, u kterého je odstraněn zakázaný stav na jeho vstupech, kdy oba tyto vstup mají úroveň H (log. 1). Tento zakázaný stav je odstraněn propojením vstupů obvodu R-S pomocí invertoru, čímž nám vznikne jeden vstup označený jako D.

Obvod je řízen (synchronizován) hodinovým vstupem C.

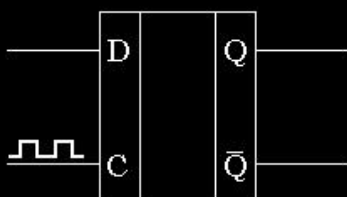
Takto upravený obvod tedy pracuje podle druhého a třetího řádku pravdivostní tabulky obvodu R-S. Výstup obvodu tedy kopíruje vstup a uchovává poslední vstupní hodnotu, dokud nedojde k další změně na vstupu.

Nejlépe bude, když si tento princip ověříme v praxi. Schéma zapojení naleznete na obrázku. Jako vždy použijeme náš zdroj a nepájivé kontaktní pole. Ze zdroje využijeme napájecí svorky a jednu ze svorek zdroje frekvence. Tu připojte ke vstupu C (clock) hodiny. Pro zjednodušení jsou na obrázku napsána čísla pinů IO, takže by neměl být problém vše správně zapojit. Pokud použijete normální ledky (odběr 25mA), tak použijte rezistory 100 Ohmové. Pokud však budete používat led diody nízkoodběrové (odběr 2mA) použijte rezistory s odporem 1,2 kOhmu.

Když je vše zapojeno začněte s testováním. Zapněte zdroj a nastavte nejnižší možnou frekvenci. Nejprve zkuste připojit vstup D na H (log.1). dioda připojená k vývodu 5 IO by měla svítit, druhá ledka by měla být zhasnutá. Po té zkuste vstup připojit na L (log. 0), diody by se měly ve svitu vystřídat. Pokud ano KO tedy funguje tak jak má. To, že se obě ledky střídají, je jak už víme z předešlých dílů způsobeno tím, že výstup Q s čarou je negovaným obrazem výstupu Q.

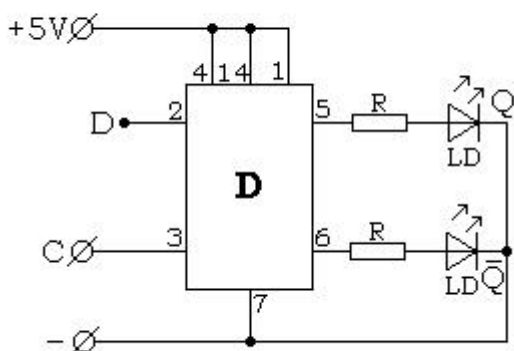
Pravdivostní tabulka se tedy potvrdila, výstup kopíruje vstup a svou hodnotu si uchová, až do té doby, než se změní hodnota na vstupu. Možná že vás napadne, vždyť takto pracují i hradla, ale není tomu tak. Zde hraje svou roli i hodinový signál. Jistě jste si všimli, že i když jste změnily hodnotu vstupu, na výstupu se tato změna projevila až po proběhnutí náběžné hrany hodinového signálu.

KO typu D



C	D	Q
1	H	H
1	L	L

1/2 74LS74



Zdroj: [Kurz ABC](#)